

“FPGA 开发设计入门与应用”课程纲要

培训纲要

Hello FPGA

FPGA 开发环境安装及 FPGA 简介

【FPGA 简单介绍—Vidado/Modelsim 安装—DocNav 使用】

FPGA 开发流程概述

以点亮一个 LED 讲解 FPGA 开发流程

【Vivado 软件介绍—FPGA 开发流程介绍—开发实战操作】

FPGA 相关硬件设计

【FPGA 工作硬件基础-配置-启动顺序】

Verilog HDL 基础（一）

Verilog HDL 的基本结构、数据类型、赋值语句及块语句等

实验一

LED 流水灯实验

【新建工程-编写代码-添加约束-板上调试】

Verilog HDL 基础（二）

Verilog HDL 实现组合逻辑和时序逻辑

实验二

按键实验

【跳变沿检测】

仿真概述

仿真概念,分类和 TestBench 编写

【仿真模型-TestBench-仿真观察】

实验三

LED 流水灯功能仿真

【Vivado 仿真设置-TestBench-仿真观察】

仿真进阶

Modelsim 仿真及相关功能

【联合调用-仿真观察】

实验四

按键功能仿真

有限状态机讲解

状态机概念、分类、编码方式和描述风格

案例剖析：序列检测器

【编码方式-描述方式-状态机验证】

有限状态机实战**实验五**

串口发送模块实验

【串口收发原理-发送状态机编写-结果验证】

PLL_IP 原理及使用

学习使用 FPGA 的 PLL 核

【IP 概念-IP 配置-IP 例化-验证】

实验六

PLL 倍频和分频实验

【LED 闪烁频率控制-仿真验证】

FIFO_IP 原理及使用

学习使用 FPGA 的 FIFO 核

实验七

异步 FIFO 使用实验

【生成数据-FIFO 缓存-串口发送-验证】

RAM_IP 原理及使用

学习使用 FPGA 的 RAM 核

【BRAM/DRAM-单口 RAM/双口 RAM-时序驱动】

实验八

双口 RAM 的读写实验

【生成数据-RAM 缓存-串口发送-验证】

ROM_IP 原理及使用

学习使用 FPGA 的 ROM 核

【ROM 初始化-时序驱动】

实验九

ROM 的控制实验

【初始化 ROM-串口发送-验证】

ILA 调试核的原理及使用

学习 FPGA 在线调试工具的原理及使用

【设置信号-设置参数-观察波形-分析波形】

实验十

ILA 在线逻辑分析仪实验

IO 调试核的原理及使用

学习 FPGA 中 VIO 的原理及使用

实验十一

VIO 虚拟输入输出实验

乒乓操作、串并转换、流水线操作、数据同步

介绍以上四种设计巧的原理及实现方法

实验十二

流水线实现 $A*B+C*D-E$ 的计算

【代码实现-结果分析】

跨时钟域的处理

学习 FPGA 中跨时钟域如何处理

实验十三

跨时钟域数据传递实验

串口接收原理及实现

串口接收的 FPGA 实现

【串口接收原理-串口接收实现要点-测试验证】

实验十四

串口接收实验

SPI 的时序原理及 AD9706 配置

介绍 SPI 原理及 AD9706 的 SPI 配置

【SPI 介绍-AD9706 的 SPI 时序-代码编写及测试验证】

实验十五

AD9706 的 SPI 配置实现

AD9706 时序驱动

学习分析 AD9706 驱动时序及使用 FPGA 进行驱动

【分析时序-代码编写-测试验证】

实验十六

驱动 AD9706 输出方波

实验十七

使用 AD9706 显示三角波

使用 AD9706 输出三角波，输出频率可由串口控制

DDS 原理及实现

学习 DDS 直接频率合成的原理及实现

实验十八

使用 AD9706 输出正弦波

综合项目：任意波形发生器

可通过串口设置 AD9706 输出方波/正弦波/三角波/锯齿波

频率可控，调节精度为 1Hz

SelectIO 结构及使用

介绍 7 系列 FPGA 的 SelectIO 资源及使用方法

自由交流

备注：

培训总时长：12 天

培训地点：广州科学城科学大道视联科技园 B 座 8 楼创龙教育培训中心

广州创龙教育培训中心

2017 年 9 月 05 日