

前言

1. 版权声明

英文文档著作权归属美国德州仪器公司所有，中文文档著作权归属广州创龙电子科技有限公司所有（下称“Tronlong”）。任何单位和个人可以自由查阅，但不能修改或删除文档中的任何信息，否则 Tronlong 保留依法追究其责任的权利。

2. 免责声明

本文档由 Tronlong 以及众多技术开发者共同翻译和校对，仅供参考。由于时间仓促及作者水平有限，文档中难免会存在一些错误或者遗漏，欢迎广大读者予以指正。Tronlong 不对由于此文档的纰漏可能引起的一切损失承担责任。

3. C66x 系列开发文档翻译清单

Tronlong 组织翻译的 C66x 系列开发文档适用于 TMS320C6678、TM320C665x 等 C66x 平台，具体清单如下：

- (1) TMS320C6678 Multicore Fixed and Floating-Point Digital Signal Processor
- (2) TMS320C6655 and TMS320C6657 Fixed and Floating-Point Digital Signal Processor
- (3) Serial Rapid IO (SRIO) User Guide
- (4) Peripheral Component Interconnect Express (PCIe)
- (5) Multicore Shared Memory Controller (MSMC) User Guide
- (6) HyperLink User Guide
- (7) TMS320C66x DSP CorePac User Guide
- (8) General Purpose Input Output (GPIO) User Guide

4. TMS320C6678、TMS320C665x 评估板

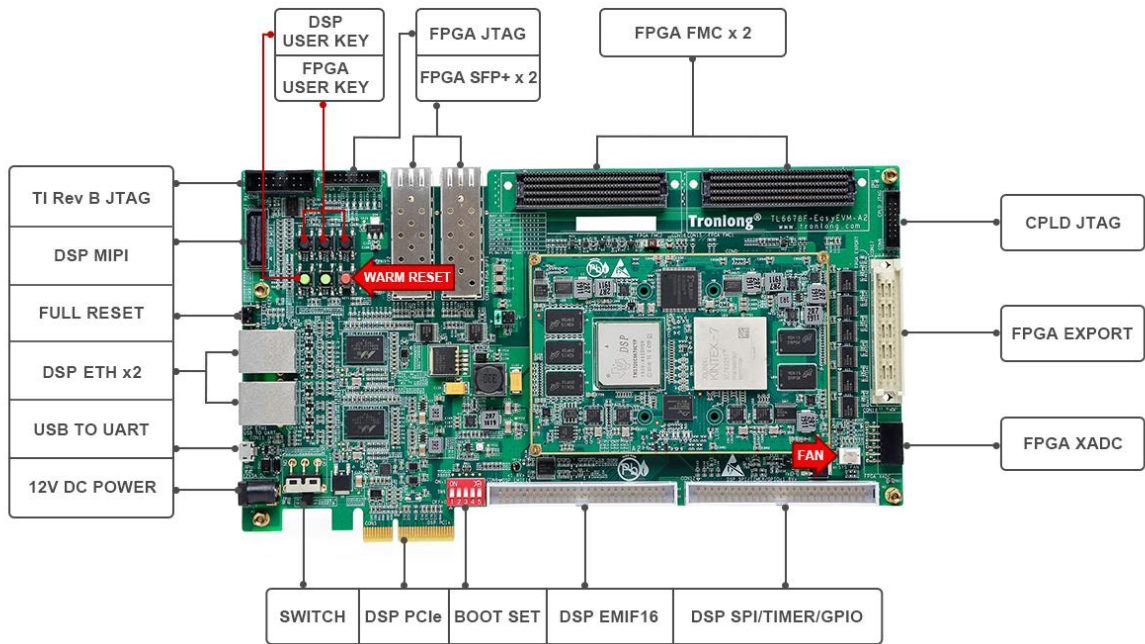


图 1 TL6678F-EasyEVM 评估板 (TMS320C6678+Kintex-7)

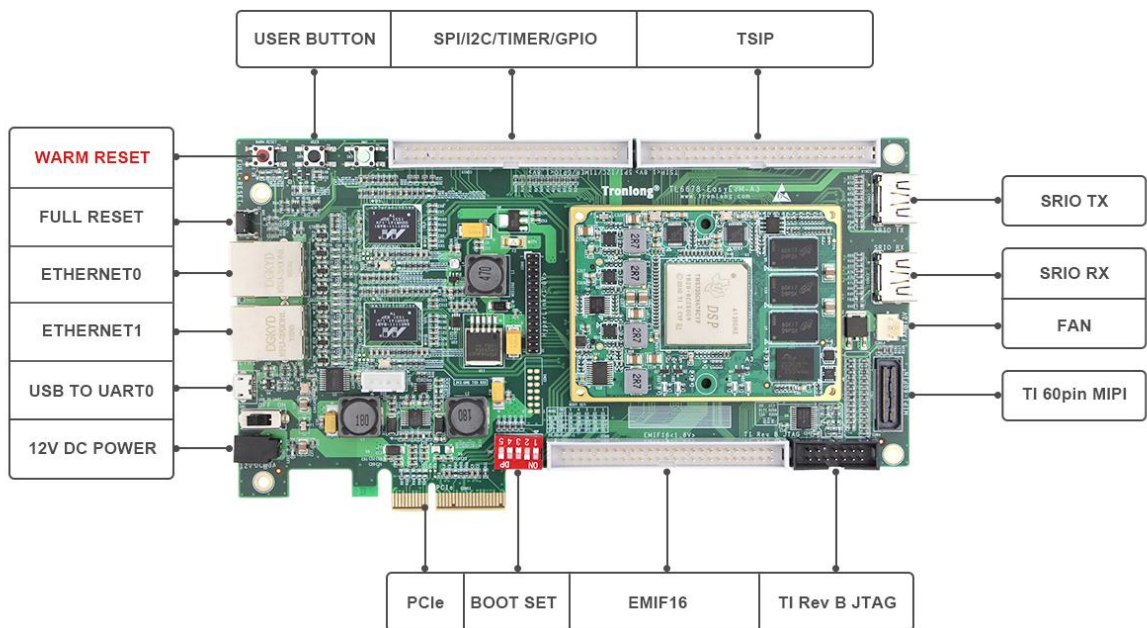


图 2 TL6678-EasyEVM 评估板 (TMS320C6678)

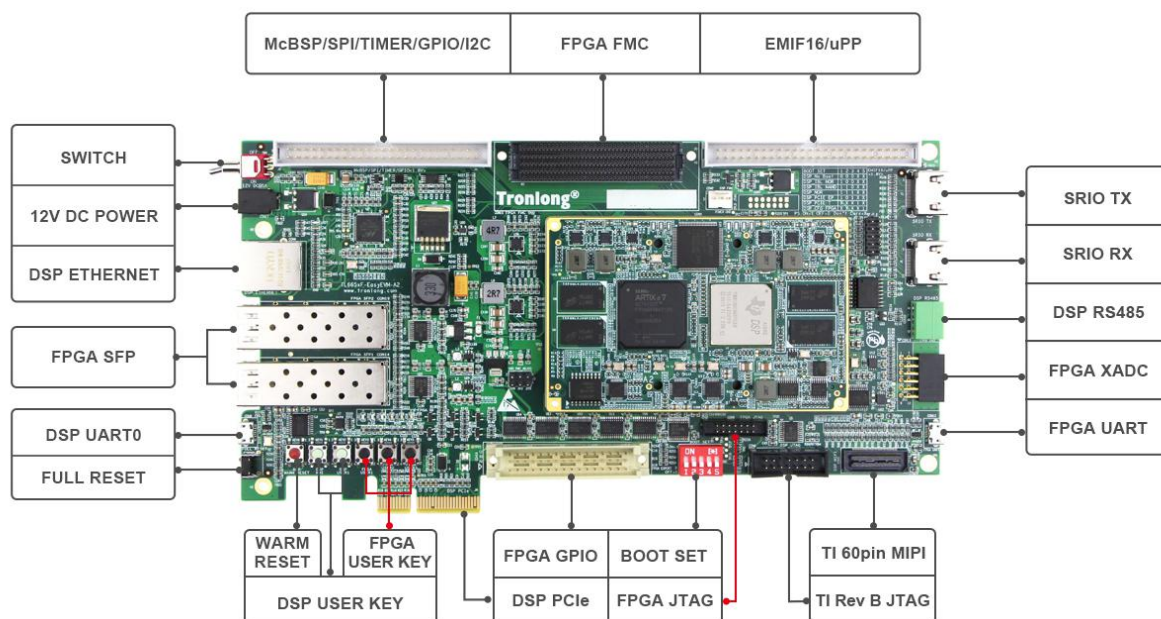


图 3 TL665xF-EasyEVM 评估板 (TMS320C6657/55+Artix-7)

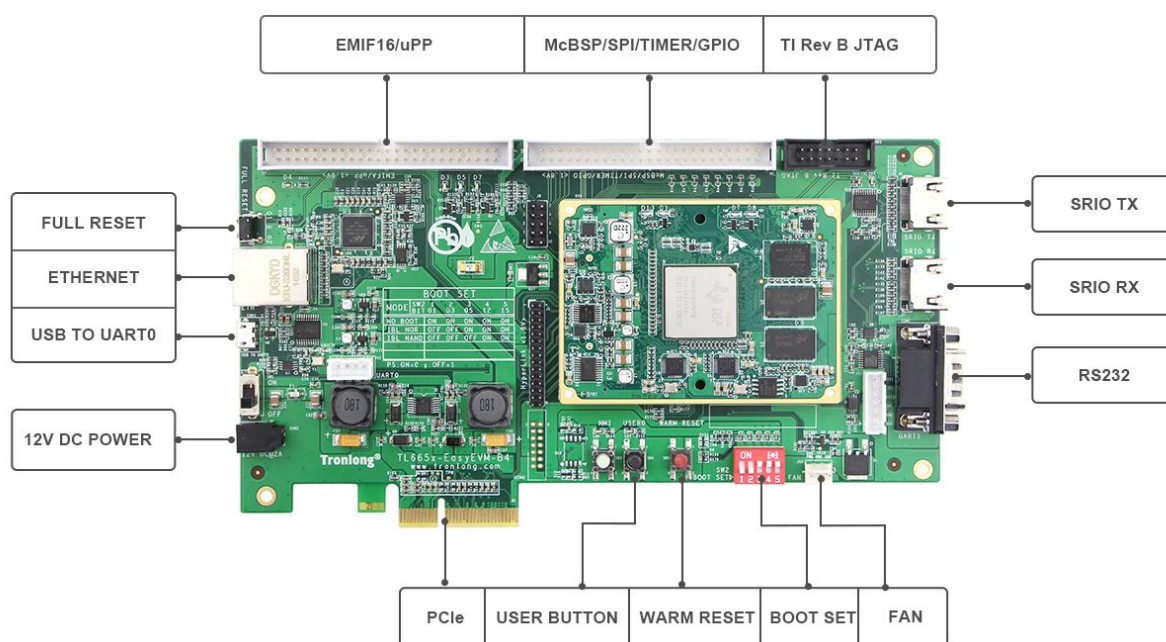


图 4 TL665x-EasyEVM 评估板 (TMS320C6657/55)

备注：点击产品图片，或访问 Tronlong 官网 (www.tronlong.com)，了解产品详情。

多核定点、浮点数字信号处理器

参考评估模块(EVM): [TMS320C6678](#)

1 TMS320C6678特点与描述

1.1 特点

- 8个TMS320C66x™ DSP 内核子系统(C66x CorePacs), 每个包含
 - 1.0 GHz, 1.25 GHz 或 1.4 GHz C66x 定点/浮点 CPU 内核
 - › 44.8 GMAC/核、定点 @ 1.4 GHz
 - › 22.4 GFLOP/核、浮点 @ 1.4 GHz
 - 内存
 - › 每个内核 32K 字节 L1P
 - › 每个内核 32K 字节 L1D
 - › 每个内核 512K 字节本地 L2
- 多核共享内存控制器 (MSMC)
 - 由 8 个 DSP C66x CorePacs 共享的 4096KB MSM SRAM 内存
 - 每个 MSM SRAM 与 DDR3_EMIF 的内存保护单元
- 多核导航器
 - 8192 带有队列管理器的多目的硬件队列
 - 用于零开销传输的基于包的 DMA
- 网络协处理器
 - 包加速器使能支持
 - › 传输层 IPsec, GTP-U, SCTP, PDCP
 - › L2 用户层 PDCP (RoHC, 云计算)
 - › 1-Gbps 单线速度每秒 1.5 M 包吞吐量
 - 安全加速器引擎使能支持
 - › IPsec, SRTP, 3GPP, Wi 最大值空中接口以及 SSL/TLS 安全
 - › ECB, CBC, CTR, F8, A5/3, CCM, GCM, HMAC, CMAC, GMAC, AES, DES, 3DES, Kasumi, SNOW 3G, SHA-1, SHA-2 (256 位哈希算法), MD5
 - › 最高 2.8 Gbps 加密速度
- 外设
 - 四通道 SRIO 2.1
 - › 每个通道支持 1.24/2.5/3.125/5 GBaud 操作
 - › 支持直接 I/O, 信息传输
 - › 支持四个 1x, 两个 2x, 一个 4x, 两个 1x + 一个 2x 连接配置
 - PCIe 2.0 规范
 - › 单端口支持 1 或 2 个通道
 - › 每个通道支持最高 5 GBaud
 - HyperLink
 - › 支持连接至其他 KeyStone 架构设备并提供资源度量
 - › 支持最高 50 GBaud
 - 千兆以太网(GbE)交换子系统
 - › 两个 SGMII 端口
 - › 支持 10/100/1000 Mbps 操作
 - 64 位 DDR3 接口 (DDR3-1600)
 - › 8G 字节可寻址内存空间
 - 16-位 EMIF
 - 两个电信串行口(TSIP)
 - › 每个 TSIP 支持 1024 DS0
 - › 每个通道支持 2/4/8 通道以 32.768/16.384/8.192 Mbps 速率传输
 - UART 接口
 - I²C 接口
 - 16 个 GPIO 引脚
 - SPI 接口
 - 信号量 模块
 - 16 个 64 位定时器
 - 三个片上 PLL
- 商用温度:
 - 0°C 到 85°C
- 拓展温度:
 - -40°C 到 100°C

1.2 应用

- 关键性任务系统
- 高性能运算系统
- 通信
- 音频
- 视频设备
- 图像
- 分析
- 网络
- 媒体处理
- 工业自动化
- 自动化和过程控制

1.3 KeyStone 架构

德州仪器的 KeyStone 多核架构提供了一个高性能的结构，用于集成带有特定应用的协处理器和 I/O 的 RISC 和 DSP 内核。KeyStone 是此种类型中的首款，它提供了合适的内部带宽，用于无阻塞访问所有处理核、外设、协处理器和 I/O。其由四个主要的硬件单元实现，分别是：多核导航器，TeraNet，多核共享内存控制器和 HyperLink。

多核导航器是具有创新色彩的、基于包的管理器，控制了 8192 个队列。当任务被分配到这些队列时，多核导航器提供硬件加速调度指引任务到合适可用的硬件。基于包的片上系统(SoC)使用 TeraNet 的 2Tbps 容量转换中央资源为移动数据包。多核共享内存控制器使处理器能够直接访问共享内存，而不需要调取 TeraNet 的容量，所以数据包的移动不被内存访问所阻塞。

HyperLink 提供了一个 50-Gbaud 芯片级互连从而允许 SoC 协调工作。它的低协议开销和高吞吐量使 HyperLink 成为一个芯片到芯片互连的理想接口。为了实现与多核导航器协作，HyperLink 调度任务以透明地连接设备，并且执行任务就像在本地资源上运行。

1.4 设备描述

TMS320C6678 DSP 是一款基于 TI 的 KeyStone 多核架构的高性能定点/浮点 DSP。蕴含新颖的 C66x DSP 内核，这款设备的处理器核速度可运行至 1.4 GHz。对于广阔的应用范围的开发，例如关键性任务系统、医疗图像、检测与自动化以及其它需要高性能的应用，TI 的 TMS320C6678 DSP 提供了 11.2 GHz 叠加 DSP，并且开发出了一个功耗比效率高、易用的平台。除此之外，它与所有现存 C6000 系列定点、浮点 DSP 向下兼容。

TI 的 KeyStone 架构提供了一个集成多种子系统（C66x 内核、内存子系统、外设和加速器）的可编程平台并运用多种创新组件和技术来最大化内部设备和设备之间通信，并允许多种 DSP 资源无缝流畅操作。架构的中央是（诸如多核导航器）核心组件，使得多个设备组件之间可以进行高效的数据管理。TeraNet 是一个无阻塞转换结构，使能快速和自由内容的内部数据传输。多核内存控制器允许直接访问共享和外部内存，而不需要挪用转换结构容量。

对于定点使用的情况，C66x 核有一个 C64x+ 内核的 4× 乘法叠加能力(MAC)。除此之外，C66x 核集成了浮点运算能力和每个内核的原始运算能力，即是在业界领先的 44.8GMACS/每核和 22.4GFLOPS/每核(@1.4GHz 操作频率)。它可以在每个周期执行 8 个单精度浮点 MAC 操作，并且可以执行双精度和混合精度操作，而且与 IEEE754 兼容。C66x 内核包含了 90 条新指令（与 C64x+ 核相比），目的是浮点和基于向量数字的处理。这些增强单元在目前的 DSP 内核中，在信号处理、数学运算和图像获取功能上产生了可观的操作提升。C66x 内核与 TI 的前期系列 C6000 定点与浮点 DSP 内核向下代码兼容。确保对于移植入高速硬件的应用来说是软件可移植的，并且缩短了软件开发周期。

C6678 DSP 集成了大容量片上内存。除了 32KB 的 L1 程序和数据高速缓存（高速缓冲数据存储器），每个内核中还有 512KB 的被配置成映射 RAM 或高速缓存的特定用途内存。设备同样集成了可以被用作共享 L2SRAM 和/或共享 L3SRAM 的 4096KB 多核共享内存。所有的 L2 内存包含错误检测与错误纠正。对于快速访问外部内存，此设备包含一个以 1600MHz 频率运行并且包含 ECC DRAM 支持的 64 位 DDR-3 外部内存接口 (EMIF)。

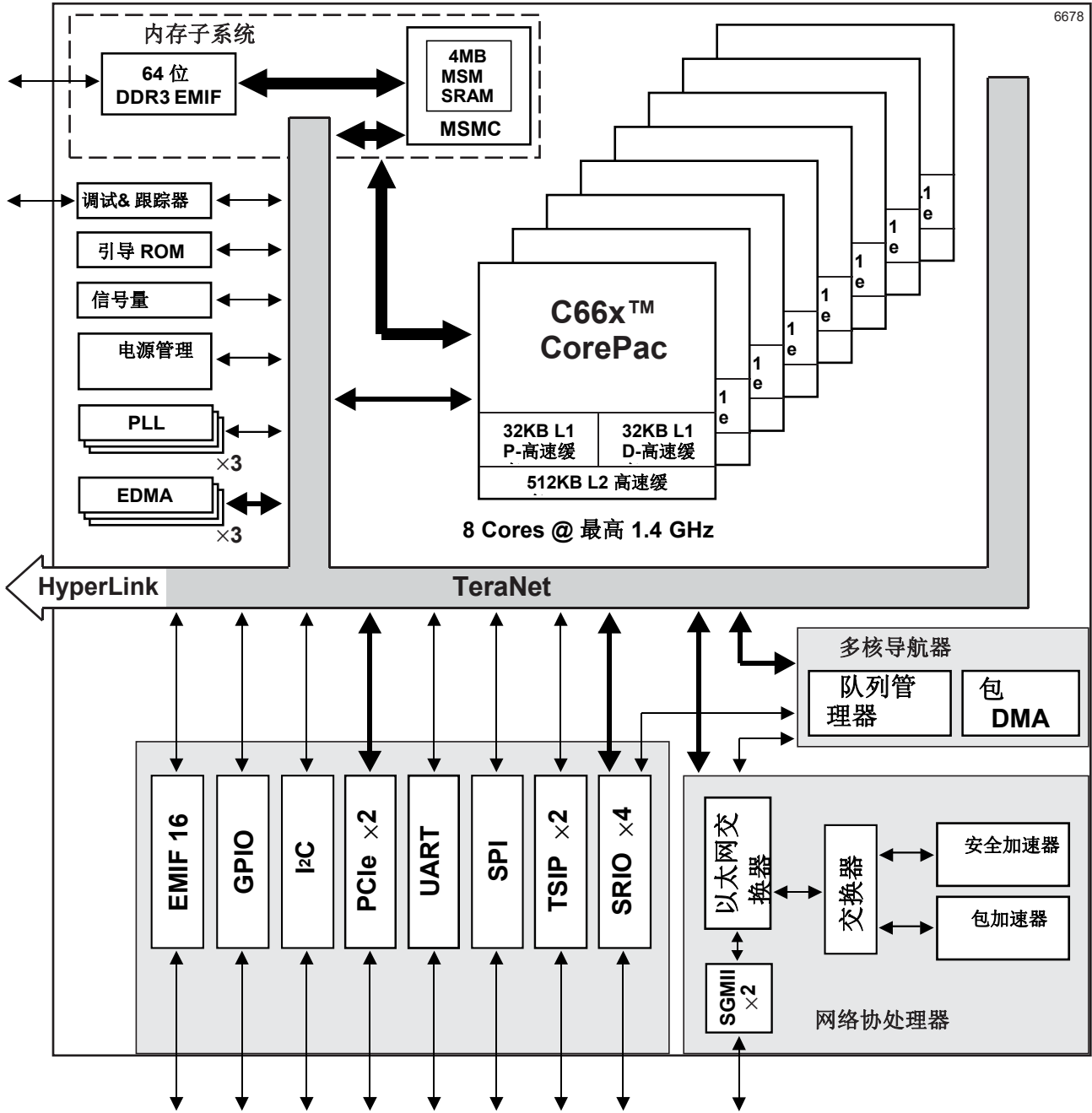
此系列支持大量高速标准接口包括快速 IO 2.0，PCI 总线 2.0 和一个类似于集成以太网交换器的千兆以太网。它也包含 I²C、UART、电信串行接口(TSIP)和一个 16 位 EMIF，伴随一个通用 CMOS IO。对于高吞吐量情况，设备之间低延迟通信或与 FPGA 协同工作，此设备也包括一个 50-Gbaud 全双工接口，既 HyperLink。添加至此设备的网络识别是一个包括包和可选择安全加速的网络协处理器。包加速器可以提供最高 1.5 M 包/秒，并使能一个整个多核 C6678 设备使用的单 IP 地址供。它也提供带有校验和和 QoS 能力 L2 到 L4 分级。

C6678 设备有一整套的开发工具，包含：一个增强的 C 编译器、一个简化编程与调度的集成优化组件和一个用于资源代码执行的可视化的 Windows® 调试器接口。

1.5 功能模块图

图 1-1 为 TMS320C6678 设备的功能模块图。

图 1-1 功能模块图



1.6 修订历史

版本	日期	描述/评注
SPRS691E	2014 年 3 月	<ul style="list-style-type: none"> • 增加 1.4-GHz 支持 • 增加 GYP 封装支持 • 增加 DSP_SUSP_CTL 寄存器部分 • 在 IO 能源序列图前更新内核,更改时钟信号 SYSCLK1P&N 为 REFCLK1P&N • 更新跟踪器时序图 • 更新 I²C 引导配置内索引位域的参数表 • 更新 PKTDMA_PRI_ALLOC 寄存器为芯片_MSIC_CTL 寄存器,并增加了新的位域 • 更新输出_分频默认值和在 PLL 设置部分的 PLL 时钟公式 • 更新在 SPI 引导设备配置表内的芯片选择位域描述 • 更正 EMIF16 引导设备配置位域 • 修复参数信息部分
SPRS691D	2013 年 4 月	<ul style="list-style-type: none"> • 增加 CVDD 推荐操作状态表的初始启动行 • 增加 DDR3PLLCTL1 和 PASSPLLCTL1 寄存器到设备状态控制寄存器表 • 增加 CVDD 和 SmartReflex 电压参数 在 SmartReflex 转换表中 • 增加 HOUT 时序图 在主机中断输出部分中 • 增加 MPU 寄存器初始值部分 • 更正 PASSCLK(N/P)最大循环周期为从 6.4 ns 到 25 ns • 更正在所有 CorePacs LRESET 和 NMI 解码表中保留为断言本地复位 • 更正 PASS PLL 时钟为 SRIOSGMIICLK 在引导设备值表中 for 以太网. • 更新整个文档的计时器编号 • 更新 DDR3 PLL 初始序列
SPRS691C	2012 年 2 月	<ul style="list-style-type: none"> • 增加 TeraNet 连接表, 增加 桥编号到连接表 • 变更 TPCC 为 EDMA3CC, TPTC 为 EDMA3TC • 变更芯片级中断控制器名从 INTC 到 CIC • 增加 DDR3 PLL 和 PASS PLL 初始序列 • 增加 DEV 速度寄存器部分 • 更新特性部分的设备频率 • 更正 SPI, DDR3 和互连桥配置/数据内存映射地址 • 限制 SECCTL 寄存器的输出划分最大为 2
SPRS691B	2011 年 8 月	<ul style="list-style-type: none"> • 更新 多个外设的时序和电气部分 • 更新具体内核和一般目的时序编号 • 更新第四章“系统互连”的连接向量表 • 更新设备引导配置表和图示 • 更新 DDR3 和 PASS PLL 时序表 • 移除 7.1 “参数信息”部分
SPRS691A	2011 年 7 月	<ul style="list-style-type: none"> • 增加部分内容: NMI 和 LRSET • 增加引脚映射表 • 增加主 PLLCTL1, DDR3PLLCTL1 和 PAPLLCTL1 寄存器 • 变更主 PLL 的 PLL 表, DDR3 PLL 和 PASS PLL • 变更 C66x DSP 系统 PLL 配置表使包含 1000 MHz 和 1250 MHz 列 • 更正内存映射总表中的项目 • 变更所有 PA_SS 到网络协处理器 • 更新整个上电时序部分. 复位 FULL 必须总是在 POR 之后取消断言
SPRS691	2010 年 11 月	初始版本

关于修订信息的细节, 参看 236 页“[修订历史](#)”.

目录

1	TMS320C6678 特性与描述.....	1	3.3.18	定时器输出选择寄存器 (TOUTPSEL).....	93
1.1	特性.....	1	3.3.19	复位多路选择寄存器(RSTMUXx).....	94
1.2	应用.....	2	3.3.20	DSP 暂停控制寄存器 (DSP_SUSP_CTL).....	95
1.3	KeyStone 架构.....	2	3.3.21	设备速度寄存器(DEV 速度).....	96
1.4	设备描述.....	2	3.3.22	芯片多类别控制寄存器(CHIP_MISC_CTL)....	96
1.5	功能模块图.....	4			
1.6	修订历史.....	5	3.4	上拉/下拉电阻.....	97
2	设备概览.....	13	4	系统互连.....	98
2.1	设备特性.....	13	4.1	内部总线和交换结构.....	98
2.2	DSP 内核描述.....	14	4.2	交换结构互连.....	99
2.3	内存映射总结.....	17	4.3	总线优先级.....	107
2.4	引导流程.....	23	5	C66x CorePac.....	108
2.5	所支持的引导模式和 PLL 配置.....	24	5.1	内存架构.....	109
2.5.1	引导设备域.....	25	5.1.1	L1P 内存.....	109
2.5.2	设备配置域.....	26	5.1.2	L1D 内存.....	110
2.5.3	引导参数表.....	31	5.1.3	L2 内存.....	111
2.5.4	PLL 引导设置的配置.....	38	5.1.4	MSM SRAM.....	112
2.6	二级引导加载.....	38	5.1.5	L3 内存.....	112
2.7	终端.....	39	5.2	内存保护.....	113
2.7.1	包终端.....	39	5.3	带宽管理.....	114
2.7.2	引脚映射.....	39	5.4	掉电控制.....	114
2.8	终端功能.....	44	5.5	C66x CorePac 修订.....	115
2.9	开发与支持.....	70	5.6	C66x CorePac 寄存器描述.....	115
2.9.1	开发支持.....	70	6	设备操作状态.....	116
2.9.2	设备支持.....	70	6.1	绝对最大分级.....	116
2.10	德州仪器相关文档... 72		6.2	推荐操作条件.....	117
3	设备配置.....	73	6.3	电气特性.....	118
3.1	设备复位配置.....	73	6.4	外设 I/O 映射的电源供给.....	119
3.2	设备复位后的外设选择.....	74	7	外设信息和电气特点	120
3.3	设备状态控制寄存器.....	74	7.1	参数信息.....	120
3.3.1	设备状态寄存器.....	78	7.1.1	时序参数和板级布线分析	120
3.3.2	设备配置寄存器(DEVCFG).....	79	7.1.2	1.8-V LVCMOS 信号传输水平.....	120
3.3.3	JTAG ID 寄存器(JTAGID) 描述.....	79	7.2	建议时钟和控制信号传输行为	120
3.3.4	Kicker 机制寄存器 (KICK0 和 KICK1).....	80	7.3	供电.....	121
3.3.5	DSP 引导地址寄存器 (DSP_BOOT_ADDRn).....	80	7.3.1	电源供给时序.....	122
3.3.6	LRESET NMI PIN 状态寄存器 (LRSTNMIPINSTAT).....	80	7.3.2	掉电时序.....	127
3.3.7	LRESET NMI PIN 状态清除寄存器 (LRSTNMIPINSTAT_CLR).....	81	7.3.3	电源供给去耦和 大电容.....	127
3.3.8	复位状态寄存器(复位_STAT).....	83	7.3.4	SmartReflex.....	128
3.3.9	复位状态清除寄存器 (RESET_STAT_CLR).....	84	7.4	休眠控制器(PSC).....	129
3.3.10	引导完成寄存器 (引导完成).....	85	7.4.1	电源范围.....	129
3.3.11	电源状态控制寄存器 (PWRSTATECTL).....	86	7.4.2	时钟范围.....	130
3.3.12	NMI 事件产生 to CorePac 寄存器(NMIGRx)..	86	7.4.3	PSC 寄存器映射图.....	131
3.3.13	IPC 产生寄存器(IPCGRx).....	87	7.5	复位控制器.....	133
3.3.14	IPC 识别寄存器(IPCARx).....	88	7.5.1	上电复位.....	134
3.3.15	IPC 产生主机寄存器(IPCGRH).....	88	7.5.2	硬件复位.....	135
3.3.16	IPC 识别主机寄存器 (IPCARH).....	89	7.5.3	软件复位.....	136
3.3.17	定时器输入选择寄存器(TINPSEL).....	90	7.5.4	本地复位.....	137
			7.5.5	复位优先级.....	137
			7.5.6	复位控制寄存器.....	137
			7.5.7	复位电气数据/时序.....	138
			7.6	主 PLL 和 PLL 控制器.....	140

7.6.1 主 PLL 控制器具体设备信息.....	141	7.12.2 DDR3 内存控制器竞争状态考虑.....	205
7.6.2 PLL 控制器内存映射图.....	143	7.12.3 DDR3 内存控制器电气数据/时序.....	206
7.6.3 主 PLL 控制寄存器.....	150	7.13 I ² C 外设.....	207
7.6.4 主 PLL 和 PLL 控制器初始化流程.....	151	7.13.1 I ² C 具体设备信息.....	207
7.6.5 主 PLL 控制器/SRIO/HyperLink/PCIe 时钟输入电气数据/时序.....	151	7.13.2 I ² C 外设寄存器描述.....	208
7.7 DD3 PLL.....	153	7.13.3 I ² C 电气数据/时序.....	209
7.7.1 DDR3 PLL 控制寄存器.....	153	7.14 SPI 外设.....	212
7.7.2 DDR3 PLL 具体设备信息.....	154	7.14.1 SPI 电气数据/时序.....	212
7.7.3 DDR3 PLL 初始化序列.....	154	7.15 HyperLink 外设.....	215
7.7.4 DDR3 PLL 输入时钟电气数据/时序	155	7.15.1 HyperLink 具体设备中断事件.....	215
7.8 PASS PLL.....	156	7.15.2 HyperLink 电气数据/时序.....	217
7.8.1 PASS PLL 控制寄存器.....	156	7.16 UART 外设.....	219
7.8.2 PASS PLL 具体设备信息.....	157	7.17 PCIe 外设.....	220
7.8.3 PASS PLL 初始化序列.....	157	7.18 TSIP 外设.....	221
7.8.4 PASS PLL 输入时钟电气数据/时序	158	7.18.1 TSIP 电气数据/时序.....	221
7.9 增强直接内存访问(EDMA3) 控制器.....	159	7.19 EMIF16 外设.....	223
7.9.1 EDMA3 设备具体信息.....	160	7.19.1 EMIF16 电气数据/时序.....	223
7.9.2 EDMA3 通道控制器配置.....	160	7.20 包加速器.....	225
7.9.3 EDMA3 传输控制器配置.....	160	7.21 安全加速器.....	225
7.9.4 EDMA3 通道同步事件.....	161	7.22 千兆以太网 (GbE) 交换子系统.....	226
7.10 中断.....	165	7.23 数据输入/输出管理(MDIO).....	228
7.10.1 中断资源和中断控制器... 165		7.24 定时器.....	229
7.10.2 CIC 寄存器.....	183	7.24.1 具体设备定时器信息.....	229
7.10.3 内部处理器寄存器图.....	188	7.24.2 定时器电气数据/时序.....	230
7.10.4 NMI 和 LRESET.....	189	7.25 串行快速 IO (SRIO) 口.....	230
7.10.5 外部中断电气数据/时序... 190		7.26 一般目的输入/输出(GPIO).....	231
7.10.6 主机中断输出.....	191	7.26.1 GPIO 具体设备信息.....	231
7.11 内存保护单元 (MPU).....	192	7.26.2 GPIO 电气数据/时序.....	231
7.11.1 MPU 寄存器.....	195	7.27 信号量 2.....	232
7.11.2 MPU 可编程范围寄存器.....	200	7.28 仿真特点和功能.....	232
7.12 DDR3 内存控制器.....	205	7.28.1 先进事件触发 (AET).....	232
7.12.1 DDR3 内存控制器具体设备信息.....	205	7.28.2 追踪.....	233
		7.28.3 IEEE 1149.1 JTAG.....	234
		8 修订历史.....	236
		9 机械数据.....	241
		9.1 热学数据.....	241
		9.2 封装信息.....	241

图示目录

图 1-1	功能模块图.....	4	图 5-2	L1P 内存配置.....	109
图 2-1	DSP 核数据路径.....	16	图 5-3	L1D 内存配置.....	110
图 2-2	引导模式引脚解码.....	24	图 5-4	L2 内存配置.....	111
图 2-3	无引导/EMIF16 配置域.....	26	图 5-5	CorePac 修订 ID 寄存器 (MM_REVID) 地址-0181 2000h.....	115
图 2-4	串行快速 I/O 设备配置域.....	26	图 7-1	输入与输出参考电压 水平用于交流时序监测.....	120
图 2-5	以太网 (SGMII) 设备配置域.....	27	图 7-2	上升与下降转换时序电压参考水平	120
图 2-6	PCI 设备配置域.....	27	图 7-3	Core 在 IO 上电时序之前.....	123
图 2-7	I ² C 主动模式设备配置位域	28	图 7-4	IO 在 Core 上电时序之前.....	125
图 2-8	I ² C 被动模式设备配置位域	29	图 7-5	SmartReflex 4-引脚 VID 接口时序.....	128
图 2-9	SPI 设备配置位域.....	29	图 7-6	RESETFULL 复位时序.....	138
图 2-10	HyperLink 引导设备配置域.....	30	图 7-7	软/硬复位时序.....	138
图 2-11	CYP 841 引脚 BGA 封装(底部视图).....	39	图 7-8	引导配置时序.....	139
图 2-12	引脚图(底部视图).....	39	图 7-9	主 PLL 和 PLL 控制器.....	140
图 2-13	左上角—A(底部视图).....	40	图 7-10	PLL 二级控制寄存器 (SECCTL).....	144
图 2-14	右上角—B(底部视图).....	41	图 7-11	PLL 控制器分割寄存器 (PLLDIVn).....	145
图 2-15	右下角—C(底部视图).....	42	图 7-12	PLL 控制器是中分配控制寄存器 (ALNCTL).....	145
图 2-16	左下角—D(底部视图).....	43	图 7-13	PLLDIV 划分器比例改变状态寄存器 (DCHANGE).....	146
图 2-17	C66x DSP 设备术语(包括 TMS320C6678).....	71	图 7-14	SYSClk 状态寄存器 (SYSTAT).....	146
图 3-1	设备状态寄存器.....	78	图 7-15	复位类型状态寄存器 (RSTYPE).....	147
图 3-2	设备配置寄存器 (DEVCFG).....	79	图 7-16	复位控制寄存器 (RSTCTRL).....	148
图 3-3	JTAG ID 寄存器 (JTAGID).....	79	图 7-17	复位配置寄存器 (RSTCFG).....	148
图 3-4	DSPBOOT 地址寄存器 (DSP_BOOT_ADDRn).....	80	图 7-18	复位隔离寄存器 (RSISO).....	149
图 3-5	LRESET NMI PIN 状态寄存器 (LRSTNMIPINSTAT).....	80	图 7-19	主 PLL 控制寄存器 0 (主 PLLCTL0) ...	150
图 3-6	LRESETNMI PIN 状态清除寄存器 (LRSTNMIPINSTAT_CLR) 81	80	图 7-20	主 PLL 控制寄存器 1 (主 PLLCTL1) ...	150
图 3-7	复位状态寄存器 (RESET_STAT).....	83	图 7-21	主 PLL 控制器/SRIO/HyperLink/PCle 时钟输入时序.....	152
图 3-8	复位状态清除寄存器 (RESET_STAT_CLR) . . 84	83	图 7-22	主 PLL 时钟输入传输时间.....	152
图 3-9	引导完成寄存器 (BOOT 完成).....	85	图 7-23	DDR3 PLL 模块图.....	153
图 3-10	电源状态控制寄存器 (PWRSTATECTL).....	86	图 7-24	DDR3 PLL 控制寄存器 0 (DDR3PLLCTL0) . . 153	153
图 3-11	NMI 产生寄存器 (NMIGRx).....	86	图 7-25	DDR3 PLL 控制寄存器 1 (DDR3PLLCTL1) . . 154	154
图 3-12	IPC 产生 (IPCGRx) 寄存器.....	87	图 7-26	DDR3 PLL DDRCLK 时序.....	155
图 3-13	IPC 识别 (IPCARx) 寄存器.....	88	图 7-27	PASS PLL 模块图.....	156
图 3-14	IPC 产生 (IPCGRH) 寄存器.....	88	图 7-28	PASS PLL 控制寄存器 0 (PASSPLLCTL0) . . 156	156
图 3-15	IPC 识别寄存器 (IPCARH).....	89	图 7-29	PASS PLL 控制寄存器 1 (PASSPLLCTL1) . . 157	157
图 3-16	定时器输入部分寄存器 (TINPSEL).....	90	图 7-30	PASS PLL 时序.....	158
图 3-17	定时器输出部分寄存器 (TOUTPSEL).....	93	图 7-31	TMS320C6678 中断拓扑.....	166
图 3-18	复位多路选择寄存器 (RSTMUXx).....	94	图 7-32	TMS320C6678 系统事件输入 — C66x CorePac 首要中断.....	167
图 3-19	DSP 暂停控制寄存器 (DSP_SUSP_CTL).....	95	图 7-33	NMI 和本地复位时序.....	190
图 3-20	设备速度寄存器 (DEV 速度).....	96	图 7-34	HOUT 时序.....	191
图 3-21	芯片多类别控制寄存器 (芯片_MISC_CTL).....	96	图 7-35	配置寄存器 (CONFIG).....	199
图 4-1	TeraNet 2A (对于 C6678).....	99	图 7-36	可编程范围 n 起始地址 寄存器 (PROGn_MPSAR).....	200
图 4-2	TeraNet 3A (对于 C6678).....	100	图 7-37	可编程范围 n 终止寄存器 寄存器 (PROGn_MPEAR).....	200
图 4-3	TeraNet 3P_A & B (对于 C6678).....	102	图 7-38	可编程范围 n 内存保护 页属性寄存器 (PROGn_MPPA).....	201
图 4-4	TeraNet 6P_B 和 3P_跟踪器 (对于 C6678)	103	图 7-39	I ² C 单元模块图.....	208
图 5-1	C66x CorePac 模块图.....	108	图 7-40	I ² C 接收时序.....	210

图 7-41	I ² C 发送时序.....	211	图 7-51	TSIP 2x 时序图 ⁽¹⁾	221
图 7-42	SPI 主动模式时序图— 基准时序的 3 引脚模式.....	214	图 7-52	TSIP 1x 时序图 ⁽¹⁾	222
图 7-43	SPI 额外时序, 4 引脚主动模式 带有芯片选择选项.....	214	图 7-53	EMIF16 同步内存读操作 时序图.....	224
图 7-44	HyperLink 站点管理时钟时序	218	图 7-54	EMIF16 同步内存写操作 时序图.....	224
图 7-45	HyperLink 站点管理发送时序	218	图 7-55	EMIF16 EM_WAIT 读操作时序图.....	225
图 7-46	HyperLink 站点管理接收时序	218	图 7-56	EMIF16 EM_WAIT 写操作时序图.....	225
图 7-47	UART 接收时序波形.....	219	图 7-57	MACID1 寄存器.....	226
图 7-48	UART CTS(清除以发送输出)— 自动流时序波形.....	219	图 7-58	MACID2 寄存器.....	226
图 7-49	UART 发送时序波形.....	220	图 7-59	CPTS_RFTCLK_SEL 寄存器.....	227
图 7-50	UART RTS(请求发送输出)— 自动流时序波形.....	220	图 7-60	MDIO 输入时序.....	228
			图 7-61	MDIO 输出时序.....	228
			图 7-62	定时器时序.....	230
			图 7-63	GPIO 时序.....	231
			图 7-64	跟踪时序.....	233
			图 7-65	JTAG 测试点时序.....	235

表格目录

表 2-1	设备特性.....	13	表 3-12	电源状态控制寄存器(PWRSTATECTL) 域描述.....	86
表 2-2	内存映射总结.....	17	表 3-13	NMI 产生 寄存器 (NMIGRx) 域描述.....	87
表 2-3	L2 SRAM 引导加载其部分.....	23	表 3-14	IPC 产生寄存器 (IPCGRx) 域描述.....	87
表 2-4	引导模式引脚: 引导设备值.....	25	表 3-15	IPC 识别 寄存器 (IPCARx) 域描述.....	88
表 2-5	拓展引导模式.....	25	表 3-16	IPC 产生 寄存器 (IPCGRH) 域描述.....	89
表 2-6	无引导/EMIF16 配置 域描述.....	26	表 3-17	IPC 识别寄存器 (IPCARH) 域描述.....	89
表 2-7	串行快速 I/O 配置 域描述.....	26	表 3-18	定时器输入选择域描述 (TINPSEL).....	90
表 2-8	以太网 (SGMII) 配置 域描述.....	27	表 3-19	定时器 输出选择寄存器 (TOUTPSEL) 域描述.....	93
表 2-9	PCI 设备 配置域描述.....	27	表 3-20	复位多路选择寄存器 (RSTMUXx) 域描述.....	94
表 2-10	BAR 配置 / PCIe 窗口大小.....	28	表 3-21	DSP 暂停控制寄存器 (DSP_SUSP_CTL) 域描述.....	95
表-11	I ² C 主动模式设备配置 域描述.....	28	表 3-22	设备速度寄存器(DEV 速度) 域描述.....	96
表 2-12	I ² C 被动模式设备配置 域描述.....	29	表 3-23	芯片多类别控制寄存器 (CHIP_MISC_CTL) 域描述 ...	96
表 2-13	SPI 设备配置域描述.....	29	表 4-1	交换结构连接矩阵部分 1.....	101
表 2-14	HyperLink 引导设备配置 域描述.....	30	表 4-2	交换结构连接矩阵部分 2.....	104
表 2-15	引导参数表一般参数.....	31	表 4-3	交换结构连接矩阵部分 3.....	105
表 2-16	EMIF16 引导模式参数表.....	31	表 5-1	可用内存页保护机制.	113
表 2-17	SRIO 引导模式参数表.....	32	表 5-2	CorePac 修订 ID 寄存器 (MM_REVID) 域描述.....	115
表 2-18	以太网 引导模式参数表.....	32	表 6-1	绝对最大值等级.....	116
表 2-19	PCIe 引导模式参数表.....	34	表 6-2	推荐操作条件.....	117
表 2-20	I ² C 引导模式参数表.....	34	表 6-3	电气特性.....	118
表 2-21	SPI 引导模式参数表.....	35	表 6-4	外设 I/O 映射供电.....	119
表 2-22	HyperLink 引导模式参数表.....	36	表 7-1	TMS320C6678 供电轨道.....	121
表 2-23	DDR3 引导参数表.....	37	表 7-2	Core 在 IO 上电时序前.....	124
表 2-24	C66x DSP 系统 PLL 配置.....	38	表 7-3	IO 在内核上电时序前.....	126
表 2-25	I/O 功能符号定义.....	44	表 7-4	时钟序列.....	127
表 2-26	引脚功能 — 信号与控制 功能.....	44	表 7-5	SmartReflex 4 引脚 VID 接口转换特性.....	128
表 2-27	引脚功能 — 电源与地.....	57	表 7-6	电源范围.....	129
表 2-28	引脚功能 — 通过信号名.....	58	表 7-7	时钟范围.....	130
表 2-29	引脚功能 — 通过球状编号.....	63	表 7-8	PSC 寄存器 内存映射.....	131
表 3-1	TMS320C6678 设备配置引脚.....	73	表 7-9	复位类型.....	133
表 3-2	设备状态控制寄存器.....	74	表 7-10	复位时序要求.....	138
表 3-3	设备状态寄存器域描述.....	78	表 7-11	推荐操作条件下的复位转换特性.....	138
表 3-4	设备 配置 寄存器 (DEVCFG) 域描述.....	79	表 7-12	引导配置时序要求.....	139
表 3-5	JTAG ID 寄存器 (JTAGID) 域描述 ...	79	表 7-13	主 PLL 稳定、锁定、和复位时间 ..	142
表 3-6	DSP BOOT 地址寄存器 (DSP_BOOT_ADDRn) 域描述.....	80	表 7-14	PLL 控制寄存器(包括复位控制器).....	143
表 3-7	LRESETNMI PIN 状态寄存器 (LRSTNMIPINSTAT) 域描述.....	81	表 7-15	PLL 二级控制寄存器 (SECCTL) 域描述.....	144
表 3-8	LRESETNMI PIN 状态清除寄存器 (LRSTNMIPINSTAT_CLR) 域描述.....	81			
表 3-9	复位状态寄存器 (复位_STAT) 域描述.....	83			
表 3-10	复位状态清除寄存器 (RESET_STAT_CLR) 域描述.....	84			
表 3-11	引导完成寄存器 (BOOTCOMPLETE) 域描述.....	85			

表 7-16	PLL 控制器划分寄存器(PLLDIVn) 域描述.....	145	表 7-52	主动 ID 设置.....	193
表 7-17	PLL 控制时钟分配控制寄存器 (ALNCTL) 域描述	146	表 7-53	MPU0 寄存器.....	195
表 7-18	PLLDIV 划分器比率改变状态寄存器 (DCHANGE) 域描 述	146	表 7-54	MPU1 寄存器.....	196
表 7-19	SYSClk 状态寄存器(SYSTAT) 域描述.....	147	表 7-55	MPU2 寄存器.....	197
表 7-20	复位类型状态 寄存器 (RS 类型) 域描述.....	147	表 7-56	MPU3 寄存器.....	198
表 7-21	复位控制寄存器 (RSTCTRL) 域描述.....	148	表 7-57	配置寄存器 (CONFIG) 域描述.....	199
表 7-22	复位配置寄存器 (RSTCFG) 域描述.....	148	表 7-58	可编程范围 n 起始地址寄存器 (PROGn_MPSAR) 域描 述	200
表 7-23	复位隔离寄存器 (RSISO) 域描述.....	149	表 7-59	可编程范围 n 终止地址寄存器 (PROGn_MPEAR) 域描 述	200
表 7-24	主 PLL 控制寄存器 0(主 PLLCTL0) 域描述.....	150	表 7-60	可编程范围 n 内存保护页属性寄存器 (PROGn_MPPA) 域描述.....	201
表 7-25	主 PLL 控制寄存器 1(主 PLLCTL1) 域描述.....	150	表 7-61	可编程范围 n 寄存器复位 值对于 MPU0.....	203
表 7-26	主 PLL 控制器/SRIO/HyperLink/PCle 时钟输入时序要求.....	151	表 7-62	可编程范围 n 寄存器复位 值对于 MPU1.....	203
表 7-27	DDR3 PLL 控制寄存器 0 域描述.....	153	表 7-63	可编程范围 n 寄存器复位 值对于 MPU2.....	204
表 7-28	DDR3 PLL 控制寄存器 1 域描述.....	154	表 7-64	可编程范围 n 寄存器复位 值对于 MPU3.....	204
表 7-29	DDR3 PLLDDRYSCLK1(N P) 时序要求.....	155	表 7-65	I ² C 寄存器.....	208
表 7-30	PASS PLL 控制寄存器 0 域描述.....	157	表 7-66	I ² C 时序要求.....	209
表 7-31	PASS PLL 控制寄存器 1 域描述.....	157	表 7-67	I ² C 转换特性.....	210
表 7-32	PASS PLL 时序要求.....	158	表 7-68	SPI 时序要求.....	212
表 7-33	EDMA3 通道控制器配置.....	160	表 7-69	SPI 转换特性.....	212
表 7-34	EDMA3 传输控制器配置.....	161	表 7-70	HyperLink 事件 (对于 C6678)	215
表 7-35	EDMA3CC0 事件 (对于 C6678)	161	表 7-71	HyperLink 外设时序 要求.....	217
表 7-36	EDMA3CC1 事件 (对于 C6678)	161	表 7-72	HyperLink 外设转换 特性.....	217
表 7-37	EDMA3CC2 事件 (对于 C6678)	163	表 7-73	UART 时序要求.....	219
表 7-38	CIC0 事件输入(二级中断 对于 C66x CorePacs).....	170	表 7-74	UART 转换特性.....	220
表 7-39	CIC1 事件输入(二级中断 对于 C66x CorePacs).....	174	表 7-75	时序 要求对于 TSIP 2x 模式.....	221
表 7-40	CIC2 事件输入 (二级事件对于 EDMA3CC1 和 EDMA3CC2)	178	表 7-76	时序 要求对于 TSIP 1x 模式.....	222
表 7-41	CIC3 事件输入(二级事件对于 EDMA3CC0 和 HyperLink)	181	表 7-77	EMIF16 同步内存时序要求.....	223
表 7-42	CIC0/CIC1 寄存器.....	183	表 7-78	MACID1 寄存器域描述.....	226
表 7-43	CIC2 寄存器.....	185	表 7-79	MACID2 寄存器域描述.....	226
表 7-44	CIC3 寄存器.....	187	表 7-80	CPTS_RFTCLK_SEL 寄存器 域描述.....	227
表 7-45	IPC 产生 寄存器 (IPCGRx).....	188	表 7-81	MDIO 时序要求.....	228
表 7-46	$\overline{\text{LRESET}}$ 和 $\overline{\text{NMI}}$ 解码.....	189	表 7-82	MDIO 转换特性.....	228
表 7-47	NMI 和本地复位时序要求.....	190	表 7-83	定时器输入时序要求.....	230
表 7-48	HOUT 转换特性.....	191	表 7-84	定时器输出转换特性.....	230
表 7-49	MPU 默认配置.....	192	表 7-85	GPIO 输入时序要求.....	231
表 7-50	MPU 内存区域.....	192	表 7-86	GPIO 输出转换特性.....	231
表 7-51	特权 ID 设置.....	192	表 7-87	DSP 跟踪器 转换特性.....	233
			表 7-88	STM 跟踪器 转换特性.....	233
			表 7-89	JTAG 测试端口时序要求.....	234
			表 7-90	JTAG 测试端口 转换特性.....	234
			表 9-1	Thermal 阻抗特性对于 CYP (PBGA 841 引脚封装).....	241
			表 9-2	Thermal 阻抗特性对于 GYP (PBGA 841 引脚封装).....	241

2 设备概览

2.1 设备特性

表 2-1 展示了设备的重要特性。

表 2-1 设备特性

特点		TMS320C6678
外设	DDR3 内存控制器(64 位总线宽度) [1.5 V I/O] (时钟资源 = DDRREFCLKN P)	1
	EDMA3 (16 个独立通道) [DSP/2 时钟 速率]	1
	EDMA3 (64 个独立通道) [DSP/3 时钟 速率]	2
	高速 1× / 2× / 4×串行快速 IO 口(4 通道)	1
	PCIe (2 通道)	1
	10/100/1000 以太网	2
	管理数据输入/输出 (MDIO)	1
	HyperLink	1
	EMIF16	1
	TSIP	2
	SPI	1
	UART	1
	I ² C	1
	64 位定时器(可配置)(内部时钟资源=CPU/6 时钟频率)	16 个 64 位(每个可配置为两个 32 位定时器)
加速器	通用输入/输出口(GPIO)	16
	包加速器	1
片上内存	安全加速器 ⁽¹⁾	1
	大小 (字节)	8832KB
片上内存	组织	256KB L1 程序内存[SRAM/高速缓存]
		256KB L1 数据内存 [SRAM/高速缓存]
		4096KB L2 统一内存/高速缓存
		4096KB MSMSRAM 128KB L3 ROM
C66x CorePac 修订 ID	CorePac 修订 ID 寄存器 (地址定位: 0181 2000h)	参看 5.5 部分关于“C66x CorePac 修订”。
JTAG BSD_L_ID	JTAGID 寄存器(地址定位: 0262 0018h)	参看 3.3.3 部分关于“JTAG ID 寄存器 (JTAGID) 描述”
频率	MHz	1400 (1.4 GHz)
		1250 (1.25 GHz)
		1000 (1.0 GHz)
循环周期	ns	0.714 ns (1.4 GHz)
		0.8 ns (1.25 GHz)
		1 ns (1.0 GHz)
电压	内核(V)	SmartReflex 可变供电
	I/O (V)	1.0 V, 1.5 V, 和 1.8 V
过程技术	μm	0.040 μm
BGA 封装	24 mm × 24 mm 无铅硅片与锡球封装, 或含铅	CYP 841 引脚 (无铅), GYP 841 引脚(含铅)
产品状态 ⁽²⁾	产品预览 (PP), 预先信息 (AI), 或产品数据(PD)	PD

1 安全加速器功能受制于出口控制并被使能 仅仅对于相应的设备 运输。

2 PRODUCTION DATA 信息目前作为出版数据. 产品符合具体 每个 德州仪器标准版权版本. 生产过程并无必要包含所有参数的测试。

2.2 DSP 内核描述

C66x 数字信号处理器(DSP)通过增强和新特性拓展了 C64x+和 C674x DSP 的性能。许多新特性旨在增强向量处理的性能。C64x+ 与 C674x DSP 支持 16 位数据的两路 SIMD 操作和 8 位数据的四路 SIMD 操作。在 C66x DSP 中, 通过拓展 SIMD 指令的宽度增强了向量处理能力。C66x DSP 能够操作 128 位向量来执行指令。例如, QMPY32 指令能够执行单位到单位的两个向量之间、每四个 32 位数据的乘法。C66x DSP 也支持 SIMD 用于浮点操作。增强向量处理能力(每个指令可以平行处理多个指令), 伴随着 C6000 架构的原始指令集平行机制(例如每个周期最多执行 8 个指令), 产生了非常高级别的平行机制, 并且可以使 DSP 编程者通过使用 TI 的最优 C/C++编译器来进一步发掘。

C66x DSP (如图 2-1 示) 包括八个功能单元、两个寄存器文件、两个数据路径、两个一般目的寄存器文件(A 和 B) 每个包含 32 个 32 位寄存器, 共计 64 个寄存器。通用寄存器可以被用于存储数据或作为数据地址指针。数据类型支持包括 8 位整体数据、16 位整体数据、32 位数据、40 位数据和 64 位数据。乘法亦支持 128 位数据。40 位长或 64 位长值被存储于寄存器对, 数据的 32 LSB 被放置在一个偶数寄存器, 剩余的 8 或 32 MSB 置入下一个高位寄存器(总为奇数编号寄存器)。128 位数据寄存器值存储入寄存器分为四组, 数据的 32 LSB 被放置入一个乘 4 寄存器, 剩余 96 MSB 在下 3 个高位寄存器。

八个功能单元(.M1, .L1, .D1, .S1, .M2, .L2, .D2, 和 S2) 的每一个都有能力在每个时钟周期内执行单指令。M 功能单元执行所有乘法操作。S 和 L 单元执行一个算术、逻辑、分支功能的通用集。D 单元主要用于从内存加载数据到寄存器文件并将寄存器文件的结果存储到内存。

每个 C66x .M 单元可以在每个时钟周期执行下列定点运算中的一个: 四个 32×32 位乘法, 16 个 16×16 位乘法, 四个 16×32 位乘法, 四个 8×8 位乘法, 四个带有加法运算的 8×8 位乘法, 四个带有加/减能力的 16×16 乘法。也支持 8 位和 32 位数据的伽罗华域乘法。许多通信算法例如 FFT 和调制解调需要复数乘法。每个 C66x .M 单元可以执行一个 16×16 位有/无环形能力的复数乘法, 两个 16×16 位带有环形能力复数乘法, 和一个 32×32 位带有环形能力复数乘法。C66x 也可以执行两个 16×16 位和一个 32×32 位复数乘法指令, 将一个复数与一个另一个有环形能力的共轭复数相乘。

通信信号处理也需要一个矩阵运算的拓展应用。每个 C66x .M 单元有能力在每个周期乘以有/无环形能力的一个 $[1 \times 2]$ 复向量与一个 $[2 \times 2]$ 复矩阵。一个现存版本也允许 $[1 \times 2]$ 共轭向量与一个 $[2 \times 2]$ 复矩阵的乘法。

来自 C674x DSP 的每个 C66x .M 单元也包括 IEEE 浮点乘法操作, 包含一个在每个周期的单精度乘法和一个每四个周期的双精度乘法。也有一个混合精度乘法允许一个单精度值与一个双精度值相乘以及一个操作允许两个单精度数相乘生成一个双精度数。C66x DSP 借助于 C674x 双精度乘法, 通过增加一个指令允许一个在每个周期的双精度乘法提升了性能, 并且同样降低了延迟槽的数目, 从 10 降至 4。每个 C66x .M 单元也可以在每个时钟周期执行下列浮点操作中的一个: 一个、两个、或四个单精度乘法或一个复数单精度乘法。

.L 与 .S 单元现在可以支持最多 64 位操作数。这允许在每个周期内的许多算术、逻辑和数据包装指令的新版本, 以实现执行更多平行操作。添加的额外指令增强了浮点加减法指令的性能, 包括在每个周期执行一个双精度加法或减法的能力。

转换至/从整数或单精度值现在可以同时完成。L 与 S 单元在 C66x 上同样使通过利用较大的操作数，加倍添加的指令来完成的这些转换的数目。L 单元也有额外的指令用于逻辑和、或指令，同样，复数的 90 度或 270 度旋转(每周期最多两个)。同样添加指令来允许计算共轭复数。

MFENCE 指令是 C66x DSP 上的一个新指令。这个指令将创建一个 DSP 延迟，直到所有 DSP 触发内存转换完成，包括：

- 高速缓存 线程满
- 从 L1D 写至 L2 或从 CorePac 到 MSMC 和/或其他系统端点
- 牺牲品回写
- 模块或整体连贯操作
- 高速缓存模式改变
- 整体 XMC 预取请求

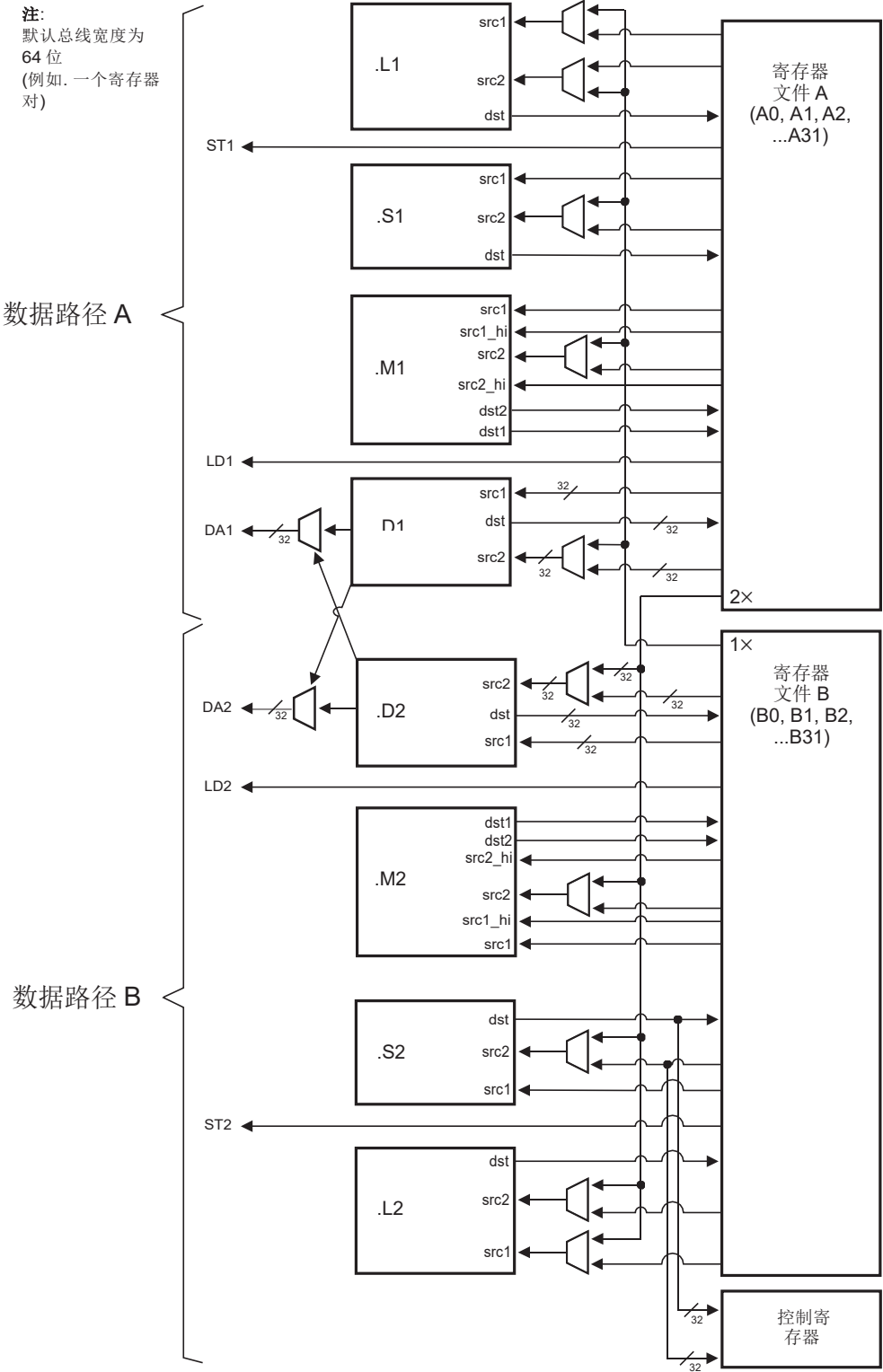
作为一个简单机制，这是非常有用的。对于程序来等待这些请求从而到达他们的端点。它同样提供了顺序来保证对于写操作通过多条路径到达一个单端点，基于顺序的多处理器算法和手动连贯操作。

相比 C64x+ 和 C674x 架构，对于 C66x DSP 的更多细节以及它的强化，参看下列文档：

- C66x DSP CPU 与指令集参考指南，[“德州仪器相关文档”](#) 72 页。
- C66x DSP 高速缓存用户指南，[“德州仪器相关文档”](#) 72 页。
- C66x DSP CorePac 用户指南，[“德州仪器相关文档”](#) 72 页。

图 2-1 为 DSP 内核功能单元和数据路径。

图 2-1 DSP 内核数据路径



2.3 内存映射图总结

表 2-2 为 TMS320C6678 设备的内存映射地址范围

表 2-2 内存映射图总结 (表 1 / 7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	终止	起始	终止		
00000000	007FFFFF	0 00000000	0 007FFFFF	8M	保留
00800000	0087FFFF	0 00800000	0 0087FFFF	512K	本地 L2SRAM
00880000	00DFFFFFFF	0 00880000	0 00DFFFFFFF	5M+512K	保留
00E00000	00E07FFF	0 00E00000	0 00E07FFF	32K	本地 L1P SRAM
00E08000	00EFFFFFFF	0 00E08000	0 00EFFFFFFF	1M-32K	保留
00F00000	00F07FFF	0 00F00000	0 00F07FFF	32K	本地 L1D SRAM
00F08000	017FFFFFFF	0 00F08000	0 017FFFFFFF	9M-32K	保留
01800000	01BFFFFFFF	0 01800000	0 01BFFFFFFF	4M	C66xCorePac 寄存器
01C00000	01CFFFFFFF	0 01C00000	0 01CFFFFFFF	1M	保留
01D00000	01D0007F	0 01D00000	0 01D0007F	128	跟踪器_MSMC_0
01D00080	01D07FFF	0 01D00080	0 01D07FFF	32K-128	保留
01D08000	01D0807F	0 01D08000	0 01D0807F	128	跟踪器_MSMC_1
01D08080	01D0FFFF	0 01D08080	0 01D0FFFF	32K-128	保留
01D10000	01D1007F	0 01D10000	0 01D1007F	128	跟踪器_MSMC_2
01D10080	01D17FFF	0 01D10080	0 01D17FFF	32K-128	保留
01D18000	01D1807F	0 01D18000	0 01D1807F	128	跟踪器_MSMC_3
01D18080	01D1FFFF	0 01D18080	0 01D1FFFF	32K-128	保留
01D20000	01D2007F	0 01D20000	0 01D2007F	128	跟踪器_QM_DMA
01D20080	01D27FFF	0 01D20080	0 01D27FFF	32K-128	保留
01D28000	01D2807F	0 01D28000	0 01D2807F	128	跟踪器_DDR
01D28080	01D2FFFF	0 01D28080	0 01D2FFFF	32K-128	保留
01D30000	01D3007F	0 01D30000	0 01D3007F	128	跟踪器_SM
01D30080	01D37FFF	0 01D30080	0 01D37FFF	32K-128	保留
01D38000	01D3807F	0 01D38000	0 01D3807F	128	跟踪器_QM_CFG
01D38080	01D3FFFF	0 01D38080	0 01D3FFFF	32K-128	保留
01D40000	01D4007F	0 01D40000	0 01D4007F	128	跟踪器_CFG
01D40080	01D47FFF	0 01D40080	0 01D47FFF	32K-128	保留
01D48000	01D4807F	0 01D48000	0 01D4807F	128	跟踪器_L2_0
01D48080	01D4FFFF	0 01D48080	0 01D4FFFF	32K-128	保留
01D50000	01D5007F	0 01D50000	0 01D5007F	128	跟踪器_L2_1
01D50080	01D57FFF	0 01D50080	0 01D57FFF	32K-128	保留
01D58000	01D5807F	0 01D58000	0 01D5807F	128	跟踪器_L2_2
01D58080	01D5FFFF	0 01D58080	0 01D5FFFF	32K-128	保留
01D60000	01D6007F	0 01D60000	0 01D6007F	128	跟踪器_L2_3
01D60080	01D67FFF	0 01D60080	0 01D67FFF	32K-128	保留
01D68000	01D6807F	0 01D68000	0 01D6807F	128	跟踪器_L2_4
01D68080	01D6FFFF	0 01D68080	0 01D6FFFF	32K-128	保留
01D70000	01D7007F	0 01D70000	0 01D7007F	128	跟踪器_L2_5
01D70080	01D77FFF	0 01D70080	0 01D77FFF	32K-128	保留
01D78000	01D7807F	0 01D78000	0 01D7807F	128	跟踪器_L2_6

表 2-2 内存映射图总结 (表 2/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
01D78080	01D7FFFF	0 01D78080	0 01D7FFFF	32K-128	保留
01D80000	01D8007F	0 01D80000	0 01D8007F	128	跟踪器_L2_7
01D80080	01DFFFFF	0 01D80080	0 01DFFFFF	512K-128	保留
01E00000	01E3FFFF	0 01E00000	0 01E3FFFF	256K	电信 串行接口 (TSIP) 0
01E40000	01E7FFFF	0 01E40000	0 01E7FFFF	256K	保留
01E80000	01EBFFFF	0 01E80000	0 01EBFFFF	256K	电信串行接口 (TSIP) 1
01EC0000	01FFFFFF	0 01EC0000	0 01FFFFFF	1M +256K	保留
02000000	020FFFFF	0 02000000	0 020FFFFF	1M	网络协处理器 (包加速器, 千兆位以太网交换子系统 和安全加速器)
02100000	021FFFFF	0 02100000	0 021FFFFF	1M	保留
02200000	0220007F	0 02200000	0 0220007F	128	定时器 0
02200080	0220FFFF	0 02200080	0 0220FFFF	64K-128	保留
02210000	0221007F	0 02210000	0 0221007F	128	定时器 1
02210080	0221FFFF	0 02210080	0 0221FFFF	64K-128	保留
02220000	0222007F	0 02220000	0 0222007F	128	定时器 2
02220080	0222FFFF	0 02220080	0 0222FFFF	64K-128	保留
02230000	0223007F	0 02230000	0 0223007F	128	定时器 3
02230080	0223FFFF	0 02230080	0 0223FFFF	64K-128	保留
02240000	0224007F	0 02240000	0 0224007F	128	定时器 4
02240080	0224FFFF	0 02240080	0 0224FFFF	64K-128	保留
02250000	0225007F	0 02250000	0 0225007F	128	定时器 5
02250080	0225FFFF	0 02250080	0 0225FFFF	64K-128	保留
02260000	0226007F	0 02260000	0 0226007F	128	定时器 6
02260080	0226FFFF	0 02260080	0 0226FFFF	64K-128	保留
02270000	0227007F	0 02270000	0 0227007F	128	定时器 7
02270080	0227FFFF	0 02270080	0 0227FFFF	64K-128	保留
02280000	0228007F	0 02280000	0 0228007F	128	定时器 8
02280080	0228FFFF	0 02280080	0 0228FFFF	64K-128	保留
02290000	0229007F	0 02290000	0 0229007F	128	定时器 9
02290080	0229FFFF	0 02290080	0 0229FFFF	64K-128	保留
022A0000	022A007F	0 022A0000	0 022A007F	128	定时器 10
022A0080	022AFFFF	0 022A0080	0 022AFFFF	64K-128	保留
022B0000	022B007F	0 022B0000	0 022B007F	128	定时器 11
022B0080	022BFFFF	0 022B0080	0 022BFFFF	64K-128	保留
022C0000	022C007F	0 022C0000	0 022C007F	128	定时器 12
022C0080	022CFFFF	0 022C0080	0 022CFFFF	64K-128	保留
022D0000	022D007F	0 022D0000	0 022D007F	128	定时器 13
022D0080	022DFFFF	0 022D0080	0 022DFFFF	64K-128	保留
022E0000	022E007F	0 022E0000	0 022E007F	128	定时器 14
022E0080	022EFFFF	0 022E0080	0 022EFFFF	64K-128	保留
022F0000	022F007F	0 022F0000	0 022F007F	128	定时器 15
022F0080	022FFFFF	0 022F0080	0 022FFFFF	64K-128	保留
02300000	0230FFFF	0 02300000	0 0230FFFF	64K	保留

表 2-2 内存映射图总结 (表 3/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
02310000	023101FF	0 02310000	0 023101FF	512	PLL 控制器
02310200	0231FFFF	0 02310200	0 0231FFFF	64K-512	保留
02320000	023200FF	0 02320000	0 023200FF	256	GPIO
02320100	0232FFFF	0 02320100	0 0232FFFF	64K-256	保留
02330000	023303FF	0 02330000	0 023303FF	1K	SmartReflex
02330400	0234FFFF	0 02330400	0 0234FFFF	127K	保留
02350000	02350FFF	0 02350000	0 02350FFF	4K	休眠控制器(PSC)
02351000	0235FFFF	0 02351000	0 0235FFFF	64K-4K	保留
02360000	023603FF	0 02360000	0 023603FF	1K	内存保护单元 (MPU)0
02360400	02367FFF	0 02360400	0 02367FFF	31K	保留
02368000	023683FF	0 02368000	0 023683FF	1K	内存保护单元 (MPU)1
02368400	0236FFFF	0 02368400	0 0236FFFF	31K	保留
02370000	023703FF	0 02370000	0 023703FF	1K	内存保护单元 (MPU)2
02370400	02377FFF	0 02370400	0 02377FFF	31K	保留
02378000	023783FF	0 02378000	0 023783FF	1K	内存保护单元 (MPU)3
02378400	023FFFFF	0 02378400	0 023FFFFF	543K	保留
02400000	0243FFFF	0 02400000	0 0243FFFF	256K	调试子系统配置
02440000	02443FFF	0 02440000	0 02443FFF	16K	DSP 跟踪器 格式程序 0
02444000	0244FFFF	0 02444000	0 0244FFFF	48K	保留
02450000	02453FFF	0 02450000	0 02453FFF	16K	DSP 跟踪器 格式程序 1
02454000	0245FFFF	0 02454000	0 0245FFFF	48K	保留
02460000	02463FFF	0 02460000	0 02463FFF	16K	DSP 跟踪器 格式程序 2
02464000	0246FFFF	0 02464000	0 0246FFFF	48K	保留
02470000	02473FFF	0 02470000	0 02473FFF	16K	DSP 跟踪器 格式程序 3
02474000	0247FFFF	0 02474000	0 0247FFFF	48K	保留
02480000	02483FFF	0 02480000	0 02483FFF	16K	DSP 跟踪器 格式程序 4
02484000	0248FFFF	0 02484000	0 0248FFFF	48K	保留
02490000	02493FFF	0 02490000	0 02493FFF	16K	DSP 跟踪器 格式程序 5
02494000	0249FFFF	0 02494000	0 0249FFFF	48K	保留
024A0000	024A3FFF	0 024A0000	0 024A3FFF	16K	DSP 跟踪器 格式程序 6
024A4000	024AFFFF	0 024A4000	0 024AFFFF	48K	保留
024B0000	024B3FFF	0 024B0000	0 024B3FFF	16K	DSP 跟踪器 格式程序 7
024B4000	024BFFFF	0 024B4000	0 024BFFFF	48K	保留
024C0000	0252FFFF	0 024C0000	0 0252FFFF	448K	保留
02530000	0253007F	0 02530000	0 0253007F	128	I ² C 数据&控制
02530080	0253FFFF	0 02530080	0 0253FFFF	64K-128	保留
02540000	0254003F	0 02540000	0 0254003F	64	UART
02540400	0254FFFF	0 02540400	0 0254FFFF	64K-64	保留
02550000	025FFFFF	0 02550000	0 025FFFFF	704K	保留
02600000	02601FFF	0 02600000	0 02601FFF	8K	芯片中断控制器(CIC) 0
02602000	02603FFF	0 02602000	0 02603FFF	8K	保留
02604000	02605FFF	0 02604000	0 02605FFF	8K	芯片中断控制器(CIC) 1
02606000	02607FFF	0 02606000	0 02607FFF	8K	保留

表 2-2 内存映射图总结 (图 4/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
02608000	02609FFF	0 02608000	0 02609FFF	8K	芯片中断控制器 (CIC) 2
0260A000	0260BFFF	0 0260A000	0 0260BFFF	8K	保留
0260C000	0260DFFF	0 0260C000	0 0260DFFF	8K	芯片中断控制器 (CIC) 3
0260E000	0261FFFF	0 0260E000	0 0261FFFF	72K	保留
02620000	026207FF	0 02620000	0 026207FF	2K	芯片级寄存器
02620800	0263FFFF	0 02620800	0 0263FFFF	126K	保留
02640000	026407FF	0 02640000	0 026407FF	2K	信号量
02640800	0264FFFF	0 02640800	0 0264FFFF	64K-2K	保留
02650000	026FFFFF	0 02650000	0 026FFFFF	704K	保留
02700000	02707FFF	0 02700000	0 02707FFF	32K	EDMA3 通道控制器(EDMA3CC) 0
02708000	0271FFFF	0 02708000	0 0271FFFF	96K	保留
02720000	02727FFF	0 02720000	0 02727FFF	32K	EDMA3 通道控制器 (EDMA3CC) 1
02728000	0273FFFF	0 02728000	0 0273FFFF	96K	保留
02740000	02747FFF	0 02740000	0 02747FFF	32K	EDMA3 通道控制器(EDMA3CC) 2
02748000	0275FFFF	0 02748000	0 0275FFFF	96K	保留
02760000	027603FF	0 02760000	0 027603FF	1K	EDMA3CC0 传输控制器 (EDMA3TC) 0
02760400	02767FFF	0 02760400	0 02767FFF	31K	保留
02768000	027683FF	0 02768000	0 027683FF	1K	EDMA3CC0 传输控制器 (EDMA3TC) 1
02768400	0276FFFF	0 02768400	0 0276FFFF	31K	保留
02770000	027703FF	0 02770000	0 027703FF	1K	EDMA3CC1 传输控制器 (EDMA3TC) 0
02770400	02777FFF	0 02770400	0 02777FFF	31K	保留
02778000	027783FF	0 02778000	0 027783FF	1K	EDMA3CC1 传输控制器 (EDMA3TC) 1
02778400	0277FFFF	0 02778400	0 0277FFFF	31K	保留
02780000	027803FF	0 02780000	0 027803FF	1K	EDMA3CC1 传输控制器 (EDMA3TC) 2
02780400	02787FFF	0 02780400	0 02787FFF	31K	保留
02788000	027883FF	0 02788000	0 027883FF	1K	EDMA3CC1 传输控制器 (EDMA3TC) 3
02788400	0278FFFF	0 02788400	0 0278FFFF	31K	保留
02790000	027903FF	0 02790000	0 027903FF	1K	EDMA3PCC2 传输控制器 (EDMA3TC) 0
02790400	02797FFF	0 02790400	0 02797FFF	31K	保留
02798000	027983FF	0 02798000	0 027983FF	1K	EDMA3CC2 传输控制器 (EDMA3TC) 1
02798400	0279FFFF	0 02798400	0 0279FFFF	31K	保留
027A0000	027A03FF	0 027A0000	0 027A03FF	1K	EDMA3CC2 传输控制器(EDMA3TC) 2
027A0400	027A7FFF	0 027A0400	0 027A7FFF	31K	保留
027A8000	027A83FF	0 027A8000	0 027A83FF	1K	EDMA3CC2 传输控制器(EDMA3TC) 3
027A8400	027AFFFF	0 027A8400	0 027AFFFF	31K	保留
027B0000	027CFFFF	0 027B0000	0 027CFFFF	128K	保留
027D0000	027D0FFF	0 027D0000	0 027D0FFF	4K	TI 嵌入 跟踪器 缓冲器 (TETB) - CorePac0
027D1000	027DFFFF	0 027D1000	0 027DFFFF	60K	保留
027E0000	027E0FFF	0 027E0000	0 027E0FFF	4K	TI 嵌入跟踪器 缓冲器 (TETB) - CorePac1
027E1000	027EFFFF	0 027E1000	0 027EFFFF	60K	保留
027F0000	027F0FFF	0 027F0000	0 027F0FFF	4K	TI 嵌入 跟踪器 缓冲器 (TETB) - CorePac2
027F1000	027FFFFF	0 027F1000	0 027FFFFF	60K	保留
02800000	02800FFF	0 02800000	0 02800FFF	4K	TI 嵌入跟踪器 缓冲器 (TETB) - CorePac3

表 2-2 内存映射图总结 (表 5/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
02801000	0280FFFF	0 02801000	0 0280FFFF	60K	保留
02810000	02810FFF	0 02810000	0 02810FFF	4K	TI 嵌入跟踪器缓冲器 (TETB) - CorePac4
02811000	0281FFFF	0 02811000	0 0281FFFF	60K	保留
02820000	02820FFF	0 02820000	0 02820FFF	4K	TI 嵌入跟踪器缓冲器 (TETB) - CorePac5
02821000	0282FFFF	0 02821000	0 0282FFFF	60K	保留
02830000	02830FFF	0 02830000	0 02830FFF	4K	TI 嵌入跟踪器缓冲器 (TETB) - CorePac6
02831000	0283FFFF	0 02831000	0 0283FFFF	60K	保留
02840000	02840FFF	0 02840000	0 02840FFF	4K	TI 嵌入跟踪器缓冲器 (TETB) - CorePac7
02841000	0284FFFF	0 02841000	0 0284FFFF	60K	保留
02850000	02857FFF	0 02850000	0 02857FFF	32K	TI 嵌入跟踪器缓冲器 (TETB) — 系统
02858000	0285FFFF	0 02858000	0 0285FFFF	32K	保留
02860000	028FFFFF	0 02860000	0 028FFFFF	640K	保留
02900000	02920FFF	0 02900000	0 02920FFF	132K	串行快速 IO (SRIO) 配置
02921000	029FFFFF	0 02921000	0 029FFFFF	1M-132K	保留
02A00000	02BFFFFF	0 02A00000	0 02BFFFFF	2M	队列管理子系统配置
02C00000	07FFFFFF	0 02C00000	0 07FFFFFF	84M	保留
08000000	0800FFFF	0 08000000	0 0800FFFF	64K	拓展内存控制器 (XMC) 配置
08010000	08BFFFFF	0 08010000	0 08BFFFFF	60M-64K	保留
08C00000	08CFFFFF	0 08C00000	0 08CFFFFF	1M	多核共享内存控制器(MSMC)配置
08D00000	08FFFFFF	0 08D00000	0 08FFFFFF	3M	保留
0C000000	0C3FFFFF	0 0C000000	0 0C3FFFFF	4M	多核共享内存(MSM)
0C400000	107FFFFFF	0 0C400000	0 107FFFFFF	68 M	保留
10800000	1087FFFF	0 10800000	0 1087FFFF	512K	CorePac0-L2 SRAM
10880000	108FFFFF	0 10880000	0 108FFFFF	512K	保留
10900000	10DFFFFF	0 10900000	0 10DFFFFF	5M	保留
10E00000	10E07FFF	0 10E00000	0 10E07FFF	32K	CorePac0-L1PSRAM
10E08000	10EFFFFF	0 10E08000	0 10EFFFFF	1M-32K	保留
10F00000	10F07FFF	0 10F00000	0 10F07FFF	32K	CorePac0-L1DSRAM
10F08000	117FFFFFF	0 10F08000	0 117FFFFFF	9M-32K	保留
11800000	1187FFFF	0 11800000	0 1187FFFF	512K	CorePac1-L2 SRAM
11880000	118FFFFF	0 11880000	0 118FFFFF	512K	保留
11900000	11DFFFFF	0 11900000	0 11DFFFFF	5M	保留
11E00000	11E07FFF	0 11E00000	0 11E07FFF	32K	CorePac1-L1PSRAM
11E08000	11EFFFFF	0 11E08000	0 11EFFFFF	1M-32K	保留
11F00000	11F07FFF	0 11F00000	0 11F07FFF	32K	CorePac1-L1DSRAM
11F08000	127FFFFFF	0 11F08000	0 127FFFFFF	9M-32K	保留
12800000	1287FFFF	0 12800000	0 1287FFFF	512K	CorePac2-L2 SRAM
12880000	128FFFFF	0 12880000	0 128FFFFF	512K	保留
12900000	12DFFFFF	0 12900000	0 12DFFFFF	5M	保留
12E00000	12E07FFF	0 12E00000	0 12E07FFF	32K	CorePac2-L1PSRAM
12E08000	12EFFFFF	0 12E08000	0 12EFFFFF	1M-32K	保留
12F00000	12F07FFF	0 12F00000	0 12F07FFF	32K	CorePac2-L1DSRAM
12F08000	137FFFFFF	0 12F08000	0 137FFFFFF	9M-32K	保留

表 2-2 内存映射图总结(表 6/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
13800000	1387FFFF	0 13800000	0 1387FFFF	512K	CorePac3-L2 SRAM
13880000	138FFFFFFF	0 13880000	0 138FFFFFFF	512K	保留
13900000	13DFFFFFFF	0 13900000	0 13DFFFFFFF	5M	保留
13E00000	13E07FFF	0 13E00000	0 13E07FFF	32K	CorePac3-L1PSRAM
13E08000	13EFFFFFFF	0 13E08000	0 13EFFFFFFF	1M-32K	保留
13F00000	13F07FFF	0 13F00000	0 13F07FFF	32K	CorePac3-L1D SRAM
13F08000	147FFFFFFF	0 13F08000	0 147FFFFFFF	9M-32K	保留
14800000	1487FFFF	0 14800000	0 1487FFFF	512K	CorePac4-L2 SRAM
14880000	148FFFFFFF	0 14880000	0 148FFFFFFF	512K	保留
14900000	14DFFFFFFF	0 14900000	0 14DFFFFFFF	5M	保留
14E00000	14E07FFF	0 14E00000	0 14E07FFF	32K	CorePac4-L1PSRAM
14E08000	14EFFFFFFF	0 14E08000	0 14EFFFFFFF	1M-32K	保留
14F00000	14F07FFF	0 14F00000	0 14F07FFF	32K	CorePac4-L1D SRAM
14F08000	157FFFFFFF	0 14F08000	0 157FFFFFFF	9M-32K	保留
15800000	1587FFFF	0 15800000	0 1587FFFF	512K	CorePac5-L2 SRAM
15880000	158FFFFFFF	0 15880000	0 158FFFFFFF	512K	保留
15900000	15DFFFFFFF	0 15900000	0 15DFFFFFFF	5M	保留
15E00000	15E07FFF	0 15E00000	0 15E07FFF	32K	CorePac5-L1PSRAM
15E08000	15EFFFFFFF	0 15E08000	0 15EFFFFFFF	1M-32K	保留
15F00000	15F07FFF	0 15F00000	0 15F07FFF	32K	CorePac5-L1D SRAM
15F08000	167FFFFFFF	0 15F08000	0 167FFFFFFF	9M-32K	保留
16800000	1687FFFF	0 16800000	0 1687FFFF	512K	CorePac6-L2 SRAM
16880000	168FFFFFFF	0 16880000	0 168FFFFFFF	512K	保留
16900000	16DFFFFFFF	0 16900000	0 16DFFFFFFF	5M	保留
16E00000	16E07FFF	0 16E00000	0 16E07FFF	32K	CorePac6-L1PSRAM
16E08000	16EFFFFFFF	0 16E08000	0 16EFFFFFFF	1M-32K	保留
16F00000	16F07FFF	0 16F00000	0 16F07FFF	32K	CorePac6-L1D SRAM
16F08000	177FFFFFFF	0 16F08000	0 177FFFFFFF	9M-32K	保留
17800000	1787FFFF	0 17800000	0 1787FFFF	512K	CorePac7-L2 SRAM
17880000	178FFFFFFF	0 17880000	0 178FFFFFFF	512K	保留
17900000	17DFFFFFFF	0 17900000	0 17DFFFFFFF	5M	保留
17E00000	17E07FFF	0 17E00000	0 17E07FFF	32K	CorePac7-L1PSRAM
17E08000	17EFFFFFFF	0 17E08000	0 17EFFFFFFF	1M-32K	保留
17F00000	17F07FFF	0 17F00000	0 17F07FFF	32K	CorePac7-L2 SRAM
17F08000	1FFFFFFF	0 17F08000	0 1FFFFFFF	129M-32K	保留
20000000	200FFFFFFF	0 20000000	0 200FFFFFFF	1M	系统跟踪器管理器(STM)配置
20100000	20AFFFFFFF	0 20100000	0 20AFFFFFFF	10M	保留
20B00000	20B1FFFF	0 20B00000	0 20B1FFFF	128K	引导 ROM
20B20000	20BEFFFF	0 20B20000	0 20BEFFFF	832K	保留
20BF0000	20BF01FF	0 20BF0000	0 20BF01FF	512	SPI
20BF0200	20BFFFFFFF	0 20BF0200	0 20BFFFFFFF	64K-512	保留
20C00000	20C000FF	0 20C00000	0 20C000FF	256	EMIF16 配置
20C00100	20FFFFFFF	0 20C00100	0 20FFFFFFF	12M - 256	保留

表 2-2 内存映射图总结(表 7/7)

逻辑 32 位地址		物理 36 位地址		字节	描述
起始	结束	起始	结束		
21000000	210001FF	1 00000000	1 000001FF	512	DDR3 EMIF 配置
21000200	213FFFFF	0 21000200	0 213FFFFF	4M-512	保留
21400000	214000FF	0 21400000	0 214000FF	256	HyperLink 配置
21400100	217FFFFF	0 21400100	0 217FFFFF	4M-256	保留
21800000	21807FFF	0 21800000	0 21807FFF	32K	PCIe 配置
21808000	33FFFFFF	0 21808000	0 33FFFFFF	296M-32K	保留
34000000	341FFFFF	0 34000000	0 341FFFFF	2M	队列管理子系统数据
34200000	3FFFFFFF	0 34200000	0 3FFFFFFF	190M	保留
40000000	4FFFFFFF	0 40000000	0 4FFFFFFF	256M	HyperLink 数据
50000000	5FFFFFFF	0 50000000	0 5FFFFFFF	256M	保留
60000000	6FFFFFFF	0 60000000	0 6FFFFFFF	256M	PCIe 数据
70000000	73FFFFFF	0 70000000	0 73FFFFFF	64M	EMIF16 CE0 数据空间, 支持 NAND, NOR 或 SRAM 内存 ⁽¹⁾
74000000	77FFFFFF	0 74000000	0 77FFFFFF	64M	EMIF16 CE1 数据空间, 支持 NAND, NOR 或 SRAM 内存 ⁽¹⁾
78000000	7BFFFFFF	0 78000000	0 7BFFFFFF	64M	EMIF16 CE2 数据空间, 支持 NAND, NOR 或 SRAM 内存 ⁽¹⁾
7C000000	7FFFFFFF	0 7C000000	0 7FFFFFFF	64M	EMIF16 CE3 数据空间, 支持 NAND, NOR 或 SRAM 内存 ⁽¹⁾
80000000	FFFFFFFF	8 00000000	8 7FFFFFFF	2G	DDR3 EMIF 数据 ⁽²⁾

表 2-2 结束

1 32MB 每个芯片选择 16 位 NOR 和 SRAM。每个芯片 16MB 选择 8 位 NOR 和 SRAM。32MB 和 16MB 大小限制不适用于 NAND。

2 内存映射图仅表示 DDR3 内存空间默认 MPAX 配置。对于拓展 DDR3 内存空间访问 (最多 8GB)，参看 MPAX 配置细节，在 C66x CorePac 用户指南和 KeyStone 设备多核共享内存控制器(MSMC)用户指南，“德州仪器相关文档”，页 72。

2.4 引导流程

引导流程是 DSP 内部存储装载程序和数据部分的一个过程。DSP 内部寄存器被预定值编程。引导流程自每个上电复位，热复位和系统复位后自动开始。一个单独的 C66x CorePac 本地复位不应影响设备硬件引导控制器的状态。更多复位初始化的细节，参看 113 页 7.5 “复位控制器 133 部分”。引导加载器在设备初始引导期间使用一部分 L2 SRAM（起始地址 0x00872DC0，结束地址 0x0087FFFF）。更多关于存储于保留 L2 部分的配置类型的细节信息，参看 表 2-3。

表 2-3 L2 SRAM 引导加载器部分(表 1/2)

起始地址(十六进制)	大小(十六进制字节)	描述
0x00872DC0	0x40	ROM 引导版本字符串 (未保留)
0x00872E00	0x400	引导代码栈
0x00873200	0xE0	引导日志
0x008732E0	0x20	引导过程寄存器栈(复制模式改变引导程序)
0x00873300	0x100	引导内部状态
0x00873400	0x20	引导表参数
0x00873420	0xE0	ROM 引导 FAR 数据
0x00873500	0x100	DDR 配置表
0x00873600	0x80	RAM 表
0x00873680	0x80	引导参数表
0x00873700	0x4900	清除文本包草稿
0x00878000	0x7F80	以太网/SRIO 包/信息/描述符内存

表 2-3 L2 SRAM 引导加载器部分 (表 2/2)

起始地址(十六进制)	大小(十六进制字节)	描述
0x0087FF80	0x40	小堆栈
0x0087FFC0	0x3C	未使用
0x0087FFFC	0x4	引导变换地址
表 2-3 结束		

C6678 支持多个起始执行于 ROM 基址的引导进程，包含必要的支持多种设备引导模式的引导加载器代码。引导进程为软件驱动，并且使用 BOOT 模式[12:0]设备配置输入来决定必须完成的软件配置。更多关于引导序列的细节信息参看 72 页“[德州仪器相关文档](#)”KeyStone DSP 引导加载器设备用户指南。

2.5 支持的引导模式与 PLL 设置

设备支持多种引导进程，进而影响内部引导 ROM。大多数引导进程为软件驱动，使用 BOOT 模式[3:0]设备配置输入来决定必须完成的软件配置。从硬件角度看，有两种可能的引导模式：

- **公共 ROM 引导**—C66x CorePac0 由复位释放并从 L3 ROM 基址开始执行。在执行完引导进程之后（例如，从 I²C ROM，以太网或快速 IO），然后 C66x CorePac0 开始从提供的引导入口点执行。其他 C66x CorePacs 由复位释放并开始从 L3 ROM 执行一个 IDLE。然后它们基于由 C66x CorePac0 产生的中断从 IDLE 释放。参看 72 页“[德州仪器相关文档](#)”KeyStone 设备 DSP 引导加载器用户指南来获取更多细节信息。
- **安全 ROM 引导**—在安全设备上，C66x CorePac0 由复位释放并开始执行于安全 ROM。安全 ROM 中的软件将在 C66x CorePac0 初始化引导进程之后释放内部 RAM 页。在执行之前，C66x CorePac0 执行任何认证操作和引导加载器图像需要的解密。

引导进程由 C66x CorePac0 执行，在公共 ROM 引导和安全 ROM 进行引导，由 DEVSTAT 寄存器中的 BOOT 模式[12:0]值决定。C66x CorePac0 读取此值，然后执行软件中相应的引导进程。图 2-2 为与 BOOT 模式[12:0]相关的位。

图 2-2 引导模式引脚解码

引导模式引脚												
12	11	10	9	8	7	6	5	4	3	2	1	0
PLL 多核导航器 I ² C/SPI 拓展设备配置			设备配置							引导设备		

2.5.1 引导设备域

引导设备域BOOT 模式[2:0] 定义了选择的引导设备。[表 2-4](#)为支持的引导模式。

表 2-4 引导模式引脚: 引导设备值

位	域	描述
2-0	引导设备	设备引导模式 0 = EMIF16 / 无引导 1 = 串行快速 I/O 2 = 以太网 (SGMII) (PASS PLL 配置, 假定输入速率相同于 CORECLK(P N); BOOT 模式[12:10] 值在引导期间驱动 PASS PLL 配置) 3 = 以太网 (SGMII) (PASS PLL 配置, 假定输入速率相同于 SRIOSGMIICLK(P N); BOOT 模式[9:8] 值在引导期间驱动 PASS PLL 配置) 4 = PCIe 5 = I ² C 6 = SPI 7 = HyperLink
表 2-4 结束		

在内部, 这些引导模式由 RBL 转换为拓展引导模式值, 用于引导参数表。[表 2-5](#)为拓展引导模式值的细节信息。

表 2-5 拓展引导模式

引导类型	拓展引导模式值(十进制)
以太网引导模式	10
SRIO 引导模式	20
PCIe 引导模式	30
I ² C 主动引导模式	40
I ² C 被动引导模式	41
SPI 引导模式	50
HyperLink 引导模式	60
EMIF 16 引导模式	70
休眠引导模式	100

2.5.2 设备配置域

设备配置域 BOOT 模式[9:3]，用于配置引导外设，并且位定义取决于引导模式。

2.5.2.1 无引导/ EMIF16 引导设备配置

表 2-3 无引导/ EMIF16 配置域

9	8	7	6	5	4	3
保留		等待使能	保留	子模式		保留

表 2-6 无引导/ EMIF16 配置域描述

位	域	描述
9-8	保留	保留
7	等待使能	EMIF16 的拓展等待模式. 0=等待使能-失能(EMIF16 子模式) 1=等待使能-使能(EMIF16 子模式)
6	保留	保留
5-4	子模式	子模式选择 0=无引导 1=EMIF16 引导 2-3=保留
3	保留	保留

表 2-6 结束

2.5.2.2 串行快速 I/O 引导设备配置

在上电复位时，设备 ID 总置为 0xff (8 位节点 ID) 或 0xffff (16 位节点 ID)。

图 2-4 串行快速 I/O 设备配置域

9	8	7	6	5	4	3
通道启动	数据速率		参考时钟		保留	

表 2-7 串行快速 I/O 配置域描述

位	域	描述
9	通道启动	SRIO 口和通道配置 0=端口配置为 4 个端口，每个 1 通道宽度(4-1×端口) 1=端口配置为 2 个端口，每个 2 通道宽度(2-2×端口)
8-7	数据速率	SRIO 数据速率配置 0=1.25 GBaud 1=2.5 GBaud 2=3.125 GBaud 3=5.0 GBaud
6-5	参考时钟	SRIO 参考时钟配置 0=156.25 MHz 1=250 MHz 2=312.5 MHz 3=保留
4-3	保留	保留

表 2-7 结束

在 SRIO 引导模式，默认情况下将使能信息模式。如果使用保留的内存用来接收要求的信息，并且接收的信息不能拒绝，则主机可以通过向引导表执行写操作并产生一个引导重启来失能信息模式。

2.5.2.3 以太网 (SGMII) 引导设备配置

图 2-5 以太网 (SGMII) 设备配置域

9	8	7	6	5	4	3
SerDes 时钟备乘		拓展连接			设备 ID	

表 2-8 以太网 (SGMII) 配置域描述

位	域	描述
9-8	SerDes 时钟备乘	SGMII SerDes 输入时钟. PLL 的输出频率必须为 1.25 GBs. 0 = ×8, 对于输入时钟为 156.25 MHz 1 = ×5, 对于输入时钟为 250 MHz 2 = ×4, 对于输入时钟为 312.5 MHz 3 = 保留
7-6	拓展连接	拓展连接模式 0 = MAC 到 MAC 连接, 主机自动协商 1 = MAC 到 MAC 连接、从机和 MAC 到 PHY 2 = MAC 到 MAC, 强制连接 3 = MAC 到光纤连接
5-3	设备 ID	此值范围从 0 到 7, 被用作以太网准备帧的设备 ID 域。

表 2-8 结束



注—所有 SGMII 端口因引导而被初始化。设备可以通过任何一个端口进行引导。如果仅有一个 SGMII 端口被使用，然后在引导进程完成之前其他端口将超时。

2.5.2.4 PCI 引导设备配置

额外设备配置由 PCI 位提供在 DEVSTAT 寄存器。

图 2-6 PCI 设备配置域

9	8	7	6	5	4	3
保留	BAR 配置				保留	

表 2-9 PCI 设备配置域描述

位	域	描述
9	保留	保留
8-5	BAR 配置	PCIe BAR 寄存器配置 数值范围从 0 至 0xf, 参看 表 2-10。
4-3	保留	保留

表 2-9 结束

表 2-10 BAR 配置 / PCIe 窗口大小

BAR 配置	BAR0	32 位地址转换					64 位地址转换	
		BAR1	BAR2	BAR3	BAR4	BAR5	BAR2/3	BAR4/5
0b0000	PCIe MMRs	32	32	32	32	与 BAR4 相同		
0b0001		16	16	32	64			
0b0010		16	32	32	64			
0b0011		32	32	32	64			
0b0100		16	16	64	64			
0b0101		16	32	64	64			
0b0110		32	32	64	64			
0b0111		32	32	64	128			
0b1000		64	64	128	256			
0b1001		4	128	128	128			
0b1010		4	128	128	256			
0b1011		4	128	256	256			
0b1100							256	256
0b1101							512	512
0b1110							1024	1024
0b1111							2048	2048
表 2-10 结束								

2.5.2.5 I²C 引导设备配置

2.5.2.5.1 I²C 主动模式

在主动模式中，I²C 设备配置使用十位设备配置，而不是在其他引导模式中使用的七位。在这种模式下，当 PLL 在旁路模式时，设备进行 I²C EEPROM 的初始读操作。初始读操作包含所需的时钟倍乘，这将在所有接下来的读操作之前启动。

图 2-7 I²C 主动模式设备配置位域

12	11	10	9	8	7	6	5	4	3
保留	速度	地址	模式		参数变址				

表 2-11 I²C 主动模式设备配置域描述 (表 1/ 2)

位	域	描述
12	保留	保留
11	速度	I ² C 数据速率配置 0 = I ² C 慢速模式。初始数据速率为 CORECLK/5000，直到 PLL 和时钟被编程 1 = I ² C 快速模式。初始数据速率为 CORECLK/250，直到 PLL 和时钟被编程
10	地址	I ² C 总线地址配置 0 = 引导从 I ² C EEPROM 开始，位于 I ² C 总线地址 0x50 1 = 引导从 I ² C EEPROM 开始，位于 I ² C 总线地址 0x51

表 2-11 I²C 主动模式设备域描述 (表 2/2)

位	域	描述
9-8	模式	I ² C 操作模式 0 = 主动模式 3 = 被动模式 (参看 2.5.2.5.2 “I ² C 被动模式”部分) 其他 = 保留
7-3	参数表索引?	指定参数表从 I ² C EEPROM 装载。引导 ROM 读参数表 (每个表为 0x80 字节) 从 I ² C EEPROM 开始, 位于 I ² C 地址 (0x80 * 参数变址)。此数值范围从 0 至 31。
表 2-11 结束		

2.5.2.5.2 I²C 被动模式

在被动模式中, 设备并不驱动时钟, 只是简单询问从特定地址接收到的数据。

图 2-8 I²C 被动模式设备配置位域

9	8	7	6	5	4	3
模式		接收 I ² C 地址			保留	

表 2-12 I²C 被动模式设备配置域描述

位	域	描述
9-8	模式	I ² C 操作模式 0 = 主动模式 (参看 2.5.2.5.1 “I ² C 主动模式”部分) 3 = 被动模式 其他 = 保留
7-5	接收 I ² C 地址	I ² C 总线地址配置 0 - 7h = I ² C 总线地址设备, 将用于接听数据 总线的实际值为 0x1 再加上位 [7:5] 的值。对于拓展, 如果位 [7:5] = 0, 然后设备将接听 I ² C 总线地址 0x19。
4-3	保留	保留
表 2-12 结束		

2.5.2.6 SPI 引导设备配置

在 SPI 引导模式中, SPI 设备配置使用设备配置的十位, 而不是其他引导模式中使用的七位。

图 2-9 SPI 设备配置位域

12	11	10	9	8	7	6	5	4	3
模式		4, 5 引脚	地址宽度	芯片选择		参数表索引			

表 2-13 SPI 设备配置域描述 (表 1/2)

位	域	描述
12-11	模式	时钟极性/ 相位 0 = 数据在 SPICLK 的上升沿输出, 输入数据在下降沿捕获。 1 = 数据在 SPICLK 的第一个上升沿之前并且在接下来的下降沿一个半周期输出。输入数据在 SPICLK 的上升沿捕获。 2 = 数据在 SPICLK 的下降沿输出, 输入数据在上升沿捕获。 3 = 数据在 SPICLK 的第一个下降沿之前以及接下来的上升沿的一个半周期内输出。输入数据在 SPICLK 的下降沿捕获。

表 2-13 SPI 设备配置域描述 (表 2/ 2)

位	域	描述
10	4, 5 引脚	SPI 操作模式配置 0 = 4-引脚模式使用 1 = 5-引脚模式使用
9	地址宽度	SPI 地址配置 0 = 16 位地址值使用 1 = 24-位地址值使用
8-7	芯片选择	芯片选择域值 00b = CS0 与 CS1 共同作用(未使用) 01b = CS1 作用 10b = CS0 作用 11b = 无作用
6-3	参数表索引	具体到参数表从 SPI 装载。引导 ROM 读参数数组 (每个数组为 0x80 字节) 从 SPI 中起始于 SPI 地址 (0x80 * 参数变址)。 此数值范围从 0 至 15。

表2-13 结束

2.5.2.7 HyperLink 引导设备配置

图 2-10 HyperLink 引导设备配置域

9	8	7	6	5	4	3
保留	数据速率		参考时钟		保留	

表2-14 HyperLink 引导设备配置域描述

位	域	描述
9	保留	保留
8-7	数据速率	HyperLink 数据速率配置 0 = 1.25 GBaud 1 = 3.125 GBaud 2 = 6.25 GBaud 3 = 保留
6-5	参考时钟	HyperLink 参考时钟配置 0 = 156.25 MHz 1 = 250 MHz 2 = 312.5 MHz 3 = 保留
4-3	保留	保留

表 2-14 结束

2.5.3 引导参数数组

ROM 引导加载器(RBL) 使用了一系列数组来执行引导进程。引导参数数组是 RBL 所用于决定引导流程的最常见的形式。这些引导参数数组有某些参数在整个引导模式中通用，剩余的参数特定用于具体的引导模式。下表为引导参数数组中的共同入口：

表 2-15 引导参数数组公用参数

字节偏移	名字	描述
0	长度	数组长度，包括长度域，以字节形式表示。
2	校验和	整个数组 16 位 1 的补码。一个 0 值将失能引导 ROM 数组的校验和确认。
4	引导模式	由 RB 用于不同引导模式的内部值。
6	端口号	如果可应用，识别引导来源的设备端口号。
8	SW PLL, MSW	PLL 配置，MSW
10	SW PLL, LSW	PLL 配置，LSW
表 2-15 结束		

2.5.3.1 EMIF16 引导参数数组

表 2-16 EMIF16 引导模式参数数组

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	EMIF16 引导选项 (目前暂无)	-
14	类型	仅从 C6678 支持的 NOR 闪存开始引导	-
16	分支地址 MSW	分支地址的最高有效位 (取决于芯片选择)	-
18	分支地址 LSW	分支地址的最低有效位 (取决于芯片选择)	-
20	芯片选择	对于 NOR 闪存的芯片选择	-
22	内存宽度	Emif16 总线 (16 位) 内存宽度	-
24	等待使能	拓展等待模式使能 0 = 使能等待失能 1 = 使能等待使能	是
表 2-16 结束			

2.5.3.2 SRIO 引导参数数组

表 2-17 SRIO 引导模式参数数组

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 0 发送使能 0 = SRIO 发送失能 1 = SRIO 发送使能 位 1 邮箱使能 0 = 邮箱模式失能. SRIO 引导使用直接 IO 模式). 1 = 邮箱模式使能. SRIO 引导使用信息模式). 位 2 旁路配置 0 = 配置 SRIO 1 = 旁路 SRIO 配置 位 15-3 = 保留	-
14	通道启动	SRIO 通道启动 0 = SRIO 配置为 4 1x 端口 1 = SRIO 配置为 3 端口 (2x, 1x, 1x) 2 = SRIO 配置为 3 端口 (1x, 1x, 2x) 3 = SRIO 配置为 2 端口 (2x, 2x) 4 = SRIO 配置为 1 4x 端口 其他 = 保留	是 (并不是所有通道启动通过引导配置都是可行的)
16	配置编制	具体指定用于快速 IO 配置的模板. 对于 KeyStone 架构必须为 0	-
18	节点 ID	节点 ID 值设置用于此设备	-
20	SerDes 参考时钟	SerDes 参考时钟频率, 以 1/100 MHz	是
22	连接速率	连接速率, MHz	是
24	PF 低	包前向地址范围, 低位数值	-
26	PF 高	包前向地址范围, 高位数值	-
表 2-17 结束			

2.5.3.3 以太网引导参数数组

表-18 以太网引导模式参数数组 (表 1/2)

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 2-0 接口 101b = SGMII 其他 = 保留 位 3 半双工或全双工 0 = 半双工 1 = 全双工 位 4 跳过 TX 0 = 每三秒发送以太网准备完成帧 1 = 不发送以太网准备完成帧 位 6-5 初始化配置 00b = 配置交换, SerDes, SGMII 与 PASS 01b = 仅配置 SGMII 与 PASS 10b = 保留 11b = 无 Etherne 系统被配置. 位 15-7 = 保留	-
14	MAC 高	引导期间接收到的 MAC 地址的 16 MSB	-
16	MAC 中	引导期间接收到的 MAC 地址的 16 个中间位	-

表 2-18 以太网引导模式参数数组 (表 2/2)

字节偏移	名称	描述	通过引导配置引脚配置
18	MAC 低	引导期间接收到的 MAC 地址的 16 位 LSB	-
20	多核 MAC 高	引导期间接收到的多播 MAC 地址的 16 MSB	-
22	多核 MAC 中	引导期间接收到的多播 MAC 地址的 16 个中间位	-
24	多核 MAC 低	引导期间接收到的多播 MAC 地址的 16 位 LSB	-
26	资源端口	资源 UDP 端口用于接收引导包。 一个 0 值将接收来自任何 UDP 端口的包	-
28	Dest 端口	用于接收引导包的目的地端口。	-
30	设备 ID 12	设备 ID 的起始 2 字节。 一般为字符串值, 并在以太网准备完成帧中发送	-
32	设备 ID 34	设备 ID 的第二个 2 个字节。	-
34	Dest MAC 高	目的地地址的 16 位 MSB 用于以太网准备完成帧。 默认为广播。	-
36	Dest MAC 中	MAC 目的地地址中间 16 位	-
38	Dest MAC 低	MAC 目的地地址的 16 位 LSB	-
40	SGMII 配置	位 3-0 为配置变址 如果直接配置使用, 位 4 置位。 如果无配置, 位 5 置位。 位 15-6 保留	-
42	SGMII 控制	SGMII 控制寄存器值	-
44	SGMII Adv Ability	SGMII ADV 功能寄存器值	-
46	SGMII TX 配置高	SGMII TX 配置寄存器的 16 位 MSB	-
48	SGMII TX 配置低	SGMII TX 配置寄存器的 16 位 LSB	-
50	SGMII RX 配置高	SGMII RX 配置寄存器的 16 位 MSB	-
52	SGMII RX 配置低	SGMII RX 配置寄存器的 16 位 LSB	-
54	SGMII Aux 配置高	SGMII Aux 配置寄存器的 16 位 MSB	-
56	SGMII Aux 配置低	SGMII Aux 配置寄存器的 16 位 LSB	-
58	PKT PLL 配置 MSW	包子系统 PLL 配置, MSW	-
60	PKT PLL 配置 LSW	包子系统 PLL 配置, LSW	-
表 2-18 结束			

2.5.3.4 PCIe 引导参数数组

表 2-19 PCIe 引导模式参数数组

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 0 模式 0 = 主机模式(直接引导模式) 1 = 引导数组引导模式 位 1 PCIe 配置 0 = PCIe 由 RBL 配置 1 = PCIe 不由 RBL 配置 位 3-2 保留 位 4 相乘器 0 = SerDes PLL 配置完成, 基于 SerDes 寄存器值 1 = SerDes PLL 配置, 基于参考时钟值 位 15-5 保留	-
14	地址宽度	PCI 地址宽度, 可以使 32 或 64	-
16	连接速率	SerDes 频率, 以 Mbps。可以为 2500 或 5000	-
18	参考时钟	参考时钟频率, 以 10 kHz 为单位值为 10000(100 MHz), 12500(125 MHz), 15625(156.25 MHz), 25000(250 MHz)和31250(312.5 MHz)。一个 0 值意味着值已经存在于 SerDes 配置参数并且将不会被引导 ROM 操作。	-
20	窗口 1 大小	窗口 1 大小	是
22	窗口 2 大小	窗口 2 大小	是
24	窗口 3 大小	窗口 3 大小. 仅在地址宽度为 32 时有效.	是
26	窗口 4 大小	窗口 4 大小. 仅在地址宽度为 32 时有效.	是
28	供应商 ID	供应商 ID	-
30	设备 ID	设备 ID	-
32	Class 代码版本 ID MSW	Class 代码版本 ID MSW	-
34	Class 代码版本 ID LSW	Class 代码版本 ID LSW	-
36	SerDes 配置 MSW	PCIe SerDes 配置字, MSW	-
38	SerDes 配置 LSW	PCIe SerDes 配置字, LSW	-
40	SerDes 通道 0 配置 MSW	SerDes 通道配置字, MSW, 通道 0	-
42	SerDes 通道 0 配置 LSW	SerDes 通道配置字, LSW, 通道 0	-
44	SerDes 通道 1 配置 MSW	SerDes 通道配置字, MSW, 通道 1	-
46	SerDes 通道 1 配置 LSW	SerDes 通道配置字, LSW, 通道 1	-

表 2-19 结束

2.5.3.5 I²C 引导参数数组

表 2-20 I²C 引导模式参数数组 (表 1/2)

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 1-0 模式 00b = 引导参数数组模式 01b = 引导数组模式 10b = 引导配置模式 11b = 从机接收引导配置 位 15-2 保留	是
14	引导设备地址	引导自 I ² C 设备地址	是
16	引导设备地址拓展	拓展引导设备地址	是

表 2-20 I²C 引导模式参数数组(表 2/2)

字节偏移	名称	描述	通过引导配置引脚配置
18	广播地址	I ² C 主机广播模式下用于发送数据的 I ² C 地址.	-
20	本地地址	设备的 I ² C 地址	-
22	设备频率	设配的操作频率 (MHz)	-
24	总线频率	需要的 I ² C 数据速率 (kHz)	是
26	下一个设备地址	下一个进行引导的设备地址 (仅用于引导配置选项选择时)	-
28	下一个设备地址拓	拓展的下一个进行引导的设备地址 (仅用于引导配置选项选择时)	-
30	地址延迟	向一个 I ² C EEPROM 写地址 和读取数据之间延迟的 CPU 周期数.	-

表 2-20 结束

2.5.3.6 SPI 引导参数数组

表 2-21 SPI 引导模式参数数组

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 1-0 模式 00b = 装载一个引导参数数组 从 SPI (默认模式) 01b = 装载引导记录从 SPI (引导数组) 10b = 装载引导参数记录 从 SPI (引导参数数组) 11b = 保留 位 15-2 保留	-
14	地址宽度	SPI 设备地址字节数. 可以为 16 或 24 位	是
16	N 引脚	操作模式, 4 或 5 引脚	是
18	芯片选择	使用芯片选择 (仅 4-引脚模式下有效)。可以为 0-3.	是
20	模式	标准 SPI 模式 (0-3)	是
22	C2 延迟	在芯片断言和转换之间的建立时间	-
24	CPU 频率 MHz	CPU 速度, 按 MHz	-
26	总线频率, MHz	SPI 总线频率的 MHz 部分。默认= 5 MHz	-
28	总线频率, kHz	SPI 总线频率的 kHz 部分。默认= 0	-
30	读地址 MSW	读出的第一个地址, MSW (仅 24-位地址有效)	是
32	读地址 LSW	读出的第一个地址, LSW	是
28	下一个芯片选择	使用下一个芯片选择 (仅用于引导配置模式)	-
30	下一个读地址 MSW	下一个读取到的地址 (仅用于引导配置模式)	-
32	下一个读地址 LSW	下一个读取到的地址 (仅用于引导配置模式)	-

表 2-21 结束

2.5.3.7 HyperLink 引导参数数组

表 2-22 HyperLink 引导参数数组

字节偏移	名称	描述	通过引导配置引脚配置
12	选项	位 0 模式 0 = 主机模式 (直接引导模式) 1 = 引导数组引导模式 位 1 PCIe 配置 0 = HyperLink 由 RBL 配置 1 = HyperLink 不由 RBL 配置 位 15-2 保留	-
14	通道数目	配置的通道数目	-
16	SerDes cfg msw	HyperLink SerDes 配置字, MSW	-
18	SerDes cfg lsw	HyperLink SerDes 配置字, LSW	-
20	SerDes 配置接收通道 0 配置 msw	SerDes 接收通道配置字, MSW 通道 0	-
22	SerDes 配置接收通道 0 配置 lsw	SerDes 接收通道配置字, LSW, 通道 0	-
24	SerDes 配置发送通道 0 配置 msw	SerDes 发送通道配置字, MSW 通道 0	-
26	SerDes 配置发送通道 0 配置 lsw	SerDes 发送通道配置字, LSW, 通道 0	-
28	SerDes 配置接收通道 1 配置 msw	SerDes 接收通道配置字, MSW 通道 1	-
30	SerDes 配置接收通道 1 配置 lsw	SerDes 接收通道配置字, LSW, 通道 1	-
32	SerDes 配置发送通道 1 配置 msw	SerDes 发送通道配置字, MSW 通道 1	-
34	SerDes 配置发送通道 1 配置 lsw	SerDes 发送通道配置字, LSW, 通道 1	-
36	SerDes 配置接收通道 2 配置 msw	SerDes 接收通道配置字, MSW 通道 2	-
38	SerDes 配置接收通道 2 配置 lsw	SerDes 接收通道配置字, LSW, 通道 2	-
40	SerDes 配置发送通道 2 配置 msw	SerDes 发送通道配置字, MSW 通道 2	-
42	SerDes 配置发送通道 2 配置 lsw	SerDes 发送通道配置字, LSW, 通道 2	-
44	SerDes 配置接收通道 3 配置 msw	SerDes 接收通道配置字, MSW 通道 3	-
46	SerDes 配置接收通道 3 配置 lsw	SerDes 接收通道配置字, LSW, 通道 3	-
48	SerDes 配置发送通道 3 配置 msw	SerDes 发送通道配置字, MSW 通道 3	-
50	SerDes 配置发送通道 3 配置 lsw	SerDes 发送通道配置字, LSW, 通道 3	-

表 2-22 结束

2.5.3.8 DDR3配置数组

ROM 引导加载器 (RBL) 也提供了一个选项，在装载映像到外部内存之前配置 DDR 数组。更多关于如何配置 DDR3 的信息，参看 *KeyStone* 设备 *DSP 引导加载器用户指南*，“德州仪器相关文档”页 72 来获取更多细节信息。下表为 DDR3 配置数组：

表 2-23 DDR3 引导参数数组

字节偏移	名称	描述	通过引导配置引脚配置
0	配置选择	选择需要设置的配置寄存器. 下列每域每个由一位表示。	-
4	PII 预分频	PLL 预分频器值(应为确定值且不是 -1)	-
8	pllMult	PLL 相乘器值(应为确定值且不是 -1)	-
12	PII 后分频	PLL 后分频器值(应为确定值且不是 -1)	-
16	sdRam 配置	SDRAM 配置寄存器	-
20	sdRam 配置 2	SDRAM 配置寄存器	-
24	sdRam 更新控制	SDRAM 更新控制寄存器	-
28	sdRam 时序 1	SDRAM 时序 1 寄存器	-
32	sdRam 时序 2	SDRAM 时序 2 寄存器	-
36	sdRam 时序 3	SDRAM 时序 3 寄存器	-
40	lpDfrNvm 时序	LP DDR2 NVM 时序寄存器	-
44	电源管理控制	电源管理控制寄存器	-
48	iODFTTestLogic	IODFT 测试逻辑全局控制寄存器	-
52	performCountCfg	执行计数配置寄存器	-
56	performCountMstRegSel	执行计数主机区域选择寄存器	-
60	读 Idle 控制	读 IDLE 计数寄存器	-
64	sysVbusmintEnSet	系统中断使能设置寄存器	-
68	sdRamOutImpdedCalcfg	SDRAM 输出阻抗标准化配置寄存器	-
72	tempAlertCfg	温度警告配置寄存器	-
76	ddrPhyCtl1	DDR PHY 控制寄存器 1	-
80	ddrPhyCtl2	DDR PHY 控制寄存器 1	-
84	proClassSvce 映射	服务映射寄存器类优先级	-
88	mstId2ClsSvce1 映射	服务映射 1 寄存器类主机 ID	-
92	mstId2ClsSvce2 映射	服务映射 2 寄存器类主机 ID	-
96	eccCtl	ECC 控制寄存器	-
100	ecc 范围 1	ECC 地址范围 1 寄存器	-
104	ecc 范围 2	ECC 地址范围 2 寄存器	-
108	rdWrtExcThresh	读写操作阈值寄存器	-

表 2-23 结束

2.5.4 PLL 引导配置设置

PLL 默认设置由 BOOT 模式[12:10]位决定，下表为多个输入时钟频率的设置。

表 2-24 C66x DSP 系统 PLL 配置⁽¹⁾

BOOT 模式 [12:10]	输入时钟频率(MHz)	800 MHz 设备			1000 MHz 设备			1200 MHz 设备			1250 MHz 设备			PASS PLL = 350 MHz ⁽²⁾		
		PLLD	PLLM	DSP 频率 (MHz)	PLLD	PLLM	DSP 频率 (MHz)	PLLD	PLLM	DSP 频率 (MHz)	PLLD	PLLM	DSP 频率 (MHz)	PLLD	PLLM	DSP 频率 (MHz)
0b000	50.00	0	31	800	0	39	1000	0	47	1200	0	49	1250	0	41	1050
0b001	66.67	0	23	800.04	0	29	1000.05	0	35	1200.06	1	74	1250.06	1	62	1050.053
0b010	80.00	0	19	800	0	24	1000	0	29	1200	3	124	1250	3	104	1050
0b011	100.00	0	15	800	0	19	1000	0	23	1200	0	24	1250	0	20	1050
0b100	156.25	24	255	800	4	63	1000	24	383	1200	0	15	1250	24	335	1050
0b101	250.00	4	31	800	0	7	1000	4	47	1200	0	9	1250	4	41	1050
0b110	312.50	24	127	800	4	31	1000	24	191	1200	0	7	1250	24	167	1050
0b111	122.88	47	624	800	28	471	999.989	31	624	1200	2	60	1249.28	11	204	1049.6

表 2-24 结束

1 最初的硅片 1.0 的 PLL 引导配置可能仅支持 800 MHz, 1000 MHz 和 1200 MHz 频率，并且是在默认条件下。

2 PASS PLL 产生 1050 MHz，并且在内部 3 分频后提供 350 MHz 给包加速器。

输出_分频为SECCTL[22:19]域的值。对于设备 (输出_分频=1,默认条件下)这将配置 PLL 为最大时钟设置。

$$\text{CLK} = \text{CLKIN} \times ((\text{PLLM} + 1) \div ((\text{OUTPUT_分频} + 1) \times (\text{PLLD} + 1)))$$

PASSPLL 的配置也同样如此。PASSPLL 用这些值配置仅仅如果以太网引导模式选择有输入时钟设置，用于匹配主 PLL 时钟(而不是 PASS 时钟)。参看表 2-4 关于配置以太网引导模式更多细节信息。PASSPLL 的输出通过一个片上分频器在到达 NETCP 之前来降低操作频率PASSPLL 生成1050MHz，在经过芯片分频器后(=3)，达到 NETCP 要求的 350 MHz。

主 PLL 通过使用 PLL 控制器 和一个芯片级 MMR 来进行控制。DDR3 PLL 和PASSPLL 由芯片级MMR 控制。关于怎样启动PLL 的细节信息，参看7.6 “主 PLL 和PLL控制器”，页 140。关于 PLL 控制器单元的操作的细节，参看 KeyStone 设备锁相环(PLL)用户指南，“德州仪器相关文档”，72 页。

2.6 二级引导加载器

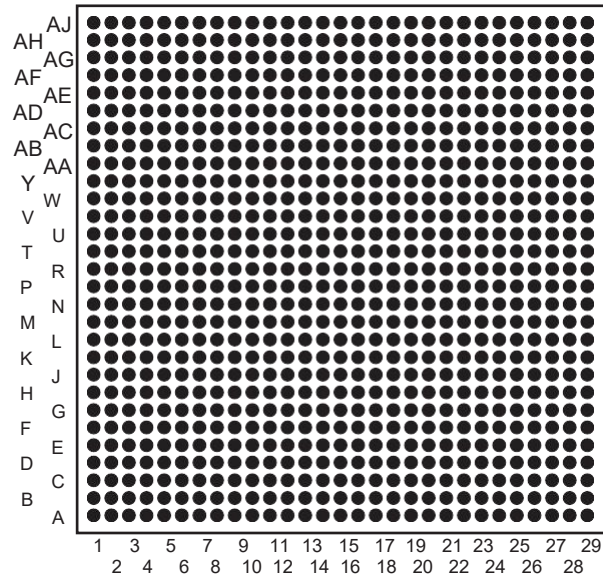
任何引导模式都可被用于下载一个二级引导加载器。一个二级引导加载器允许任何级别的用户定制到当前引导模式，就像定义了一个完整的用户引导。

2.7 引脚

2.7.1 封装引脚

图 2-11 为 TMS320C6678CYP 球栅区域(BGA)封装 (底部视图).

图 2-11 CYP 841-引脚 BGA 封装 (底部视图)



2.7.2 引脚图

图 2-13 至图 2-16 为 TMS320C6678 引脚分配方框图 (A, B, C 和 D).

图 2-12 引脚图框图 (底部视图)

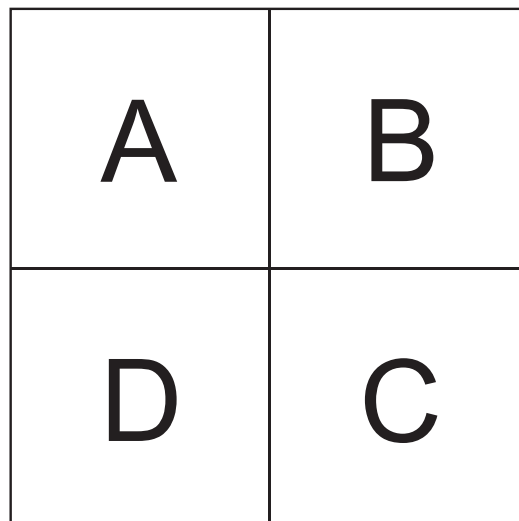


图 2-13 左上框图—A (底部视图)

	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
AJ	VSS	DVDD18	RSV05	PASSCLKN	PASSCLKP	SRIOSGMII CLKN	VSS	PCIERXP1	PCIERXN1	VSS	RIORXN0	RIORXP0	VSS	RIORXP3	RIORXN3
AH	DVDD18	RSV04	RSV25	RSV24	PCIECLKN	VSS	PCIERXN0	PCIERXP0	VSS	RIORXN1	RIORXP1	VSS	RIORXP2	RIORXN2	VSS
AG	SPISCS0	SPISCS1	CORECLKP	CORECLKN	PCIECLKP	SRIOSGMII CLKP	VSS	PCIETXP1	PCIETXN1	VSS	RIOTXN1	RIOTXP1	VSS	RIOTXP2	RIOTXN2
AF	RSV22	CORESELO	RSV20	VSS	DVDD18	VSS	PCIETXP0	PCIETXN0	VSS	RIOTXN0	RIOTXP0	VSS	RIOTXP3	RIOTXN3	VSS
AE	SPICLK	BOOT COMPLETE	SYSCLKOUT	PACLKSEL	CORESEL3	CORESEL2	VSS	VSS	VSS	VDDR2	VSS	RSV15	VSS	VDDR4	VSS
AD	UARTRXD	SPIDIN	SCL	CORESEL1	AVDDA3	VSS	VDDT2	VSS	VDDT2	VSS	VDDT2	VSS	VDDT2	VSS	VDDT2
AC	UARTTXD	VSS	DVDD18	SDA	VSS	AVDDA2	VSS	VDDT2	RSV16	VDDT2	VSS	VDDT2	VSS	VDDT2	VSS
AB	SPIDOUT	UARTRTS	UARTCTS	VSS	DVDD18	VSS	DVDD18	VSS	VDDT2	VSS	VDDT2	VSS	VDDT2	VSS	VDDT2
AA	MCMTX FLCLK	MCMTX PMCLK	MCMTX FLDAT	MCMTX PMDAT	VSS	DVDD18	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS
Y	MCMREF CLKOUTP	MCMCLKN	MCMRX PMCLK	MCMRX PMDAT	RSV12	VSS	DVDD18	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD
W	MCMREF CLKOUTN	MCMCLKP	MCMRX FLCLK	MCMRX FLDAT	RSV13	RSV14	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1	VSS
V	VSS	VSS	VSS	VSS	VDDR1	VSS	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1
U	VSS	MCMRXN0	VSS	MCMTXP1	VSS	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1	VSS
T	MCMRXN1	MCMRXP0	VSS	MCMTXN1	MCMTXP2	VSS	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD

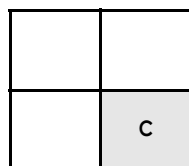
A	

图 2-14 右上框图—B (底部视图)

16	17	18	19	20	21	22	23	24	25	26	27	28	29	
VSS	SGMIIORXP	SGMIIORXN	VSS	TR15	TR13	FSB1	CLKA1	TX02	TR01	FSA0	EMU16	DVDD18	VSS	AJ
SGMII1RXP	SGMII1RXN	VSS	RSV08	TX16	TR16	TR14	CLKB1	TX04	TR05	TR00	EMU18	RSV01	DVDD18	AH
VSS	SGMIIOTXP	SGMIIOTXN	VSS	TX14	TR17	DVDD18	FSA1	TX03	CLKB0	FSB0	EMU15	EMU14	EMU12	AG
SGMII1TXP	SGMII1TXN	VSS	RSV09	TX17	TX10	VSS	TX07	TX05	CLKA0	DVDD18	EMU17	EMU11	EMU09	AF
VDDR3	VSS	VDDT2	VSS	TX15	TX13	TR10	TX06	TX00	TR07	VSS	EMU10	EMU08	EMU07	AE
VSS	VDDT2	VSS	RSV17	HOUT	TR11	TX11	TR02	TR03	TX01	EMU13	EMU06	EMU05	EMU04	AD
VDDT2	VSS	VDDT2	VSS	$\overline{\text{POR}}$	TR12	TX12	TR04	TR06	EMIFD15	EMU03	EMU02	EMU01	EMU00	AC
VSS	VDDT2	VSS	DVDD18	VSS	DVDD18	VSS	EMIFD12	EMIFD13	EMIFD09	EMIFD14	EMIFD05	DVDD18	EMIFD01	AB
CVDD	VSS	CVDD	VSS	RSV0B	RSV0A	CVDD	VSS	EMIFD10	EMIFD07	EMIFD06	EMIFD04	VSS	EMIFD02	AA
VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	DVDD18	EMIFD11	EMIFD08	EMIFD03	EMIFD00	EMIFA22	EMIFA21	Y
CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD	EMIFA20	EMIFA19	EMIFA18	EMIFA17	EMIFA15	EMIFA14	EMIFA16	W
VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	DVDD18	EMIFA13	EMIFA12	EMIFA11	EMIFA10	EMIFA08	EMIFA09	V
CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD	EMIFA23	EMIFA07	EMIFA06	DVDD18	EMIFA04	EMIFA05	EMIFA02	U
VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	DVDD18	EMIFA01	EMIFA03	VSS	EMIFA00	EMIFWAIT1	EMIFWAIT0	T

	B

图 2-15 右下框图—C (底部视图)



CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD	EMIFBE1	EMIFBE0	EMIFCE3	EMIFOE	EMIFCE1	EMIFCE2	TDO	R
VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	DVDD18	EMIFWE	EMIFCE0	EMIFRW	TDI	TRST	TMS	P
CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1	RSV03	RSV02	RESETFULL	LRESET	RESETSTAT	DVDD18	TCK	N
VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS	RSV26	RSV27	NMI	TIMO1	LRESET NMIEIN	VSS	RESET	M
CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1	VCNTL0	TIMIO	TIMO0	TIMI1	GPI015	GPI011	GPI012	L
VSS	CVDD	VSS	CVDD	VSS	CVDD	RSV10	VCNTL1	GPI014	GPI013	GPI009	GPI007	GPI008	GPI010	K
CVDD	VSS	CVDD	VSS	CVDD	VSS	RSV11	VCNTL2	GPI006	GPI004	GPI003	GPI005	GPI001	GPI002	J
VSS	CVDD	VSS	CVDD	VSS	CVDD	AVDDA1	VCNTL3	DVDD18	GPI000	MDCLK	DDRSL RATE1	RSV06	DDRCLKN	H
DVDD15	VSS	DVDD15	VSS	DVDD15	VSS	PTV15	DVDD15	VSS	RSV21	MDIO	DDRSL RATE0	RSV07	DDRCLKP	G
VSS	DVDD15	VSS	DVDD15	DDR25	DDR27	DDR17	DDR16	DDR08	DDR07	DVDD15	VSS	DVDD15	VSS	F
DDRA10	DDRA12	DDRCB01	DDRCB00	VSS	DDR26	DDR23	DDR19	DDR09	DDR10	DDR06	DDR02	DDR00	DDRQ00	E
DDRA11	DDRA14	VSS	DDRCB02	DVDD15	DDR24	DDR28	DVDD15	DDR18	DDR11	DDR12	DDR04	DDR03	DDR01	D
DDRA13	DDRA15	DDRCB05	DDRCB04	DDRCB01	DDR29	DDR31	VSS	DDR22	DVDD15	DDR13	DDRQ01	DDRQ05	DDRQ09	C
DDRCLK OUTN1	VSS	DDRCB06	DDRQ08	DDRCB03	DDRQ03	DDR30	DDR21	DDRQ02	VSS	DDR14	DDRQ01	DDR05	DVDD15	B
DDRCLK OUTP1	DVDD15	DDRCB07	DDRQ08	DDRQ08	DDRQ03	DDRQ03	DDR20	DDRQ02	DDRQ02	DDR15	DDRQ01	DVDD15	VSS	A
16	17	18	19	20	21	22	23	24	25	26	27	28	29	

图 2-16 左下框图—D (底部视图)

D	

R	MCMRXP1	VSS	VSS	VSS	MCMTXN2	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS	CVDD1	VSS
P	VSS	MCMRXN3	VSS	MCMTXP3	VSS	VSS	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD
N	MCMRXP2	MCMRXP3	VSS	MCMTXN3	MCMTXP0	VDDT1	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS
M	MCMRXN2	VSS	VSS	VSS	MCMTXN0	VSS	VDDT1	VSS	CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD
L	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS
K	VSS	VSS	VSS	VSS	VSS	VSS	CVDD1	VSS	CVDD1	VSS	CVDD	VSS	CVDD1	VSS	CVDD1
J	VSS	VSS	VSS	VSS	VSS	VSS	VSS	CVDD1	VSS	CVDD	VSS	CVDD	VSS	CVDD1	VSS
H	VSS	VSS	VSS	VSS	VSS	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD	VSS	CVDD
G	VSS	DVDD15	VSS	DVDD15	VSS	VSS	VSS	DVDD15	VSS	DVDD15	VSS	DVDD15	VSS	DVDD15	VSS
F	DDRD63	DDRD60	DDRD61	DDRD56	DVDD15	VSS	DVDD15	VSS	DVDD15	VSS	DVDD15	VSS	DDRA03	DDRA02	DDRA08
E	DDRD62	DDRD58	DVDD15	DDRD53	VSS	DDRD45	DDRD42	DDRD39	DDRD36	DDRD32	DDRRSE	DDRW	DDRODT1	VREFSSTL	DDRA09
D	DDRDQS7P	DDRD57	VSS	DDRD52	DVDD15	DDRD46	DDRD41	DVDD15	DDRD35	DDRD33	DDRCKE0	DDRCAS	DDRODT0	VSS	DDRA07
C	DDRDQS7N	DDRD59	DDRD55	DDRD54	DDRD48	DDRD47	DDRD43	VSS	DDRD37	DDRRAS	DDRCCE0	DDRCCE1	DDRBA2	DVDD15	DDRA05
B	DVDD15	DDRDQM7	DDRDQS6P	DDRD50	DDRDQM6	DDRDQS5P	DDRD44	DDRD38	DDRDQS4N	DDRD34	VSS	DDRCLK OUTN0	DDRBA1	DDRA01	DDRA06
A	VSS	DVDD15	DDRDQS6N	DDRD51	DDRD49	DDRDQS5N	DDRD40	DDRDQM5	DDRDQS4P	DDRDQM4	DVDD15	DDRCLK OUTP0	DDRBA0	DDRA00	DDRA04
	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

2.8 引脚功能

引脚功能表(表 2-26)识别外部信号名、相应的引脚(球状)数目、引脚类型(I, O/Z 或 I/O/Z)、引脚是否有任何内部上拉/下拉电阻,并给出功能引脚描述。这个表按功能进行排列。电源引脚功能表(表 2-27)列出了多种供电引脚和地引脚并给出功能引脚描述。表 2-28 为所有按信号名排列的引脚。表 2-29 为所有按球状编号的引脚。

有 17 个引脚包含第二功能,与第一功能作用相仿。第二功能标志有剑形标号(†)。

关于设备配置、外设选择、复用/共用引脚、上拉/下拉电阻的更多细节信息,参看 3.4 “上拉/下拉电阻” 页 97。

在读表 2-26 时建议使用表 2-25 的符号定义

表 2-25 I/O 功能符号定义

功能符号	定义	表 2-26 列标题
IPD 或 IPU	提供内部 100- μ A 下拉或上拉用于引脚。在大多数系统中,一个 1-k Ω 电阻可以被用于反相 IPD/IPU。更多关于下拉/上拉电阻和需要外部下拉/上拉电阻情形的细节信息,参看 <i>KeyStone I 设备硬件设计指南</i> “德州仪器相关文档” 页 72。	IPD/IPU
A	模拟信号	类型
GND	地	类型
I	输入引脚	类型
O	输出引脚	类型
S	供电电压	类型
Z	三态引脚或高阻	类型
表 2-25 结束		

表 2-26 引脚功能 — 功能信号与控制(表 1 /13)

信号名称	球状编号	类型	IPD/IPU	描述
引导 配置引脚				
LENDIAN †	H25	IOZ	上拉	数据端配置引脚(引脚与 GPIO[0]共用)
BOOTMODE00 †	J28	IOZ	下拉	参看 2.5 “支持的引导模式与 PLL 设置” (页 24) 获取更多信息 (引脚与 GPIO[1:13]共用)
BOOTMODE01 †	J29	IOZ	下拉	
BOOTMODE02 †	J26	IOZ	下拉	
BOOTMODE03 †	J25	IOZ	下拉	
BOOTMODE04 †	J27	IOZ	下拉	
BOOTMODE05 †	J24	IOZ	下拉	
BOOTMODE06 †	K27	IOZ	下拉	
BOOTMODE07 †	K28	IOZ	下拉	
BOOTMODE08 †	K26	IOZ	下拉	
BOOTMODE09 †	K29	IOZ	下拉	
BOOTMODE10 †	L28	IOZ	下拉	
BOOTMODE11 †	L29	IOZ	下拉	
BOOTMODE12 †	K25	IOZ	下拉	

表 2-26 引脚功能— 功能信号与控制(表 2 /13)

信号名称	球状编号	类型	IPD/IPU	描述
PCIESSMODE0 †	K24	IOZ	下拉	PCIe 模式选择引脚 (引脚与 GPIO[14:15]共用)
PCIESSMODE1 †	L27	IOZ	下拉	
PCIESSEN †	L24	I	下拉	PCIe 单元使能(引脚与 TIMIO 共用)
时钟 / 复位				
CORECLKP	AG3	I		内核时钟输入至主 PLL.
CORECLKN	AG4	I		
SRIOSGMIICLKP	AG6	I		快速 IO/SGMII 参考时钟, 驱动快速 IO 和 SGMII SerDes
SRIOSGMIICLKN	AJ6	I		
DDRCLKP	G29	I		DDR 参考时钟输入至 DDR PLL
DDRCLKN	H29	I		
PCIECLKP	AG5	I		PCIe 时钟输入驱动 PCIe SerDes
PCIECLKN	AH5	I		
MCMCLKP	W2	I		HyperLink 参考时钟驱动 HyperLink SerDes
MCMCLKN	Y2	I		
PASSCLKP	AJ5	I		网络协处理器 (PASS PLL) 参考时钟
PASSCLKN	AJ4	I		
AVDDA1	H22	P		SYS_CLK PLL 供电引脚
AVDDA2	AC6	P		DDR_CLK PLL 供电引脚
AVDDA3	AD5	P		PASS_CLK PLL 供电引脚
SYSCLKOUT	AE3	OZ	下拉	用作调试目的的通用输出时钟的系统时钟输出
PACLKSEL	AE4	I	下拉	PA 时钟用于在内核时钟与 PASSCLK 引脚之间选择
HOUT	AD20	OZ	上拉	由 IPCGRH 产生的中断输出脉冲
NMI	M25	I	上拉	无掩盖中断
LRESET	N26	I	上拉	软复位
LRESETNMIEN	M27	I	上拉	使能内核选择
CORESEL0	AF2	I	下拉	为 LRESET 和 NMI 选择目标内核. 更多细节参看 表 7-47“NMI 和逻辑复位时序要求” 页 190
CORESEL1	AD4	I	下拉	
CORESEL2	AE6	I	下拉	
CORESEL3	AE5	I	下拉	
RESETFULL	N25	I	上拉	整体复位
RESET	M29	I	上拉	IC 无隔离部分软复位
POR	AC20	I		上电复位
RESETSTAT	N27	O	上拉	复位状态输出
BOOTCOMPLETE	AE2	OZ	下拉	引导进程指示输出
PTV15	G22	A		PTV 补偿 NMOS 参考输入。在 PTV15 和地之间放置一个高精度的电阻用于细微调节 DDR 接口驱动器的输出阻抗至 50 Ω。目前这个 1%电阻的建议值为 45.3 Ω。

表 2-26 引脚功能— 功能信号与控制 (表 3/13)

信号名称	Ball 编号	类型	IPD/IPU	描述
DDR				
DDRDQM0	E29	OZ		DDR EMIF 数据掩膜
DDRDQM1	C27	OZ		
DDRDQM2	A25	OZ		
DDRDQM3	A22	OZ		
DDRDQM4	A10	OZ		
DDRDQM5	A8	OZ		
DDRDQM6	B5	OZ		
DDRDQM7	B2	OZ		
DDRDQM8	A20	OZ		
DDRDQS0P	C28	IOZ		DDR EMIF 数据选通
DDRDQS0N	C29	IOZ		
DDRDQS1P	A27	IOZ		
DDRDQS1N	B27	IOZ		
DDRDQS2P	A24	IOZ		
DDRDQS2N	B24	IOZ		
DDRDQS3P	A21	IOZ		
DDRDQS3N	B21	IOZ		
DDRDQS4P	A9	IOZ		
DDRDQS4N	B9	IOZ		
DDRDQS5P	B6	IOZ		
DDRDQS5N	A6	IOZ		
DDRDQS6P	B3	IOZ		
DDRDQS6N	A3	IOZ		
DDRDQS7P	D1	IOZ		
DDRDQS7N	C1	IOZ		
DDRDQS8P	A19	IOZ		
DDRDQS8N	B19	IOZ		
DDRCB00	E19	IOZ		DDR EMIF 校验位
DDRCB01	C20	IOZ		
DDRCB02	D19	IOZ		
DDRCB03	B20	IOZ		
DDRCB04	C19	IOZ		
DDRCB05	C18	IOZ		
DDRCB06	B18	IOZ		
DDRCB07	A18	IOZ		

表 2-26 引脚功能— 功能信号与控制(表 4/13)

信号名称	球状编号	类型	IPD/IPU	描述
DDRD00	E28	IOZ		DDR EMIF 数据总线
DDRD01	D29	IOZ		
DDRD02	E27	IOZ		
DDRD03	D28	IOZ		
DDRD04	D27	IOZ		
DDRD05	B28	IOZ		
DDRD06	E26	IOZ		
DDRD07	F25	IOZ		
DDRD08	F24	IOZ		
DDRD09	E24	IOZ		
DDRD10	E25	IOZ		
DDRD11	D25	IOZ		
DDRD12	D26	IOZ		
DDRD13	C26	IOZ		
DDRD14	B26	IOZ		
DDRD15	A26	IOZ		
DDRD16	F23	IOZ		
DDRD17	F22	IOZ		
DDRD18	D24	IOZ		
DDRD19	E23	IOZ		
DDRD20	A23	IOZ		
DDRD21	B23	IOZ		
DDRD22	C24	IOZ		DDR EMIF 数据总线
DDRD23	E22	IOZ		
DDRD24	D21	IOZ		
DDRD25	F20	IOZ		
DDRD26	E21	IOZ		
DDRD27	F21	IOZ		
DDRD28	D22	IOZ		
DDRD29	C21	IOZ		
DDRD30	B22	IOZ		
DDRD31	C22	IOZ		
DDRD32	E10	IOZ		
DDRD33	D10	IOZ		
DDRD34	B10	IOZ		
DDRD35	D9	IOZ		
DDRD36	E9	IOZ		
DDRD37	C9	IOZ		
DDRD38	B8	IOZ		
DDRD39	E8	IOZ		
DDRD40	A7	IOZ		
DDRD41	D7	IOZ		

表 2-26 引脚功能— 功能信号与控制(表 5/13)

信号名称	球状编号	类型	IPD/IPU	描述
DDRD42	E7	IOZ		DDR EMIF 数据总线
DDRD43	C7	IOZ		
DDRD44	B7	IOZ		
DDRD45	E6	IOZ		
DDRD46	D6	IOZ		
DDRD47	C6	IOZ		
DDRD48	C5	IOZ		
DDRD49	A5	IOZ		
DDRD50	B4	IOZ		
DDRD51	A4	IOZ		
DDRD52	D4	IOZ		
DDRD53	E4	IOZ		
DDRD54	C4	IOZ		
DDRD55	C3	IOZ		
DDRD56	F4	IOZ		
DDRD57	D2	IOZ		
DDRD58	E2	IOZ		
DDRD59	C2	IOZ		
DDRD60	F2	IOZ		
DDRD61	F3	IOZ		
DDRD62	E1	IOZ		
DDRD63	F1	IOZ		
$\overline{\text{DDRCE0}}$	C11	OZ		DDR EMIF 芯片使能
$\overline{\text{DDRCE1}}$	C12	OZ		
DDRBA0	A13	OZ		DDR EMIF 存储库地址
DDRBA1	B13	OZ		
DDRBA2	C13	OZ		
DDRA00	A14	OZ		DDR EMIF 地址总线
DDRA01	B14	OZ		
DDRA02	F14	OZ		
DDRA03	F13	OZ		
DDRA04	A15	OZ		
DDRA05	C15	OZ		
DDRA06	B15	OZ		
DDRA07	D15	OZ		
DDRA08	F15	OZ		
DDRA09	E15	OZ		
DDRA10	E16	OZ		
DDRA11	D16	OZ		
DDRA12	E17	OZ		
DDRA13	C16	OZ		
DDRA14	D17	OZ		
DDRA15	C17	OZ		

表 2-26 引脚功能—功能信号与控制(表 6 /13)

信号名称	球状编号	类型	IPD/IPU	描述
$\overline{\text{DDRCAS}}$	D12	OZ		DDR EMIF 列地址选通
$\overline{\text{DDRRAS}}$	C10	OZ		DDR EMIF 行地址选通
$\overline{\text{DDRWE}}$	E12	OZ		DDR EMIF 写操作使能
$\overline{\text{DDRCKE0}}$	D11	OZ		DDR EMIF 时钟使能
$\overline{\text{DDRCKE1}}$	E18	OZ		DDR EMIF 时钟使能
$\overline{\text{DDRCLKOUTP0}}$	A12	OZ		DDR EMIF 输出时钟驱动 SDRAM (每个 SDRAM 一个时钟对)
$\overline{\text{DDRCLKOUTN0}}$	B12	OZ		
$\overline{\text{DDRCLKOUTP1}}$	A16	OZ		
$\overline{\text{DDRCLKOUTN1}}$	B16	OZ		
$\overline{\text{DDRODT0}}$	D13	OZ		DDR EMIF 终结电阻 输出用于设置 SDRAM 终点
$\overline{\text{DDRODT1}}$	E13	OZ		DDR EMIF 终结电阻 输出用于设置 SDRAM 终点
$\overline{\text{DDRRESET}}$	E11	OZ		DDR 复位信号
$\overline{\text{DDRSRATE0}}$	G27	I	下拉	DDR 系列速率控制
$\overline{\text{DDRSRATE1}}$	H27	I	下拉	
$\overline{\text{VREFSSTL}}$	E14	P		SSTL15 缓冲器的参考电压输入被用于 DDR EMIF ($\text{VDDSD15} \div 2$)
EMIF16				
$\overline{\text{EMIFRW}}$	P26	OZ	上拉	EMIF16 控制信号
$\overline{\text{EMIFCE0}}$	P25	OZ	上拉	
$\overline{\text{EMIFCE1}}$	R27	OZ	上拉	
$\overline{\text{EMIFCE2}}$	R28	OZ	上拉	
$\overline{\text{EMIFCE3}}$	R25	OZ	上拉	
$\overline{\text{EMIFOE}}$	R26	OZ	上拉	
$\overline{\text{EMIFWE}}$	P24	OZ	上拉	
$\overline{\text{EMIFBE0}}$	R24	OZ	上拉	
$\overline{\text{EMIFBE1}}$	R23	OZ	上拉	
$\overline{\text{EMIFWAIT0}}$	T29	I	下拉	
$\overline{\text{EMIFWAIT1}}$	T28	I	下拉	

表 2-26 引脚功能— 功能信号与控制 (表 7/13)

信号名称	球状编号	类型	IPD/IPU	描述
EMIFA00	T27	OZ	下拉	EMIF16 地址
EMIFA01	T24	OZ	下拉	
EMIFA02	U29	OZ	下拉	
EMIFA03	T25	OZ	下拉	
EMIFA04	U27	OZ	下拉	
EMIFA05	U28	OZ	下拉	
EMIFA06	U25	OZ	下拉	
EMIFA07	U24	OZ	下拉	
EMIFA08	V28	OZ	下拉	
EMIFA09	V29	OZ	下拉	
EMIFA10	V27	OZ	下拉	
EMIFA11	V26	OZ	下拉	
EMIFA12	V25	OZ	下拉	
EMIFA13	V24	OZ	下拉	
EMIFA14	W28	OZ	下拉	
EMIFA15	W27	OZ	下拉	
EMIFA16	W29	OZ	下拉	
EMIFA17	W26	OZ	下拉	
EMIFA18	W25	OZ	下拉	
EMIFA19	W24	OZ	下拉	
EMIFA20	W23	OZ	下拉	
EMIFA21	Y29	OZ	下拉	EMIF16 数据
EMIFA22	Y28	OZ	下拉	
EMIFA23	U23	OZ	下拉	
EMIFD00	Y27	IOZ	下拉	
EMIFD01	AB29	IOZ	下拉	
EMIFD02	AA29	IOZ	下拉	
EMIFD03	Y26	IOZ	下拉	
EMIFD04	AA27	IOZ	下拉	
EMIFD05	AB27	IOZ	下拉	
EMIFD06	AA26	IOZ	下拉	
EMIFD07	AA25	IOZ	下拉	
EMIFD08	Y25	IOZ	下拉	
EMIFD09	AB25	IOZ	下拉	
EMIFD10	AA24	IOZ	下拉	
EMIFD11	Y24	IOZ	下拉	
EMIFD12	AB23	IOZ	下拉	
EMIFD13	AB24	IOZ	下拉	
EMIFD14	AB26	IOZ	下拉	
EMIFD15	AC25	IOZ	下拉	

表 2-26 引脚功能— 功能信号与控制(表 8/13)

信号名称	球状编号	类型	IPD/IPU	描述
EMU				
EMU00	AC29	IOZ	上拉	仿真与跟踪端 口
EMU01	AC28	IOZ	上拉	
EMU02	AC27	IOZ	上拉	
EMU03	AC26	IOZ	上拉	
EMU04	AD29	IOZ	上拉	
EMU05	AD28	IOZ	上拉	
EMU06	AD27	IOZ	上拉	
EMU07	AE29	IOZ	上拉	
EMU08	AE28	IOZ	上拉	
EMU09	AF29	IOZ	上拉	
EMU10	AE27	IOZ	上拉	
EMU11	AF28	IOZ	上拉	
EMU12	AG29	IOZ	上拉	
EMU13	AD26	IOZ	上拉	
EMU14	AG28	IOZ	上拉	
EMU15	AG27	IOZ	上拉	
EMU16	AJ27	IOZ	上拉	
EMU17	AF27	IOZ	上拉	
EMU18	AH27	IOZ	上拉	
通用目的输入/输出 (GPIO)				
GPIO00	H25	IOZ	上拉	通用目的输入/输出 GPIO 引脚含有分配的第二功能 在“ 引导配置引脚 ”提及，页 44.
GPIO01	J28	IOZ	下拉	
GPIO02	J29	IOZ	下拉	
GPIO03	J26	IOZ	下拉	
GPIO04	J25	IOZ	下拉	
GPIO05	J27	IOZ	下拉	
GPIO06	J24	IOZ	下拉	
GPIO07	K27	IOZ	下拉	
GPIO08	K28	IOZ	下拉	
GPIO09	K26	IOZ	下拉	
GPIO10	K29	IOZ	下拉	
GPIO11	L28	IOZ	下拉	
GPIO12	L29	IOZ	下拉	
GPIO13	K25	IOZ	下拉	
GPIO14	K24	IOZ	下拉	
GPIO15	L27	IOZ	下拉	

表 2-26 引脚功能—功能信号与控制 (表 9/13)

信号名称	球状编号	类型	IPD/IPU	描述
HyperLink				
MCMRXN0	U2	I		串行 HyperLink 接收数据
MCMRXP0	T2	I		
MCMRXN1	T1	I		
MCMRXP1	R1	I		
MCMRXN2	M1	I		
MCMRXP2	N1	I		
MCMRXN3	P2	I		
MCMRXP3	N2	I		
MCMTXN0	M5	O		串行 HyperLink 发送数据
MCMTXP0	N5	O		
MCMTXN1	T4	O		
MCMTXP1	U4	O		
MCMTXN2	R5	O		
MCMTXP2	T5	O		
MCMTXN3	N4	O		
MCMTXP3	P4	O		
MCMRXFLCLK	W3	O	下拉	串行 HyperLink 边带信号
MCMRXFLDAT	W4	O	下拉	
MCMTXFLCLK	AA1	I	下拉	
MCMTXFLDAT	AA3	I	下拉	
MCMRXPMCLK	Y3	I	下拉	
MCMRXPMDAT	Y4	I	下拉	
MCMTXPMCLK	AA2	O	下拉	
MCMTXPMDAT	AA4	O	下拉	
MCMREFCLKOUTP	Y1	O		HyperLink 参考时钟输出用于菊链连接
MCMREFCLKOUTN	W1	O		
I ² C				
SCL	AD3	IOZ		I ² C 时钟
SDA	AC4	IOZ		I ² C 数据
JTAG				
TCK	N29	I	上拉	JTAG 时钟输入
TDI	P27	I	上拉	JTAG 数据输入
TDO	R29	OZ	上拉	JTAG 数据输出
TMS	P29	I	上拉	JTAG 测试模式输入
TRST	P28	I	下拉	JTAG 复位
MDIO				
MDIO	G26	IOZ	上拉	MDIO 数据
MDCLK	H26	O	下拉	MDIO 时钟

表 2-26 引脚功能— 功能信号与控制(表 10/13)

信号名称	球状编号	类型	IPD/IPU	描述
PCIe				
PCIERXN0	AH7	I		PCIexpress 接收 (2 链路)
PCIERXP0	AH8	I		
PCIERXN1	AJ9	I		
PCIERXP1	AJ8	I		
PCIETXN0	AF8	O		PCIexpress 发送(2 链路)
PCIETXP0	AF7	O		
PCIETXN1	AG9	O		
PCIETXP1	AG8	O		
串行快速 IO				
RIORXN0	AJ11	I		串行快速 IO 接收数据 (2 链路)
RIORXP0	AJ12	I		
RIORXN1	AH10	I		
RIORXP1	AH11	I		
RIORXN2	AH14	I		串行快速 IO 接收数据 (2 链路)
RIORXP2	AH13	I		
RIORXN3	AJ15	I		
RIORXP3	AJ14	I		
RIOTXN0	AF10	O		串行快速 IO 发送数据 (2 链路)
RIOTXP0	AF11	O		
RIOTXN1	AG11	O		
RIOTXP1	AG12	O		
RIOTXN2	AG15	O		串行快速 IO 发送数据 (2 链路)
RIOTXP2	AG14	O		
RIOTXN3	AF14	O		
RIOTXP3	AF13	O		
SGMII				
SGMIIORXN	AJ18	I		以太网 MAC SGMII 接收数据
SGMIIORXP	AJ17	I		
SGMIIOTXN	AG18	O		以太网 MAC SGMII 发送数据
SGMIIOTXP	AG17	O		
SGMII1RXN	AH17	I		以太网 MAC SGMII 接收数据
SGMII1RXP	AH16	I		
SGMII1TXN	AF17	O		以太网 MAC SGMII 发送数据
SGMII1TXP	AF16	O		
SmartReflex				
VCNTL0	L23	OZ		不同内核供电的电压控制输出. 为开漏输出缓冲器.
VCNTL1	K23	OZ		
VCNTL2	J23	OZ		
VCNTL3	H23	OZ		

表 2-26 引脚功能— 功能信号与控制(表 11/13)

信号名称	球状编号	类型	IPD/IPU	描述
SPI				
SPISCS0	AG1	OZ	上拉	SPI 接口使能 0
SPISCS1	AG2	OZ	上拉	SPI 接口使能 1
SPICLK	AE1	OZ	下拉	SPI 时钟
SPIDIN	AD2	I	下拉	SPI 数据输入
SPIDOUT	AB1	OZ	下拉	SPI 数据输出
定时器				
TIMIO	L24	I	下拉	定时器输入
TIMI1	L26	I	下拉	
TIMO0	L25	OZ	下拉	定时器输出
TIMO1	M26	OZ	下拉	
TSIP				
CLKA0	AF25	I	下拉	TSIPO 外部时钟 A
CLKB0	AG25	I	下拉	TSIPO 外部时钟 B
FSA0	AJ26	I	下拉	TSIPO 帧同步 A
FSB0	AG26	I	下拉	TSIPO 帧同步 B
TR00	AH26	I	下拉	TSIPO 接收数据
TR01	AJ25	I	下拉	
TR02	AD23	I	下拉	
TR03	AD24	I	下拉	
TR04	AC23	I	下拉	
TR05	AH25	I	下拉	
TR06	AC24	I	下拉	
TR07	AE25	I	下拉	
TX00	AE24	OZ	下拉	TSIPO 发送数据
TX01	AD25	OZ	下拉	
TX02	AJ24	OZ	下拉	
TX03	AG24	OZ	下拉	
TX04	AH24	OZ	下拉	
TX05	AF24	OZ	下拉	
TX06	AE23	OZ	下拉	
TX07	AF23	OZ	下拉	
CLKA1	AJ23	I	下拉	TSIP1 外部时钟A
CLKB1	AH23	I	下拉	TSIP1 外部时钟 B
FSA1	AG23	I	下拉	TSIP1 帧同步 A
FSB1	AJ22	I	下拉	TSIP1 帧同步 B

表 2-26 引脚功能—功能信号与控制(表 12/13)

信号名称	球状编号	类型	IPD/IPU	描述
TR10	AE22	I	下拉	TSIP1 接收数据
TR11	AD21	I	下拉	
TR12	AC21	I	下拉	
TR13	AJ21	I	下拉	
TR14	AH22	I	下拉	
TR15	AJ20	I	下拉	
TR16	AH21	I	下拉	
TR17	AG21	I	下拉	
TX10	AF21	OZ	下拉	TSIP1 发送数据
TX11	AD22	OZ	下拉	
TX12	AC22	OZ	下拉	
TX13	AE21	OZ	下拉	
TX14	AG20	OZ	下拉	
TX15	AE20	OZ	下拉	
TX16	AH20	OZ	下拉	
TX17	AF20	OZ	下拉	
UART				
UARTRXD	AD1	I	下拉	UART 串行数据输入
UARTTXD	AC1	OZ	下拉	UART 串行数据输出
UARTCTS	AB3	I	下拉	UART 清除以发送
UARTRTS	AB2	OZ	下拉	UART 发送请求
保留				
RSV01	AH28	IOZ	下拉	保留 – 上拉至 DVDD18
RSV02	N24	OZ	下拉	保留 – 无连接
RSV03	N23	OZ	下拉	保留 -无连接
RSV04	AH2	O		保留 -无连接
RSV05	AJ3	O		保留 -无连接
RSV06	H28	O		保留 -无连接
RSV07	G28	O		保留 -无连接
RSV08	AH19	A		保留 – 连接至 GND
RSV09	AF19	A		保留 -无连接
RSV10	K22	A		保留 -无连接
RSV11	J22	A		保留 -无连接
RSV12	Y5	A		保留 -无连接
RSV13	W5	A		保留 -无连接
RSV14	W6	A		保留 -无连接
RSV15	AE12	A		保留 -无连接
RSV16	AC9	A		保留 -无连接
RSV17	AD19	A		保留 -无连接
RSV20	AF3	OZ	下拉	保留 -无连接
RSV21	G25	OZ	下拉	保留 -无连接
RSV22	AF1	OZ	下拉	保留 -无连接
RSV24	AH4	O		保留 -无连接

表 2-26 引脚功能— 功能信号与控制(表 13/13)

信号名称	球状编号	类型	IPD/IPU	描述
RSV25	AH3	O		保留 -无连接
RSV26	M23	IOZ		保留 -无连接
RSV27	M24	IOZ		保留 -无连接
RSV0A	AA21	A		保留 -无连接
RSV0B	AA20	A		保留 -无连接
表 2-26 结束				

表 2-27 引脚功能—电源与地

供电	球状编号	电压	描述
AVDDA1	H22	1.8	PLL 供电 - CORE_PLL
AVDDA2	AC6	1.8	PLL 供电 - DDR3_PLL
AVDDA3	AD5	1.8	PLL 供电 - PASS_PLL
CVDD	H7, H9, H11, H13, H15, H17, H19, H21, J10, J12, J16, J18, J20, K11, K17, K19, K21, L10, L12, L16, L18, M11, M13, M15, M17, M19, N8, N10, N12, N14, N16, N18, P9, P11, P13, P15, P17, P19, P21, R8, R10, R18, R20, R22, T9, T11, T13, T15, T17, T19, T21, U8, U10, U18, U20, U22, V9, V11, V17, V19, V21, W8, W10, W18, W20, W22, Y9, Y11, Y13, Y15, Y17, Y19, Y21, AA8, AA10, AA12, AA14, AA16, AA18, AA22	0.9 to 1.1	SmartReflex 内核供电电压
CVDD1	J8, J14, K7, K9, K13, K15, L8, L14, L20, L22, M9, M21, N20, N22, R12, R14, R16, U12, U14, U16, V13, V15, W12, W14, W16	1.0	固定内核供电电压用于内存阵列
DVDD15	A2, A11, A17, A28, B1, B29, C14, C25, D5, D8, D20, D23, E3, F5, F7, F9, F11, F17, F19, F26, F28, G2, G4, G8, G10, G12, G14, G16, G18, G20, G23	1.5	DDR IO 供电
DVDD18	H24, N28, P23, T23, U26, V23, Y7, Y23, AA6, AB5, AB7, AB19, AB21, AB28, AC3, AF5, AF26, AG22, AH1, AH29, AJ2, AJ28	1.8	IO 供电
VDDR1	V5	1.5	HyperLink SerDes 管理器供电
VDDR2	AE10	1.5	PCIe SerDes 管理器供电
VDDR3	AE16	1.5	SGMII SerDes r 管理器供电
VDDR4	AE14	1.5	SRIO SerDes 管理器供电
VDDT1	M7, N6, P7, R6, T7, U6, V7	1.0	HyperLink SerDes 终端供电
VDDT2	AB9, AB11, AB13, AB15, AB17, AC8, AC10, AC12, AC14, AC16, AC18, AD7, AD9, AD11, AD13, AD15, AD17, AE18	1.0	SGMII/SRIO/PCIe SerDes 终端供电
VREFSSTL	E14	0.75	DDR3 参考电压
VSS	A1, A29, B11, B17, B25, C8, C23, D3, D14, D18, E5, E20, F6, F8, F10, F12, F16, F18, F27, F29, G1, G3, G5, G6, G7, G9, G11, G13, G15, G17, G19, G21, G24, H1, H2, H3, H4, H5, H6, H8, H10, H12, H14, H16, H18, H20, J1, J2, J3, J4, J5, J6, J7, J9, J11, J13, J15, J17, J19, J21, K1, K2, K3, K4, K5, K6, K8, K10, K12, K14, K16, K18, K20, L1, L2, L3, L4, L5, L6, L7, L9, L11, L13, L15, L17, L19, L21, M2, M3, M4, M6, M8, M10, M12, M14, M16, M18, M20, M22, M28, N3, N7, N9, N11, N13, N15, N17, N19, N21, P1, P3, P5, P6, P8, P10, P12, P14, P16, P18, P20, P22, R2, R3, R4, R7, R9, R11, R13, R15, R17, R19, R21, T3, T6, T8, T10, T12, T14, T16, T18, T20, T22, T26, U1, U3, U5, U7, U9, U11, U13, U15, U17, U19, U21, V1, V2, V3, V4, V6, V8, V10, V12, V14, V16, V18, V20, V22, W7, W9, W11, W13, W15, W17, W19, W21, Y6, Y8, Y10, Y12, Y14, Y16, Y18, Y20, Y22, AA5, AA7, AA9, AA11, AA13, AA15, AA17, AA19, AA23, AA28, AB4, AB6, AB8, AB10, AB12, AB14, AB16, AB18, AB20, AB22, AC2, AC5, AC7, AC11, AC13, AC15, AC17, AC19, AD6, AD8, AD10, AD12, AD14, AD16, AD18, AE7, AE8, AE9, AE11, AE13, AE15, AE17, AE19, AE26, AF4, AF6, AF9, AF12, AF15, AF18, AF22, AG7, AG10, AG13, AG16, AG19, AH6, AH9, AH12, AH15, AH18, AJ1, AJ7, AJ10, AJ13, AJ16, AJ19, AJ29	GND	地

表 2-27 结束

表 2-28 引脚功能
 一信号名称 (表 1/13)

信号名称	球状编号
AVDDA1	H22
AVDDA2	AC6
AVDDA3	AD5
BOOTCOMPLETE	AE2
BOOTMODE00 †	J28
BOOTMODE01†	J29
BOOTMODE02 †	J26
BOOTMODE03 †	J25
BOOTMODE04 †	J27
BOOTMODE05 †	J24
BOOTMODE06 †	K27
BOOTMODE07 †	K28
BOOTMODE08 †	K26
BOOTMODE09 †	K29
BOOTMODE10 †	L28
BOOTMODE11 †	L29
BOOTMODE12 †	K25
CLKA0	AF25
CLKA1	AJ23
CLKB0	AG25
CLKB1	AH23
CORECLKN	AG4
CORECLKP	AG3
CORESEL0	AF2
CORESEL1	AD4
CORESEL2	AE6
CORESEL3	AE5
CVDD	H7, H9, H11, H13, H15, H17, H19, H21, J10, J12, J16, J18, J20, K11, K17, K19, K21, L10, L12, L16, L18, M11, M13, M15, M17, M19, N8, N10, N12, N14,
CVDD	N16, N18, P9, P11, P13, P15, P17, P19, P21, R8, R10, R18, R20, R22, T9, T11, T13, T15, T17, T19, T21, U8, U10, U18, U20, U22, V9, V11, V17, V19, V21, W8,

表 2-28 引脚功能
 一信号名称(表 2 /13)

信号名称	球状编码
CVDD	W10, W18, W20, W22, Y9, Y11, Y13, Y15, Y17, Y19, Y21, AA8, AA10, AA12, AA14, AA16, AA18, AA22
CVDD1	J8, J14, K7, K9, K13, K15, L8, L14, L20, L22, M9, M21, N20, N22, R12, R14, R16, U12, U14, U16, V13, V15, W12, W14, W16
DDRA00	A14
DDRA01	B14
DDRA02	F14
DDRA03	F13
DDRA04	A15
DDRA05	C15
DDRA06	B15
DDRA07	D15
DDRA08	F15
DDRA09	E15
DDRA10	E16
DDRA11	D16
DDRA12	E17
DDRA13	C16
DDRA14	D17
DDRA15	C17
DDRBA0	A13
DDRBA1	B13
DDRBA2	C13
DDRCAS	D12
DDRCB00	E19
DDRCB01	C20
DDRCB02	D19
DDRCB03	B20
DDRCB04	C19
DDRCB05	C18
DDRCB06	B18
DDRCB07	A18
DDRCOE0	C11
DDRCOE1	C12
DDRCOE0	D11
DDRCOE1	E18
DDRCLKN	H29

表 2-28 引脚功能
 一信号名称(表 3/13)

信号名称	球状编码
DDRCLKOUTN0	B12
DDRCLKOUTN1	B16
DDRCLKOUTP0	A12
DDRCLKOUTP1	A16
DDRCLKP	G29
DDR00	E28
DDR01	D29
DDR02	E27
DDR03	D28
DDR04	D27
DDR05	B28
DDR06	E26
DDR07	F25
DDR08	F24
DDR09	E24
DDR10	E25
DDR11	D25
DDR12	D26
DDR13	C26
DDR14	B26
DDR15	A26
DDR16	F23
DDR17	F22
DDR18	D24
DDR19	E23
DDR20	A23
DDR21	B23
DDR22	C24
DDR23	E22
DDR24	D21
DDR25	F20
DDR26	E21
DDR27	F21
DDR28	D22
DDR29	C21
DDR30	B22
DDR31	C22
DDR32	E10
DDR33	D10
DDR34	B10
DDR35	D9
DDR36	E9

表 2-28 引脚功能
—信号名称(表 4 of 13)

信号名称	球状编码
DDRD37	C9
DDRD38	B8
DDRD39	E8
DDRD40	A7
DDRD41	D7
DDRD42	E7
DDRD43	C7
DDRD44	B7
DDRD45	E6
DDRD46	D6
DDRD47	C6
DDRD48	C5
DDRD49	A5
DDRD50	B4
DDRD51	A4
DDRD52	D4
DDRD53	E4
DDRD54	C4
DDRD55	C3
DDRD56	F4
DDRD57	D2
DDRD58	E2
DDRD59	C2
DDRD60	F2
DDRD61	F3
DDRD62	E1
DDRD63	F1
DDRDQM0	E29
DDRDQM1	C27
DDRDQM2	A25
DDRDQM3	A22
DDRDQM4	A10
DDRDQM5	A8
DDRDQM6	B5
DDRDQM7	B2
DDRDQM8	A20
DDRDQS0N	C29
DDRDQS0P	C28
DDRDQS1N	B27
DDRDQS1P	A27
DDRDQS2N	B24
DDRDQS2P	A24

表 2-28 引脚功能
—信号名称(表 5/13)

信号名称	球状编码
DDRDQS3N	B21
DDRDQS3P	A21
DDRDQS4N	B9
DDRDQS4P	A9
DDRDQS5N	A6
DDRDQS5P	B6
DDRDQS6N	A3
DDRDQS6P	B3
DDRDQS7N	C1
DDRDQS7P	D1
DDRDQS8N	B19
DDRDQS8P	A19
DDRODT0	D13
DDRODT1	E13
DDRRAS	C10
DDRRESET	E11
DDRSRATE0	G27
DDRSRATE1	H27
DDRWE	E12
DVDD15	A2, A11, A17, A28, B1, B29, C14, C25, D5, D8, D20, D23, E3, F5, F7, F9, F11, F17, F19, F26, F28, G2, G4, G8, G10, G12, G14, G16, G18, G20, G23
DVDD18	H24, N28, P23, T23, U26, V23, Y7, Y23, AA6, AB5, AB7, AB19, AB21, AB28, AC3, AF5, AF26, AG22, AH1, AH29, AJ2, AJ28
EMIFA00	T27
EMIFA01	T24
EMIFA02	U29
EMIFA03	T25
EMIFA04	U27
EMIFA05	U28
EMIFA06	U25
EMIFA07	U24
EMIFA08	V28
EMIFA09	V29
EMIFA10	V27
EMIFA11	V26
EMIFA12	V25

表 2-28 引脚功能
—信号名称(表 6/13)

信号名称	球状编码
EMIFA13	V24
EMIFA14	W28
EMIFA15	W27
EMIFA16	W29
EMIFA17	W26
EMIFA18	W25
EMIFA19	W24
EMIFA20	W23
EMIFA21	Y29
EMIFA22	Y28
EMIFA23	U23
EMIFBE0	R24
EMIFBE1	R23
EMIFCE0	P25
EMIFCE1	R27
EMIFCE2	R28
EMIFCE3	R25
EMIFD00	Y27
EMIFD01	AB29
EMIFD02	AA29
EMIFD03	Y26
EMIFD04	AA27
EMIFD05	AB27
EMIFD06	AA26
EMIFD07	AA25
EMIFD08	Y25
EMIFD09	AB25
EMIFD10	AA24
EMIFD11	Y24
EMIFD12	AB23
EMIFD13	AB24
EMIFD14	AB26
EMIFD15	AC25
EMIFOE	R26
EMIFRW	P26
EMIFWAIT0	T29
EMIFWAIT1	T28
EMIFWE	P24
EMU00	AC29
EMU01	AC28
EMU02	AC27
EMU03	AC26

表 2-28 引脚功能
 —信号名称(表 7/13)

信号名称	球状编码
EMU04	AD29
EMU05	AD28
EMU06	AD27
EMU07	AE29
EMU08	AE28
EMU09	AF29
EMU10	AE27
EMU11	AF28
EMU12	AG29
EMU13	AD26
EMU14	AG28
EMU15	AG27
EMU16	AJ27
EMU17	AF27
EMU18	AH27
FSA0	AJ26
FSA1	AG23
FSB0	AG26
FSB1	AJ22
GPIO00	H25
GPIO01	J28
GPIO02	J29
GPIO03	J26
GPIO04	J25
GPIO05	J27
GPIO06	J24
GPIO07	K27
GPIO08	K28
GPIO09	K26
GPIO10	K29
GPIO11	L28
GPIO12	L29
GPIO13	K25
GPIO14	K24
GPIO15	L27
HOUT	AD20
LENDIAN †	H25
LRESETNMIEN	M27
LRESET	N26
MCMCLKN	Y2
MCMCLKP	W2
MCMREFCLKOUTN	W1

表 2-28 引脚功能
 —信号名称(表 8/13)

信号名称	球状编码
MCMREFCLKOUTP	Y1
MCMRXFLCLK	W3
MCMRXFLDAT	W4
MCMRXN0	U2
MCMRXN1	T1
MCMRXN2	M1
MCMRXN3	P2
MCMRXP0	T2
MCMRXP1	R1
MCMRXP2	N1
MCMRXP3	N2
MCMRXPMCLK	Y3
MCMRXPMDAT	Y4
MCMTXFLCLK	AA1
MCMTXFLDAT	AA3
MCMTXN0	M5
MCMTXN1	T4
MCMTXN2	R5
MCMTXN3	N4
MCMTXP0	N5
MCMTXP1	U4
MCMTXP2	T5
MCMTXP3	P4
MCMTXPMCLK	AA2
MCMTXPMDAT	AA4
MDCLK	H26
MDIO	G26
NMI	M25
PACLKSEL	AE4
PASSCLKN	AJ4
PASSCLKP	AJ5
PCIECLKN	AH5
PCIECLKP	AG5
PCIERXN0	AH7
PCIERXN1	AJ9
PCIERXP0	AH8
PCIERXP1	AJ8
PCISSMODE0 †	K24
PCISSMODE1 †	L27
PCISSSEN †	L24
PCIETXN0	AF8
PCIETXN1	AG9

表 2-28 引脚功能
 —信号名称(表 9/13)

信号名称	球状编码
PCIETXP0	AF7
PCIETXP1	AG8
POR	AC20
PTV15	G22
RESETFULL	N25
RESETSTAT	N27
RESET	M29
RIORXN0	AJ11
RIORXN1	AH10
RIORXN2	AH14
RIORXN3	AJ15
RIORXP0	AJ12
RIORXP1	AH11
RIORXP2	AH13
RIORXP3	AJ14
RIOTXN0	AF10
RIOTXN1	AG11
RIOTXN2	AG15
RIOTXN3	AF14
RIOTXP0	AF11
RIOTXP1	AG12
RIOTXP2	AG14
RIOTXP3	AF13
RSV01	AH28
RSV02	N24
RSV03	N23
RSV04	AH2
RSV05	AJ3
RSV06	H28
RSV07	G28
RSV08	AH19
RSV09	AF19
RSV0A	AA21
RSV0B	AA20
RSV10	K22
RSV11	J22
RSV12	Y5
RSV13	W5
RSV14	W6
RSV15	AE12
RSV16	AC9
RSV17	AD19

表 2-28 引脚功能
—信号名称(表 10 / 13)

信号名称	球状编码
RSV20	AF3
RSV21	G25
RSV22	AF1
RSV24	AH4
RSV25	AH3
SCL	AD3
SDA	AC4
SGMIIORXN	AJ18
SGMIIORXP	AJ17
SGMIIOTXN	AG18
SGMIIOTXP	AG17
SGMII1RXN	AH17
SGMII1RXP	AH16
SGMII1TXN	AF17
SGMII1TXP	AF16
SPICLK	AE1
SPIDIN	AD2
SPIDOUT	AB1
SPISCS0	AG1
SPISCS1	AG2
SRIOSGMIICLKN	AJ6
SRIOSGMIICLKP	AG6
SYSCLKOUT	AE3
TCK	N29
TDI	P27
TDO	R29
TIMIO	L24
TIMI1	L26
TIMOO	L25
TIMO1	M26
TMS	P29
TR00	AH26
TR01	AJ25
TR02	AD23
TR03	AD24
TR04	AC23
TR05	AH25
TR06	AC24
TR07	AE25
TR10	AE22
TR11	AD21
TR12	AC21

表 2-28 引脚功能
—信号名称(表 11/13)

信号名称	球状编码
TR13	AJ21
TR14	AH22
TR15	AJ20
TR16	AH21
TR17	AG21
TRST	P28
TX00	AE24
TX01	AD25
TX02	AJ24
TX03	AG24
TX04	AH24
TX05	AF24
TX06	AE23
TX07	AF23
TX10	AF21
TX11	AD22
TX12	AC22
TX13	AE21
TX14	AG20
TX15	AE20
TX16	AH20
TX17	AF20
UARTCTS	AB3
UARTRTS	AB2
UARTRXD	AD1
UARTTXD	AC1
VCNTL0	L23
VCNTL1	K23
VCNTL2	J23
VCNTL3	H23
VDDR1	V5
VDDR2	AE10
VDDR3	AE16
VDDR4	AE14
VDDT1	M7, N6, P7, R6, T7, U6, V7
VDDT2	AB9, AB11, AB13, AB15, AB17, AC8, AC10, AC12, AC14, AC16, AC18, AD7, AD9, AD11, AD13, AD15, AD17, AE18
VREFSSTL	E14

表 2-28 引脚引脚
—信号名称(表 12 / 13)

信号名称	球状编码
VSS	A1, A29, B11, B17, B25, C8, C23, D3, D14, D18, E5, E20, F6, F8, F10, F12, F16, F18, F27, F29, G1, G3, G5, G6, G7, G9, G11, G13, G15, G17, G19, G21, G24,
VSS	H1, H2, H3, H4, H5, H6, H8, H10, H12, H14, H16, H18, H20, J1, J2, J3, J4, J5, J6, J7, J9, J11, J13, J15, J17, J19, J21, K1, K2, K3, K4, K5, K6, K8, K10, K12, K14, K16,
VSS	K18, K20, L1, L2, L3, L4, L5, L6, L7, L9, L11, L13, L15, L17, L19, L21, M2, M3, M4, M6, M8, M10, M12, M14, M16, M18, M20, M22, M28, N3, N7, N9,
VSS	N11, N13, N15, N17, N19, N21, P1, P3, P5, P6, P8, P10, P12, P14, P16, P18, P20, P22, R2, R3, R4, R7, R9, R11, R13, R15, R17, R19, R21, T3, T6, T8, T10, T12,
VSS	T14, T16, T18, T20, T22, T26, U1, U3, U5, U7, U9, U11, U13, U15, U17, U19, U21, V1, V2, V3, V4, V6, V8, V10, V12, V14, V16, V18, V20, V22, W7, W9, W11,
VSS	W13, W15, W17, W19, W21, Y6, Y8, Y10, Y12, Y14, Y16, Y18, Y20, Y22, AA5, AA7, AA9, AA11, AA13, AA15, AA17, AA19, AA23, AA28, AB4, AB6, AB8,
VSS	AB10, AB12, AB14, AB16, AB18, AB20, AB22, AC2, AC5, AC7, AC11, AC13, AC15, AC17, AC19, AD6, AD8, AD10, AD12, AD14, AD16, AD18, AE7, AE8,

表 2-28 引脚功能
—信号名称(表 13 / 13)

信号名称	球状编码
VSS	AE9, AE11, AE13, AE15, AE17, AE19, AE26, AF4, AF6, AF9, AF12, AF15, AF18, AF22AG7, AG10, AG13, AG16, AG19, AH6, AH9, AH12, AH15, AH18,
VSS	AJ1, AJ7, AJ10, AJ13, AJ16, AJ19, AJ29
表 2-28 结束	

表 2-29 引脚功能
—球状编号 (表 1/21)

球状编码	信号名称
A1	VSS
A2	DVDD15
A3	DDRDQS6N
A4	DDRD51
A5	DDRD49
A6	DDRDQS5N
A7	DDRD40
A8	DDRDQM5
A9	DDRDQS4P
A10	DDRDQM4
A11	DVDD15
A12	DDRCLKOUTP0
A13	DDRBA0
A14	DDRA00
A15	DDRA04
A16	DDRCLKOUTP1
A17	DVDD15
A18	DDRCB07
A19	DDRDQS8P
A20	DDRDQM8
A21	DDRDQS3P
A22	DDRDQM3
A23	DDRD20
A24	DDRDQS2P
A25	DDRDQM2
A26	DDRD15
A27	DDRDQS1P
A28	DVDD15
A29	VSS
B1	DVDD15
B2	DDRDQM7
B3	DDRDQS6P
B4	DDRD50
B5	DDRDQM6
B6	DDRDQS5P
B7	DDRD44
B8	DDRD38
B9	DDRDQS4N
B10	DDRD34
B11	VSS
B12	DDRCLKOUTN0
B13	DDRBA1

表 2-29 引脚功能
—球状编码 (表 2/21)

球状编码	信号名称
B14	DDRA01
B15	DDRA06
B16	DDRCLKOUTN1
B17	VSS
B18	DDRCB06
B19	DDRDQS8N
B20	DDRCB03
B21	DDRDQS3N
B22	DDRD30
B23	DDRD21
B24	DDRDQS2N
B25	VSS
B26	DDRD14
B27	DDRDQS1N
B28	DDRD05
B29	DVDD15
C1	DDRDQS7N
C2	DDRD59
C3	DDRD55
C4	DDRD54
C5	DDRD48
C6	DDRD47
C7	DDRD43
C8	VSS
C9	DDRD37
C10	DDRRAS
C11	DDRCOE0
C12	DDRCOE1
C13	DDRBA2
C14	DVDD15
C15	DDRA05
C16	DDRA13
C17	DDRA15
C18	DDRCB05
C19	DDRCB04
C20	DDRCB01
C21	DDRD29
C22	DDRD31
C23	VSS
C24	DDRD22
C25	DVDD15
C26	DDRD13

表 2-29 引脚功能
—球状编码 (表 3/21)

球状编码	信号名称
C27	DDRDQM1
C28	DDRDQS0P
C29	DDRDQS0N
D1	DDRDQS7P
D2	DDRD57
D3	VSS
D4	DDRD52
D5	DVDD15
D6	DDRD46
D7	DDRD41
D8	DVDD15
D9	DDRD35
D10	DDRD33
D11	DDRCKE0
D12	DDRCAS
D13	DDRODT0
D14	VSS
D15	DDRA07
D16	DDRA11
D17	DDRA14
D18	VSS
D19	DDRCB02
D20	DVDD15
D21	DDRD24
D22	DDRD28
D23	DVDD15
D24	DDRD18
D25	DDRD11
D26	DDRD12
D27	DDRD04
D28	DDRD03
D29	DDRD01
E1	DDRD62
E2	DDRD58
E3	DVDD15
E4	DDRD53
E5	VSS
E6	DDRD45
E7	DDRD42
E8	DDRD39
E9	DDRD36
E10	DDRD32

表 2-29 引脚功能
 —球状编码 (表 4/21)

球状编码	信号名称
E11	DDR 复位
E12	DDRWE
E13	DDRODT1
E14	VREFSSTL
E15	DDRA09
E16	DDRA10
E17	DDRA12
E18	DDRCKE1
E19	DDRCB00
E20	VSS
E21	DDRD26
E22	DDRD23
E23	DDRD19
E24	DDRD09
E25	DDRD10
E26	DDRD06
E27	DDRD02
E28	DDRD00
E29	DDRDQM0
F1	DDRD63
F2	DDRD60
F3	DDRD61
F4	DDRD56
F5	DVDD15
F6	VSS
F7	DVDD15
F8	VSS
F9	DVDD15
F10	VSS
F11	DVDD15
F12	VSS
F13	DDRA03
F14	DDRA02
F15	DDRA08
F16	VSS
F17	DVDD15
F18	VSS
F19	DVDD15
F20	DDRD25
F21	DDRD27
F22	DDRD17
F23	DDRD16

表 2-29 引脚功能
 —球状编码 (表 5/21)

球状编码	信号名称
F24	DDRD08
F25	DDRD07
F26	DVDD15
F27	VSS
F28	DVDD15
F29	VSS
G1	VSS
G2	DVDD15
G3	VSS
G4	DVDD15
G5	VSS
G6	VSS
G7	VSS
G8	DVDD15
G9	VSS
G10	DVDD15
G11	VSS
G12	DVDD15
G13	VSS
G14	DVDD15
G15	VSS
G16	DVDD15
G17	VSS
G18	DVDD15
G19	VSS
G20	DVDD15
G21	VSS
G22	PTV15
G23	DVDD15
G24	VSS
G25	RSV21
G26	MDIO
G27	DDRSR00
G28	RSV07
G29	DDRCLKP
H1	VSS
H2	VSS
H3	VSS
H4	VSS
H5	VSS
H6	VSS
H7	CVDD

表 2-29 引脚功能
 —球状编码 (表 6/21)

球状编码	信号名称
H8	VSS
H9	CVDD
H10	VSS
H11	CVDD
H12	VSS
H13	CVDD
H14	VSS
H15	CVDD
H16	VSS
H17	CVDD
H18	VSS
H19	CVDD
H20	VSS
H21	CVDD
H22	AVDDA1
H23	VCNTL3
H24	DVDD18
H25	GPIO00
H25	LENDIAN +
H26	MDCLK
H27	DDRSR01
H28	RSV06
H29	DDRCLKN
J1	VSS
J2	VSS
J3	VSS
J4	VSS
J5	VSS
J6	VSS
J7	VSS
J8	CVDD1
J9	VSS
J10	CVDD
J11	VSS
J12	CVDD
J13	VSS
J14	CVDD1
J15	VSS
J16	CVDD
J17	VSS
J18	CVDD
J19	VSS

表 2-29 引脚功能
—球状编码 (表 7/21)

球状编码	信号名称
J20	CVDD
J21	VSS
J22	RSV11
J23	VCNTL2
J24	GPIO06
J24	BOOTMODE05 †
J25	GPIO04
J25	BOOTMODE03 †
J26	GPIO03
J26	BOOTMODE02 †
J27	GPIO05
J27	BOOTMODE04 †
J28	GPIO01
J28	BOOTMODE00 †
J29	GPIO02
J29	BOOTMODE01†
K1	VSS
K2	VSS
K3	VSS
K4	VSS
K5	VSS
K6	VSS
K7	CVDD1
K8	VSS
K9	CVDD1
K10	VSS
K11	CVDD
K12	VSS
K13	CVDD1
K14	VSS
K15	CVDD1
K16	VSS
K17	CVDD
K18	VSS
K19	CVDD
K20	VSS
K21	CVDD
K22	RSV10
K23	VCNTL1
K24	GPIO14
K24	PCIESSMODE0 †
K25	GPIO13

表 2-29 引脚功能
—球状编码 (表 8/21)

球状编码	信号名称
K25	BOOTMODE12 †
K26	GPIO09
K26	BOOTMODE08 †
K27	GPIO07
K27	BOOTMODE06 †
K28	GPIO08
K28	BOOTMODE07 †
K29	GPIO10
K29	BOOTMODE09 †
L1	VSS
L2	VSS
L3	VSS
L4	VSS
L5	VSS
L6	VSS
L7	VSS
L8	CVDD1
L9	VSS
L10	CVDD
L11	VSS
L12	CVDD
L13	VSS
L14	CVDD1
L15	VSS
L16	CVDD
L17	VSS
L18	CVDD
L19	VSS
L20	CVDD1
L21	VSS
L22	CVDD1
L23	VCNTL0
L24	TIMIO
L24	PCIESSEN †
L25	TIM00
L26	TIMI1
L27	GPIO15
L27	PCIESSMODE1 †
L28	GPIO11
L28	BOOTMODE10 †
L29	GPIO12
L29	BOOTMODE11 †

表 2-29 引脚功能
—球状编码 (表 9/21)

球状编码	信号名称
M1	MCMRXN2
M2	VSS
M3	VSS
M4	VSS
M5	MCMTXN0
M6	VSS
M7	VDDT1
M8	VSS
M9	CVDD1
M10	VSS
M11	CVDD
M12	VSS
M13	CVDD
M14	VSS
M15	CVDD
M16	VSS
M17	CVDD
M18	VSS
M19	CVDD
M20	VSS
M21	CVDD1
M22	VSS
M25	$\overline{\text{NMI}}$
M26	TIMO1
M27	$\overline{\text{LRESETNMIEN}}$
M28	VSS
M29	$\overline{\text{RESET}}$
N1	MCMRXP2
N2	MCMRXP3
N3	VSS
N4	MCMTXN3
N5	MCMTXP0
N6	VDDT1
N7	VSS
N8	CVDD
N9	VSS
N10	CVDD
N11	VSS
N12	CVDD
N13	VSS
N14	CVDD
N15	VSS

表 2-29 引脚功能
 —球状编码 (表 10/21)

球状编码	信号名称
N16	CVDD
N17	VSS
N18	CVDD
N19	VSS
N20	CVDD1
N21	VSS
N22	CVDD1
N23	RSV03
N24	RSV02
N25	RESETFULL
N26	LRESET
N27	RESETSTAT
N28	DVDD18
N29	TCK
P1	VSS
P2	MCMRXN3
P3	VSS
P4	MCMTXP3
P5	VSS
P6	VSS
P7	VDDT1
P8	VSS
P9	CVDD
P10	VSS
P11	CVDD
P12	VSS
P13	CVDD
P14	VSS
P15	CVDD
P16	VSS
P17	CVDD
P18	VSS
P19	CVDD
P20	VSS
P21	CVDD
P22	VSS
P23	DVDD18
P24	EMIFWE
P25	EMIFCE0
P26	EMIFRW
P27	TDI
P28	TRST

表 2-29 引脚功能
 —球状编码 (表 11/21)

球状编码	信号名称
P29	TMS
R1	MCMRXP1
R2	VSS
R3	VSS
R4	VSS
R5	MCMTXN2
R6	VDDT1
R7	VSS
R8	CVDD
R9	VSS
R10	CVDD
R11	VSS
R12	CVDD1
R13	VSS
R14	CVDD1
R15	VSS
R16	CVDD1
R17	VSS
R18	CVDD
R19	VSS
R20	CVDD
R21	VSS
R22	CVDD
R23	EMIFBE1
R24	EMIFBE0
R25	EMIFCE3
R26	EMIFOE
R27	EMIFCE1
R28	EMIFCE2
R29	TDO
T1	MCMRXN1
T2	MCMRXP0
T3	VSS
T4	MCMTXN1
T5	MCMTXP2
T6	VSS
T7	VDDT1
T8	VSS
T9	CVDD
T10	VSS
T11	CVDD
T12	VSS

表 2-29 引脚功能
 —球状编码 (表 12/21)

球状编码	信号名称
T13	CVDD
T14	VSS
T15	CVDD
T16	VSS
T17	CVDD
T18	VSS
T19	CVDD
T20	VSS
T21	CVDD
T22	VSS
T23	DVDD18
T24	EMIFA01
T25	EMIFA03
T26	VSS
T27	EMIFA00
T28	EMIFWAIT1
T29	EMIFWAIT0
U1	VSS
U2	MCMRXN0
U3	VSS
U4	MCMTXP1
U5	VSS
U6	VDDT1
U7	VSS
U8	CVDD
U9	VSS
U10	CVDD
U11	VSS
U12	CVDD1
U13	VSS
U14	CVDD1
U15	VSS
U16	CVDD1
U17	VSS
U18	CVDD
U19	VSS
U20	CVDD
U21	VSS
U22	CVDD
U23	EMIFA23
U24	EMIFA07
U25	EMIFA06

表 2-29 引脚功能
—球状编码 (表 13/21)

球状编码	信号名称
U26	DVDD18
U27	EMIFA04
U28	EMIFA05
U29	EMIFA02
V1	VSS
V2	VSS
V3	VSS
V4	VSS
V5	VDDR1
V6	VSS
V7	VDDT1
V8	VSS
V9	CVDD
V10	VSS
V11	CVDD
V12	VSS
V13	CVDD1
V14	VSS
V15	CVDD1
V16	VSS
V17	CVDD
V18	VSS
V19	CVDD
V20	VSS
V21	CVDD
V22	VSS
V23	DVDD18
V24	EMIFA13
V25	EMIFA12
V26	EMIFA11
V27	EMIFA10
V28	EMIFA08
V29	EMIFA09
W1	MCMREFCLKOUTN
W2	MCMCLKP
W3	MCMRXFLCLK
W4	MCMRXFLDAT
W5	RSV13
W6	RSV14
W7	VSS
W8	CVDD
W9	VSS

表 2-29 引脚功能
—球状编码 (表 14/21)

球状编码	信号名称
W10	CVDD
W11	VSS
W12	CVDD1
W13	VSS
W14	CVDD1
W15	VSS
W16	CVDD1
W17	VSS
W18	CVDD
W19	VSS
W20	CVDD
W21	VSS
W22	CVDD
W23	EMIFA20
W24	EMIFA19
W25	EMIFA18
W26	EMIFA17
W27	EMIFA15
W28	EMIFA14
W29	EMIFA16
Y1	MCMREFCLKOUTP
Y2	MCMCLKN
Y3	MCMRXPMCLK
Y4	MCMRXPMDAT
Y5	RSV12
Y6	VSS
Y7	DVDD18
Y8	VSS
Y9	CVDD
Y10	VSS
Y11	CVDD
Y12	VSS
Y13	CVDD
Y14	VSS
Y15	CVDD
Y16	VSS
Y17	CVDD
Y18	VSS
Y19	CVDD
Y20	VSS
Y21	CVDD
Y22	VSS

表 2-29 引脚功能
—球状编码 (表 15/21)

球状编码	信号名称
Y23	DVDD18
Y24	EMIFD11
Y25	EMIFD08
Y26	EMIFD03
Y27	EMIFD00
Y28	EMIFA22
Y29	EMIFA21
AA1	MCMTXFLCLK
AA2	MCMTXPMCLK
AA3	MCMTXFLDAT
AA4	MCMTXPMDAT
AA5	VSS
AA6	DVDD18
AA7	VSS
AA8	CVDD
AA9	VSS
AA10	CVDD
AA11	VSS
AA12	CVDD
AA13	VSS
AA14	CVDD
AA15	VSS
AA16	CVDD
AA17	VSS
AA18	CVDD
AA19	VSS
AA20	RSV0B
AA21	RSV0A
AA22	CVDD
AA23	VSS
AA24	EMIFD10
AA25	EMIFD07
AA26	EMIFD06
AA27	EMIFD04
AA28	VSS
AA29	EMIFD02
AB1	SPIDOUT
AB2	UARTRTS
AB3	UARTCTS
AB4	VSS
AB5	DVDD18
AB6	VSS

表 2-29 引脚功能
—球状编码 (表 16/21)

球状编码	信号名称
AB7	DVDD18
AB8	VSS
AB9	VDDT2
AB10	VSS
AB11	VDDT2
AB12	VSS
AB13	VDDT2
AB14	VSS
AB15	VDDT2
AB16	VSS
AB17	VDDT2
AB18	VSS
AB19	DVDD18
AB20	VSS
AB21	DVDD18
AB22	VSS
AB23	EMIFD12
AB24	EMIFD13
AB25	EMIFD09
AB26	EMIFD14
AB27	EMIFD05
AB28	DVDD18
AB29	EMIFD01
AC1	UARTTXD
AC2	VSS
AC3	DVDD18
AC4	SDA
AC5	VSS
AC6	AVDDA2
AC7	VSS
AC8	VDDT2
AC9	RSV16
AC10	VDDT2
AC11	VSS
AC12	VDDT2
AC13	VSS
AC14	VDDT2
AC15	VSS
AC16	VDDT2
AC17	VSS
AC18	VDDT2
AC19	VSS

表 2-29 引脚功能
—球状编码 (表 17/21)

球状编码	信号名称
AC20	POR
AC21	TR12
AC22	TX12
AC23	TR04
AC24	TR06
AC25	EMIFD15
AC26	EMU03
AC27	EMU02
AC28	EMU01
AC29	EMU00
AD1	UARTRXD
AD2	SPIDIN
AD3	SCL
AD4	CORESEL1
AD5	AVDDA3
AD6	VSS
AD7	VDDT2
AD8	VSS
AD9	VDDT2
AD10	VSS
AD11	VDDT2
AD12	VSS
AD13	VDDT2
AD14	VSS
AD15	VDDT2
AD16	VSS
AD17	VDDT2
AD18	VSS
AD19	RSV17
AD20	HOUT
AD21	TR11
AD22	TX11
AD23	TR02
AD24	TR03
AD25	TX01
AD26	EMU13
AD27	EMU06
AD28	EMU05
AD29	EMU04
AE1	SPICLK
AE2	BOOTCOMPLETE
AE3	SYSCLKOUT

表 2-29 引脚功能
—球状编码 (表 18/21)

球状编码	信号名称
AE4	PACLKSEL
AE5	CORESEL3
AE6	CORESEL2
AE7	VSS
AE8	VSS
AE9	VSS
AE10	VDDR2
AE11	VSS
AE12	RSV15
AE13	VSS
AE14	VDDR4
AE15	VSS
AE16	VDDR3
AE17	VSS
AE18	VDDT2
AE19	VSS
AE20	TX15
AE21	TX13
AE22	TR10
AE23	TX06
AE24	TX00
AE25	TR07
AE26	VSS
AE27	EMU10
AE28	EMU08
AE29	EMU07
AF1	RSV22
AF2	CORESEL0
AF3	RSV20
AF4	VSS
AF5	DVDD18
AF6	VSS
AF7	PCIETXP0
AF8	PCIETXN0
AF9	VSS
AF10	RIOTXN0
AF11	RIOTXP0
AF12	VSS
AF13	RIOTXP3
AF14	RIOTXN3
AF15	VSS
AF16	SGMII1TXP

表 2-29 引脚功能
—球状编码 (表 19/21)

球状编码	信号名称
AF17	SGMII1TXN
AF18	VSS
AF19	RSV09
AF20	TX17
AF21	TX10
AF22	VSS
AF23	TX07
AF24	TX05
AF25	CLKA0
AF26	DVDD18
AF27	EMU17
AF28	EMU11
AF29	EMU09
AG1	SPISCS0
AG2	SPISCS1
AG3	CORECLKP
AG4	CORECLKN
AG5	PCIECLKP
AG6	SRIOSGMIICLKP
AG7	VSS
AG8	PCIETXP1
AG9	PCIETXN1
AG10	VSS
AG11	RIOTXN1
AG12	RIOTXP1
AG13	VSS
AG14	RIOTXP2
AG15	RIOTXN2
AG16	VSS
AG17	SGMII0TXP
AG18	SGMII0TXN
AG19	VSS
AG20	TX14
AG21	TR17
AG22	DVDD18
AG23	FSA1
AG24	TX03
AG25	CLKB0
AG26	FSB0
AG27	EMU15
AG28	EMU14
AG29	EMU12

表 2-29 引脚功能
—球状编码 (表 20/21)

球状编码	信号名称
AH1	DVDD18
AH2	RSV04
AH3	RSV25
AH4	RSV24
AH5	PCIECLKN
AH6	VSS
AH7	PCIERXN0
AH8	PCIERXP0
AH9	VSS
AH10	RIORXN1
AH11	RIORXP1
AH12	VSS
AH13	RIORXP2
AH14	RIORXN2
AH15	VSS
AH16	SGMII1RXP
AH17	SGMII1RXN
AH18	VSS
AH19	RSV08
AH20	TX16
AH21	TR16
AH22	TR14
AH23	CLKB1
AH24	TX04
AH25	TR05
AH26	TR00
AH27	EMU18
AH28	RSV01
AH29	DVDD18
AJ1	VSS
AJ2	DVDD18
AJ3	RSV05
AJ4	PASSCLKN
AJ5	PASSCLKP
AJ6	SRIOSGMIICLKN
AJ7	VSS
AJ8	PCIERXP1
AJ9	PCIERXN1
AJ10	VSS
AJ11	RIORXN0
AJ12	RIORXP0
AJ13	VSS

表 2-29 引脚功能
—球状编码 (表 21/21)

球状编码	信号名称
AJ14	RIORXP3
AJ15	RIORXN3
AJ16	VSS
AJ17	SGMII0RXP
AJ18	SGMII0RXN
AJ19	VSS
AJ20	TR15
AJ21	TR13
AJ22	FSB1
AJ23	CLKA1
AJ24	TX02
AJ25	TR01
AJ26	FSA0
AJ27	EMU16
AJ28	DVDD18
AJ29	VSS
表 2-29 结束	

2.9 开发与支持

2.9.1 开发支持

如果客户想要在 C6678 设备上开发适合他们自己的特性和软件，TI 为 TMS320C6000™ DSP 平台提供了一条开发工具的拓展线，包括评估处理器、生成代码、开发代码执行性能的工具和完整集成与调试软件和硬件单元。工具的支持文档电子版可在 Code Composer Studio™ 集成开发环境(IDE)中获取。

下列产品支持基于 C6000™ DSP 应用的开发

- **软件开发工具:**
 - Code Composer Studio™ 集成开发环境 (IDE)，包括 C/C++/汇编代码生成编译器，调试以及额外的开发工具。
 - 可量度、实时建立软件(DSP/BIOS™)，提供了基本的支持任何 DSP 应用的所需运行时间目标软件。
- **硬件开发工具:**
 - 拓展开发系统 (XDS™) 模拟器 (支持 C6000™ DSP 多核系统调试)
 - EVM (评估模块)

2.9.2 设备支持

2.9.2.1 设备和开发支持工具命名

为了规划在产品开发周期的各个阶段，TI 分配前缀编号至所有 DSP 设备和支持工具。每个 DSP 商业系列产品拥有下列三个前缀中的一个：TMX、TMP 或 TMS (例如，TMX320CMH)。德州仪器建议使用三个可能前缀标识符中的两个用于开发工具：TMDX 与 TMDS。这些前缀代表了产品开发从工程原型(TMX/TMDX) 至完全合格的产品设备/工具(TMS/TMDS)的开发进程阶段。

设备开发进程流:

- **TMX:** 实验设备 并不完全表示设备最终的电气要求
- **TMP:** 最终硅片，符合 设备的电气要求，但并不具备完整性能和可靠性认证
- **TMS:** 完全合格生产设备

支持工具开发进程流:

- **TMDX:** 尚未完成德州仪器内部合格检测的支持开发产品。
- **TMDS:** 完全合格的支持开发产品

TMX 与 TMP 设备以及 TMDX 支持开发工具含有下列否认声明:

"开发产品用于内部测试目的."

TMS 设备与 TMDS 开发支持工具已经完全特性化，并且设备的质量和可靠性得到了完全论证。德州仪器的标准专利权适用。

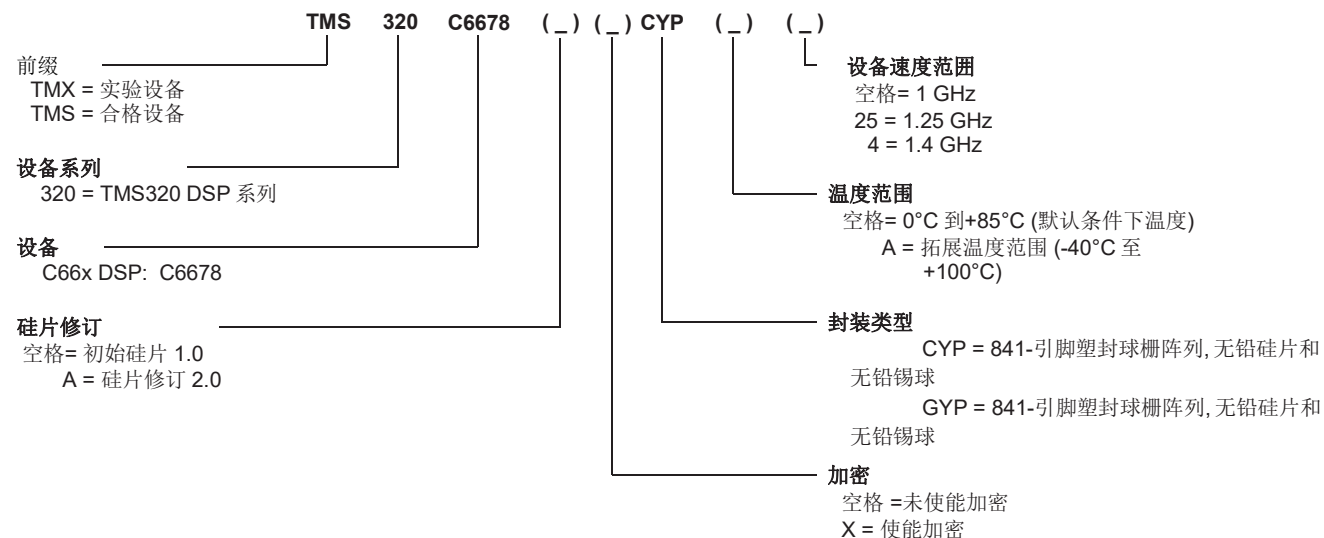
预测表明原型设备(TMX 或 TMP) 比起标准生产设备设备来说有较高的失败率。德州仪器建议这些设备不要用于任何生产系统，因为它们的预期停用失败率仍旧不明。只有合格的生产设备才可以被使用。

TI 设备命名也包含一个设备系列名称的后缀。这个后缀表示封装类型(例如, CYP), 温度范围(例如, 空格为默认温度范围), 设备速度范围, 按兆赫兹(例如, 空格表示 1000 MHz [1 GHz])。

对于 CYP 封装类型的 TMS320C6678 设备 部分编号和其他序列信息, 参看 TI 网站 www.ti.com 或联系您的 TI 销售代理。

图 2-17 提供了一个标注用于阅读任何 C66x KeyStone 设备完整的设备名。

图 2-17 C66x DSP 设备命名(包括 TMS320C6678)



2.10 德州仪器相关文档

这些文档描述了 TMS320C6678 多核定点、浮点数字信号处理器。这些文档可于互联网上在 www.ti.com 获取

C66x DSP CorePac 用户指南	SPRUGW0
C66x DSP CPU 指令集参考指南	SPRUGH7
C66x DSP 高速缓存用户指南	SPRUGY8
芯片 中断控制器(CIC) KeyStone 设备用户指南	SPRUGW4
DDR3 设计要求-KeyStone 设备	SPRABI1
DDR3 内存控制器-KeyStone 设备用户指南	SPRUGV8
调试与跟踪-KeyStone I 设备用户指南	SPRUGZ2
DSP 引导加载器-KeyStone 设备用户指南	SPRUGY5
仿真与跟踪技术参考	SPRU655
增强直接内存访问3 (EDMA3) 控制器-KeyStone 设备用户指南	SPRUGS5
外部内存接口(EMIF16)-KeyStone 设备用户指南	SPRUGZ3
通用输入/输出 (GPIO)-KeyStone 设备用户指南	SPRUGV1
千兆位以太网(GbE) 交换子系统-KeyStone 设备用户指南	SPRUGV9
硬件设计指南-KeyStone I 设备	SPRABI2
HyperLink-KeyStone 设备用户指南	SPRUGW8
IC 内部控制总线(I ² C)-KeyStone 设备用户指南	SPRUGV3
内存保护单元(MPU)-KeyStone 设备用户指南	SPRUGW5
多核导航器-KeyStone 设备用户指南	SPRUGR9
多核共享内存控制器(MSMC)-KeyStone 设备用户指南	SPRUGW7
网络协处理器(NETCP)-KeyStone 设备用户指南	SPRUGZ6
包加速器(PA)-KeyStone 设备用户指南	SPRUGS4
外设部件互连总线(PCIe)-KeyStone 设备用户指南	SPRUGS6
锁相环(PLL)-KeyStone 设备用户指南	SPRUGV2
功耗总结-KeyStone C66x 设备	SPRABL5
休眠控制器(PSC) --KeyStone 设备用户指南	SPRUGV4
安全加速器(SA)-KeyStone 设备用户指南	SPRUGY6
信号量硬件模块-KeyStone 设备用户指南	SPRUGS3
串行外设接口(SPI)-KeyStone 设备用户指南	SPRUGP2
串行快速 IO(SRIO)-KeyStone 设备用户指南	SPRUGW1
电信串行接口端口(TSIP)-C66x DSP 用户指南	SPRUGY4
定时器 64P-KeyStone 设备用户指南	SPRUGV5
统一异步接收器/发送器(UART)-KeyStone 设备用户指南	SPRUGP1
使用先进事件触发来调试实时问题--在高速度嵌入式微处理器系统中	SPRA387
使用先进事件触发来发现和修复断续实时漏洞	SPRA753
使用 IBIS 模式进行时序分析	SPRA839

3 设备配置

在 TMS320C6678 设备上，某些设备配置引导模式和字端模式，在设备上电复位时这种模式就被选择。外设状态(使能/失能)由设备上电复位后决定。

3.1 复位设备配置

表 3-1 描述了设备配置引脚。逻辑电平在上电复位时锁存来决定设备配置。设备配置引脚的逻辑电平可以通过使用外部上拉/下拉电阻或通过使用一些控制设备(例如，FPGA/CPLD)来进行设置从而智能的驱动这些引脚。当使用一个控制设备时，应当确保当设备完成复位后线路上没有传输内容。设备配置引脚在上电复位期间进行采样并且在复位完成后驱动。为了避免竞争，控制设备必须停止驱动 DSP 的设备配置引脚。并且当驱动一个控制设备时，控制设备必须完全供电且自身不处于复位状态，在 DSP 可以完成复位前驱动引脚。

同样，留意大多数设备配置引脚与其他功能引脚 (LENDIAN/GPIO[0], BOOT 模式[12:0]/GPIO[13:1], PCIESS 模式[1:0]/GPIO[15:14]和 PCIESSSEN/TIMIO)的复用，一些时候必须在接下来复位的上升沿来驱动这些设备配置输入引脚，在它们假定为一个输出状态 (这些 GPIO 在引导期间不应输出)之前。另一个要注意的是系统使用 TIMIO (引脚与 PCIESSSEN 共用)作为时钟输入时必须确保时钟本身失能输入直到复位状态释放以及一个控制设备不再驱动输入。



注—如果一个配置引脚必须布线在设备外并且其没有被驱动 (高阻状态)，内部上拉/下拉(IPU/IPD)电阻不应被过分依赖。TI 推荐使用一个一个外部上拉/下拉电阻。

更多关于上拉/下拉电阻和需要使用外部上拉/下拉电阻的情形的细节信息, 参看 3.4 97. 页 “[上拉/下拉电阻](#)”

表 3-1 TMS320C6678 设备配置引脚

配置引脚	引脚编号	IPD/IPU ⁽¹⁾	功能描述
LENDIAN ^{(1) (2)}	H25	IPU	设备字端模式 (LENDIAN). 0 = 设备 运行于大端模式 1 = 设备 运行于小端模式
BOOTMODE[12:0] ^{(1) (2)}	J28, J29, J26, J25, J27, J24, K27, K28, K26, K29, L28, L29, K25	IPD	引导方式 一些引脚可能用于引导加载器 并且可以被用于通用配置引脚. 参看 引导加载器—C66x DSP 用户指南 在“ 德州仪器相关文档 ”页 72 来了解怎样决定 设备计数ID 值.
PCIESSMODE[1:0] ^{(1) (2)}	L27, K24	IPD	PCIe 子系统模式选择. 00 = PCIe, 终端 模式 01 = PCIe, 传统终端 (支持传统 INTx) 10 = PCIe, 根联合体模式 11 = 保留
PCIESSSEN ^{(1) (2)}	L24	IPD	PCIe 子系统使能/失能. 0 = PCIE 子系统失能 1 = PCIE 子系统使能
PACLKSEL ⁽¹⁾	AE4	IPD	网络协处理器(PASS PLL)输入时钟选择. 0 = CORECLK 用作 PASS PLL 的输入 1 = PASSCLK 用作 PASS PLL 的输入
表 3-1 结束			

¹ 为这个 引脚提供内部 100-μA 下拉或上拉。在大多数系统中，一个 1-kΩ 可以用于反相 IPD/IPU。关于下拉/上拉电阻 和需要外部下拉/上拉电阻的情形的更多细节, 参看 3.4 “[上拉/下拉电阻](#)” 页 97.

² 这些信号名称为引脚的第二功能.

3.2 设备复位后外设选择

TMS320C6678 上的许多外设 由电源休眠控制器 (PSC)来进行控制。默认条件下, PCIe、SRIO 以及 HyperLink 将保持复位状态和门控时钟。这些单元中的内存也同样处于一个低漏电流休眠模式。需要软件来启用这些内存。软件在这些单元可以使用时使能这些单元 (开启时钟并关闭复位)。

如果上述的单元在选定的 ROM 引导模式下被使用, ROM 代码将自动使能这些单元。

所有其他单元在默认条件下开始时能并且没有特殊的软件流程来进行使能操作。更多关于 PSC 使用的细节信息, 参看 *KeyStone 设备电源休眠控制器 (PSC) 用户指南* “德州仪器相关文档” 页 72。

3.3 设备状态控制寄存器

TMS320C6678 设备有一系列寄存器用于提供状态信息或配置外设的详细信息。表 3-2 为这些寄存器信息。

表 3-2 设备状态控制寄存器(表 1/4)

地址起始	地址结束	大小	域	描述
0x02620000	0x02620007	8B		
0x02620008	0x02620017	16B	保留	
0x02620018	0x0262001B	4B	JTAGID	参看 3.3.3
0x0262001C	0x0262001F	4B	保留	
0x02620020	0x02620023	4B	DEVSTAT	参看 3.3.1
0x02620024	0x02620037	20B	保留	
0x02620038	0x0262003B	4B	KICK0	参看 3.3.4
0x0262003C	0x0262003F	4B	KICK1	
0x02620040	0x02620043	4B	DSP_BOOT_ADDR0	C66x DSP CorePac0 引导地址, 参看 3.3.5
0x02620044	0x02620047	4B	DSP_BOOT_ADDR1	C66x DSP CorePac1 引导地址, 参看 3.3.5
0x02620048	0x0262004B	4B	DSP_BOOT_ADDR2	C66x DSP CorePac2 引导地址, 参看 3.3.5
0x0262004C	0x0262004F	4B	DSP_BOOT_ADDR3	C66x DSP CorePac3 引导地址, 参看 3.3.5
0x02620050	0x02620053	4B	DSP_BOOT_ADDR4	C66x DSP CorePac4 引导地址, 参看 3.3.5
0x02620054	0x02620057	4B	DSP_BOOT_ADDR5	C66x DSP CorePac5 引导地址, 参看 3.3.5
0x02620058	0x0262005B	4B	DSP_BOOT_ADDR6	C66x DSP CorePac6 引导地址, 参看 3.3.5
0x0262005C	0x0262005F	4B	DSP_BOOT_ADDR7	C66x DSP CorePac7 引导地址, 参看 3.3.5
0x02620060	0x026200DF	128B	保留	
0x026200E0	0x0262010F	48B	保留	
0x02620110	0x02620117	8B	MACID	参看 7.22 “千兆以太网(GbE)交换子系统” 页 226
0x02620118	0x0262012F	24B	保留	
0x02620130	0x02620133	4B	LRSTNMIPINSTAT_CLR	参看 3.3.7
0x02620134	0x02620137	4B	RESET_STAT_CLR	参看 3.3.9
0x02620138	0x0262013B	4B	保留	
0x0262013C	0x0262013F	4B	BOOTCOMPLETE	参看 3.3.10
0x02620140	0x02620143	4B	保留	
0x02620144	0x02620147	4B	RESET_STAT	参看 3.3.8
0x02620148	0x0262014B	4B	LRSTNMIPINSTAT	参看 3.3.6

表 3-2 设备状态控制寄存器 (表 2/4)

地址起始	地址结束	大小	域	描述
0x0262014C	0x0262014F	4B	DEVCFG	参看 3.3.2
0x02620150	0x02620153	4B	PWRSTATECTL	参看 3.3.11
0x02620154	0x02620157	4B	SRIO_SERDES_STS	参看 “德州仪器相关文档” 页 72
0x02620158	0x0262015B	4B	SMGII_SERDES_STS	
0x0262015C	0x0262015F	4B	PCIE_SERDES_STS	
0x02620160	0x02620163	4B	HYPERLINK_SERDES_STS	
0x02620164	0x02620167	4B	保留	
0x02620168	0x0262016B	4B	保留	
0x0262016C	0x0262017F	20B	保留	
0x02620180	0x02620183	4B	保留	
0x02620184	0x0262018F	12B	保留	
0x02620190	0x02620193	4B	保留	
0x02620194	0x02620197	4B	保留	
0x02620198	0x0262019B	4B	保留	
0x0262019C	0x0262019F	4B	保留	
0x026201A0	0x026201A3	4B	保留	
0x026201A4	0x026201A7	4B	保留	
0x026201A8	0x026201AB	4B	保留	
0x026201AC	0x026201AF	4B	保留	
0x026201B0	0x026201B3	4B	保留	
0x026201B4	0x026201B7	4B	保留	
0x026201B8	0x026201BB	4B	保留	
0x026201BC	0x026201BF	4B	保留	
0x026201C0	0x026201C3	4B	保留	
0x026201C4	0x026201C7	4B	保留	
0x026201C8	0x026201CB	4B	保留	
0x026201CC	0x026201CF	4B	保留	
0x026201D0	0x026201FF	48B	保留	
0x02620200	0x02620203	4B	NMIGR0	参看 3.3.12
0x02620204	0x02620207	4B	NMIGR1	
0x02620208	0x0262020B	4B	NMIGR2	
0x0262020C	0x0262020F	4B	NMIGR3	
0x02620210	0x02620213	4B	NMIGR4	
0x02620214	0x02620217	4B	NMIGR5	
0x02620218	0x0262021B	4B	NMIGR6	
0x0262021C	0x0262021F	4B	NMIGR7	
0x02620220	0x0262023F	32B	保留	

表 3-2 设备状态控制寄存器 (表 3/4)

地址起始	地址结束	大小	域	描述
0x02620240	0x02620243	4B	IPCGR0	参看 3.3.13
0x02620244	0x02620247	4B	IPCGR1	
0x02620248	0x0262024B	4B	IPCGR2	
0x0262024C	0x0262024F	4B	IPCGR3	
0x02620250	0x02620253	4B	IPCGR4	
0x02620254	0x02620257	4B	IPCGR5	
0x02620258	0x0262025B	4B	IPCGR6	
0x0262025C	0x0262025F	4B	IPCGR7	
0x02620260	0x0262027B	28B	保留	
0x0262027C	0x0262027F	4B	IPCGRH	参看 3.3.15
0x02620280	0x02620283	4B	IPCAR0	参看 3.3.14
0x02620284	0x02620287	4B	IPCAR1	
0x02620288	0x0262028B	4B	IPCAR2	
0x0262028C	0x0262028F	4B	IPCAR3	
0x02620290	0x02620293	4B	IPCAR4	
0x02620294	0x02620297	4B	IPCAR5	
0x02620298	0x0262029B	4B	IPCAR6	
0x0262029C	0x0262029F	4B	IPCAR7	
0x026202A0	0x026202BB	28B	保留	
0x026202BC	0x026202BF	4B	IPCARH	参看 3.3.16
0x026202C0	0x026202FF	64B	保留	
0x02620300	0x02620303	4B	TINPSEL	参看 3.3.17
0x02620304	0x02620307	4B	TOUTPSEL	参看 3.3.18
0x02620308	0x0262030B	4B	RSTMUX0	参看 3.3.19
0x0262030C	0x0262030F	4B	RSTMUX1	
0x02620310	0x02620313	4B	RSTMUX2	
0x02620314	0x02620317	4B	RSTMUX3	
0x02620318	0x0262031B	4B	RSTMUX4	
0x0262031C	0x0262031F	4B	RSTMUX5	
0x02620320	0x02620323	4B	RSTMUX6	
0x02620324	0x02620327	4B	RSTMUX7	
0x02620328	0x0262032B	4B	MAINPLLCTL0	参看 7.6 “主 PLL 与 PLL 控制器” 页 140
0x0262032C	0x0262032F	4B	MAINPLLCTL1	
0x02620330	0x02620333	4B	DDR3PLLCTL0	参看 7.7 “DD3 PLL” 页 153
0x02620334	0x02620337	4B	DDR3PLLCTL1	
0x02620338	0x0262033B	4B	PASSPLLCTL0	参看 7.8 “PASS PLL” 页 156
0x0262033C	0x0262033F	4B	PASSPLLCTL1	

表 3-2 设备状态控制寄存器(表 4/4)

起始地址	结束地址	大小	域	描述
0x02620340	0x02620343	4B	SGMII_SERDES_CFGPLL	参看“德州仪器相关文档”页 72
0x02620344	0x02620347	4B	SGMII_SERDES_CFGRX0	
0x02620348	0x0262034B	4B	SGMII_SERDES_CFGTX0	
0x0262034C	0x0262034F	4B	SGMII_SERDES_CFGRX1	
0x02620350	0x02620353	4B	SGMII_SERDES_CFGTX1	
0x02620354	0x02620357	4B	保留	
0x02620358	0x0262035B	4B	PCIE_SERDES_CFGPLL	
0x0262035C	0x0262035F	4B	保留	
0x02620360	0x02620363	4B	SRIO_SERDES_CFGPLL	
0x02620364	0x02620367	4B	SRIO_SERDES_CFGRX0	
0x02620368	0x0262036B	4B	SRIO_SERDES_CFGTX0	
0x0262036C	0x0262036F	4B	SRIO_SERDES_CFGRX1	
0x02620370	0x02620373	4B	SRIO_SERDES_CFGTX1	
0x02620374	0x02620377	4B	SRIO_SERDES_CFGRX2	
0x02620378	0x0262037B	4B	SRIO_SERDES_CFGTX2	
0x0262037C	0x0262037F	4B	SRIO_SERDES_CFGRX3	
0x02620380	0x02620383	4B	SRIO_SERDES_CFGTX3	
0x02620384	0x0262038B	8B	保留	
0x0262038C	0x0262038F	4B	DSP_SUSP_CTL	参看 3.3.20
0x02620390	0x026203B3	36B	保留	
0x026203B4	0x026203B7	4B	HYPERLINK_SERDES_CFGPLL	参看“德州仪器相关文档”页 72
0x026203B8	0x026203BB	4B	HYPERLINK_SERDES_CFGRX0	
0x026203BC	0x026203BF	4B	HYPERLINK_SERDES_CFGTX0	
0x026203C0	0x026203C3	4B	HYPERLINK_SERDES_CFGRX1	
0x026203C4	0x026203C7	4B	HYPERLINK_SERDES_CFGTX1	
0x026203C8	0x026203CB	4B	HYPERLINK_SERDES_CFGRX2	
0x026203CC	0x026203CF	4B	HYPERLINK_SERDES_CFGTX2	
0x026203D0	0x026203D3	4B	HYPERLINK_SERDES_CFGRX3	
0x026203D4	0x026203D7	4B	HYPERLINK_SERDES_CFGTX3	
0x026203D8	0x026203DB	4B	保留	
0x026203DC	0x026203F7	28B	保留	
0x026203F8	0x026203FB	4B	DEV RATE	参看 3.3.21
0x026203FC	0x026203FF	4B	保留	
0x02620400	0x02620403	4B	CHIP_MISC_CTL	参看 3.3.22
0x02620404	0x02620467	100B	保留	

表 3-2 结束

3.3.1 设备状态寄存器

设备状态寄存器描述了所选择的设备配置，基于一个上电复位，这一步操作通过 POR 或 RESETFULL 引脚。一旦置位，这些位将保持置位状态直到下一个上电复位。设备状态寄存器相关信息见[图 3-1](#)与[表 3-3](#)。

图 3-1 设备状态寄存器

31	18	17	16	15	14	13	1	0	
保留		PACKSEL	PCIESSEN	PCIESSMODE[1:0]		BOOTMODE[12:0]		LENDIAN	
R-0			R-x		R/W -xx		R/W-xxxxxxxxxxxx		R-x ⁽¹⁾

标注: R = 只读; RW = 读/写; -n = 复位后的值

1 x 表示引导程序值通过外部引脚锁存

表 3-3 设备状态寄存器域描述

位	域	描述
31-18	保留	保留. 只读, 写操作无效.
17	PACKSEL	PA 时钟选择来决定 PA 子系统 PLL 的参考时钟 0 = 选择 CORECLK(P/N) 1 = 选择 PASSCLK(P/N)
16	PCIESSEN	PCIe 单元使能 0 = PCIe 单元失能 1 = PCIe 单元使能
15-14	PCIESSMODE[1:0]	PCIe 模式选择引脚 00b = PCIe, 终端模式 01b = PCIe, 传统终端 模式 (支持传统 INTx) 10b = PCIe, 根联合体模式 11b = 保留
13-1	BOOTMODE[12:0]	决定配置设备的引导模式. 引导模式的更多信息, 参看 2.5 “支持的引导模式和 PLL 设置” 页 24 并参阅 DSP 引导加载器--KeyStone 设备用户指南在 2.10 “德州仪器相关文档” 页 72
0	LENDIAN	设备字端模式 (LENDIAN) — 指示系统工作于大端模式或小端模式的状态 0 = 系统工作于大端模式 1 = 系统工作于小端模式
表 3-3 结束		

3.3.2 设备配置寄存器 (DEVCFG)

设备配置寄存器通过软件一次可写。寄存器在所有硬件复位时复位，并且在第一次写操作后锁定。设备配置寄存器相关信息见 图 3-2 与 表 3-4。

图 3-2 设备配置寄存器 (DEVCFG)

31	1	0
保留	R-0	SYSCLKOUTEN R/W-1

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-4 设备配置寄存器 (DEVCFG) 域描述

位	域	描述
31-1	保留	保留. 只读, 写操作无效.
0	SYSCLKOUTEN	SYSCLKOUT 使能 0 = 无时钟输出 1 = 时钟输出使能 (默认)
表 3-4 结束		

3.3.3 JTAG ID 寄存器 (JTAGID) 描述

JTAGID 寄存器是只读寄存器，唯一对应于用户 JTAG/设备 ID。对于设备，JTAGID 寄存器位于地址位置 0x02620018。JTAGID 寄存器的相关信息见 图 3-3 和 表 3-5。

图 3-3 JTAG ID 寄存器 (JTAGID)

31	28	27	12	11	1	0
VARIANT	PART NUMBER	MANUFACTURER	LSB			
R-xxxxb	R-0000 0000 1001 1110b	0000 0010 111b	R-1			

标注: RW = 读/写; R = 只读; -n = 复位后的值

表 3-5 JTAG ID 寄存器 (JTAGID) 域描述

位	域	值	描述
31-28	VARIANT	xxxxb	变量 (4-位) 值.
27-12	PART NUMBER	0000 0000 1001 1110b	用于边界检测的部分编号
11-1	MANUFACTURER	0000 0010 111b	生产商
0	LSB	1b	1 对于 TMS320C6678 读此位得 1
表 3-5 结束			



注—VARIANT 与 PART NUMBER 域的值取决于使用的硅片修订. 参看硅片勘误表来获取细节信息.

3.3.4 Kicker 机制 寄存器 (KICK0 和 KICK1)

引导配置单元包含一个 kicker 机制来阻止任何不合法的写操作 来改变任何引导配置 MMR 值。当 kicker 锁定后 (最初在上电复位之后) 所有引导配置 MMR 均不可写 (仅为只读)。这个机制需要在 kicker 锁定机制解锁之前由两个 MMR 以准确的数据值写至 KICK0 和 KICK1 寄存器。参看表 3-2 “设备状态控制寄存器” 页 74 了解地址定位。一旦释放则所有的引导配置 MMR 将使“写操作”允许为可写状态 (只读 MMR 始终保持只读状态)。起始的 KICK0 数据为 0x83e70b13, 第二个 KICK1 数据为 0x95a4f1e0。写任何其他值到这些 kick MMR 的任何一个 将启动 kicker 锁定机制 并阻塞任何到引导配置 MMR 的写操作。

Kicker 机制由 ROM 代码解锁。不要在随后写任何其他不同的值到这些寄存器, 因为这将启动 kicker 锁定机制 并阻塞任何到引导配置 MMR 的写操作。

3.3.5 DSP 引导地址寄存器 (DSP_BOOT_ADDRn)

DSP_BOOT_ADDRn 寄存器储存了 CorePac_n (n = 内核编号) 的起始引导获取地址。默认条件下获取地址是公共 ROM 基地址 (对于任何引导模式)。DSP_BOOT_ADDRn 寄存器访问对于任何主机或仿真器应当设备不处于安全状态时被允许。当复位执行后, CorePac 将从地址进行引导。The DSP_BOOT_ADDRn 寄存器的相关信息见 图 3-4 和表 3-6。

图 3-4 DSP 引导地址寄存器 (DSP_BOOT_ADDRn)

31	10	9	0
DSP_BOOT_ADDR			保留
RW-0010000010110000000000			R-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-6 DSP 引导地址寄存器 (DSP_BOOT_ADDRn) 域描述

位	域	描述
31-10	DSP_BOOT_ADDR	CorePac 的引导地址. 当复位执行后, CorePac 将从地址进行引导. 复位值为 ROM 基地址 = 0x20B00000 的 22 MSB.
9-0	保留	保留
表 3-6 结束		

3.3.6 LRESETNMI 引脚状态寄存器 (LRSTNMIPINSTAT)

LRSTNMI 引脚状态寄存器基于 CORESEL 由引导配置创建来锁存 LRESET 与 NMI 的状态。LRESET NMI 引脚状态寄存器的相关信息见 图 3-5 与 表 3-7。

图 3-5 LRESETNMI 引脚状态寄存器 (LRSTNMIPINSTAT)

31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		NMI7	NMI6	NMI5	NMI4	NMI3	NMI2	NMI1	NMI0	LR7	LR6	LR5	LR4	LR3	LR2	LR1	LR0
R-0000 0000 0000 0000		R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

标注: R = 只读; -n = 复位后的值

表 3-7 LRESETNMI 引脚状态寄存器(LRSTNMIPINSTAT)域描述

位	域	描述
31-16	保留	保留
15	NMI7	NMI 中 CorePac7
14	NMI6	NMI 中 CorePac6
13	NMI5	NMI 中 CorePac5
12	NMI4	NMI 中 CorePac4
11	NMI3	NMI 中 CorePac3
10	NMI2	NMI 中 CorePac2
9	NMI1	NMI 中 CorePac1
8	NMI0	NMI 中 CorePac0
7	LR7	本地复位中 CorePac7
6	LR6	本地复位中 CorePac6
5	LR5	本地复位中 CorePac5
4	LR4	本地复位中 CorePac4
3	LR3	本地复位中 CorePac3
2	LR2	本地复位中 CorePac2
1	LR1	本地复位中 CorePac1
0	LR0	本地复位中 CorePac0
表 3-7 结束		

3.3.7 LRESETNMI 引脚状态清除寄存器(LRSTNMIPINSTAT_CLR)

LRSTNMIPINSTAT_CLR 寄存器用于清除 LRESET 位与 NMI 的状态基于 CORESEL. LRESETNMI 引脚状态清除寄存器的相关信息见 图 3-6 与表 3-8

图 3-6 LRESETNMI 引脚状态清除寄存器(LRSTNMIPINSTAT_CLR)

31	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
保留		NMI7	NMI6	NMI5	NMI4	NMI3	NMI2	NMI1	NMI0	LR7	LR6	LR5	LR4	LR3	LR2	LR1	LR0
R -0000 0000 0000 0000		WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC	WC
		-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0	-0

标注: R = 只读; -n = 复位后的值; WC = 写 1 到清除

表 3-8 LRESETNMI 引脚状态清除寄存器(LRSTNMIPINSTAT_CLR)域描述(表 1/2)

位	域	描述
31-16	保留	保留
15	NMI7	NMI 中 CorePac7 清除
14	NMI6	NMI 中 CorePac6 清除
13	NMI5	NMI 中 CorePac5 清除
12	NMI4	NMI 中 CorePac4 清除
11	NMI3	NMI 中 CorePac3 清除
10	NMI2	NMI 中 CorePac2 清除
9	NMI1	NMI 中 CorePac1 清除
8	NMI0	NMI 中 CorePac0 清除
7	LR7	本地复位中 CorePac7 清除
6	LR6	本地复位中 CorePac6 清除

表-8 LRESETNMI 引脚状态清除寄存器(LRSTNMIPINSTAT_CLR)域描述(表 2/2)

位	域	描述
5	LR5	本地复位中 CorePac5 清除
4	LR4	本地复位中 CorePac4 清除
3	LR3	本地复位中 CorePac3 清除
2	LR2	本地复位中 CorePac2 清除
1	LR1	本地复位中 CorePac1 清除
0	LR0	本地复位中 CorePac0 清除
表 3-8 结束		

3.3.8 复位状态寄存器 (RESET_STAT)

复位状态寄存器 (RESET_STAT) 捕获每个内核的本地复位(LRx) 状态以及全局设备复位 (GR) 状态。如果需要的话, 软件可以利用这些信息来执行不同设备设备的初始化步骤。

- **本地复位情形:**LRx 位 写入 1 值, GR 位 写入 0 值, 仅当 CorePac 接收到一个本地复位而没有接收到全局复位.
- **全局复位情形:**LRx 位 写入 0 值, GR 位 写入 1 值, 仅当全局复位位置位.

复位状态寄存器的相关信息见[图 3-7](#) 与 [表 3-9](#).

图 3-7 复位状态寄存器 (RESET_STAT)

31		30		8		7	6	5	4	3	2	1	0
GR		保留				LR7	LR6	LR5	LR4	LR3	LR2	LR1	LR0
R-1		R-000000000000000000000000				R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

标注: R = 只读; -n = 复位后的值

表 3-9 复位状态寄存器 (RESET_STAT) 域描述

位	域	描述
31	GR	全局复位状态 0 = 设备未接收到全局复位. 1 = 设备接收到全局复位.
30-8	保留	保留
7	LR7	CorePac7 复位状态 0 = CorePac7 未接收到本地复位. 1 = CorePac7 接收到本地复位.
6	LR6	CorePac6 复位状态 0 = CorePac6 未接收到本地复位. 1 = CorePac6 接收到本地复位.
5	LR5	CorePac5 复位状态 0 = CorePac5 未接收到本地复位 1 = CorePac5 接收到本地复位.
4	LR4	CorePac4 复位状态 0 = CorePac4 未接收到本地复位. 1 = CorePac4 接收到本地复位.
3	LR3	CorePac3 复位状态 0 = CorePac3 未接收到本地复位 1 = CorePac3 接收到本地复位.
2	LR2	CorePac2 复位状态 0 = CorePac2 未接收到本地复位. 1 = CorePac2 接收到本地复位.
1	LR1	CorePac1 复位状态 0 = CorePac1 未接收到本地复位. 1 = CorePac1 接收到本地复位.
0	LR0	CorePac0 复位状态 0 = CorePac0 未接收到本地复位. 1 = CorePac0 接收到本地复位.
表 3-9 结束		

3.3.9 复位状态清除寄存器(RESET_STAT_CLR)

复位_STAT位可以被清除通过向 RESET_STAT_CLR 寄存器中的相应位写 1。复位状态清除寄存器的相关信息见 图3-8 与表3-10。

图 3-8 复位状态清除寄存器 (RESET_STAT_CLR)

31	30	8	7	6	5	4	3	2	1	0				
GR	保留						LR7	LR6	LR5	LR4	LR3	LR2	LR1	LR0
RW-0	R - 000 0000 0000 0000 0000 0000						RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表3-10 复位状态清除寄存器 (RESET_STAT_CLR)域描述

位	域	描述
31	GR	全局复位清除位 0 = 写入 0 值没有效果. 1 = 向 GR 位写 1 清除 RESET_STAT 寄存器中的相应位.
30-8	保留	保留.
7	LR7	CorePac7 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR3 位写 1 清除 RESET_STAT 寄存器中的相应位
6	LR6	CorePac6 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR3 位写 1 清除 RESET_STAT 寄存器中的相应位
5	LR5	CorePac5 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR3 位写 1 清除 RESET_STAT 寄存器中的相应位
4	LR4	CorePac4 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR3 位写 1 清除 RESET_STAT 寄存器中的相应位
3	LR3	CorePac3 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR3 位写 1 清除 RESET_STAT 寄存器中的相应位
2	LR2	CorePac2 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR2 位写 1 清除 RESET_STAT 寄存器中的相应位
1	LR1	CorePac1 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR1 位写 1 清除 RESET_STAT 寄存器中的相应位
0	LR0	CorePac0 复位清除位 0 = 写入 0 值没有效果. 1 = 向 LR0 位写 1 清除 RESET_STAT 寄存器中的相应位
表 3-10 结束		

3.3.10 引导完成寄存器 (BOOTCOMPLETE)

引导完成寄存器控制 **BOOTCOMPLETE** 引脚状态。目的是用于指示 ROM 引导进程完毕。引导完成寄存器的相关信息见 [图 3-9](#) 与 [表 3-11](#)。

图 3-9 引导完成寄存器 (BOOTCOMPLETE)

31	8	7	6	5	4	3	2	1	0
保留		BC7	BC6	BC5	BC4	BC3	BC2	BC1	BC0
R-0000 0000 0000 0000 0000 0000		RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0	RW-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-11 引导完成寄存器 (BOOTCOMPLETE) 域描述

位	域	描述
31-8	保留	保留。
7	BC7	CorePac7 引导状态 0 = CorePac7 引导未完成 1 = CorePac7 引导完成
6	BC6	CorePac6 引导状态 0 = CorePac6 引导未完成 1 = CorePac6 引导完成
5	BC5	CorePac5 引导状态 0 = CorePac5 引导未完成 1 = CorePac5 引导完成
4	BC4	CorePac4 引导状态 0 = CorePac4 引导未完成 1 = CorePac4 引导完成
3	BC3	CorePac3 引导状态 0 = CorePac3 引导未完成 1 = CorePac3 引导完成
2	BC2	CorePac2 引导状态 0 = CorePac2 引导未完成 1 = CorePac2 引导完成
1	BC1	CorePac1 引导状态 0 = CorePac1 引导未完成 1 = CorePac1 引导完成
0	BC0	CorePac0 引导状态 0 = CorePac0 引导未完成 1 = CorePac0 引导完成

表 3-11 结束

BCx 位指示了相应内核的引导完成状态。所有 BCx 位将成为黏着位 — 即是它们可以在设备复位之后通过软件仅一次被置位并且将在所有设备复位时清零。

引导 ROM 代码将会完成，因此每个内核将会立即在分支执行内存的预定义位置之前置位相应的 BCx 位。

3.3.11 电源状态控制寄存器(PWRSTATECTL)

PWRSTATECTL 寄存器由软件控制来指示功耗节约模式。ROM 代码读取这个寄存器，从而在多个节能模式之间进行区分。此寄存器仅通过 POR 进行清除，并且不会受所有其他设备复位的影响。参看 *KeyStone I 设备硬件设计指南* “德州仪器相关文档” 页 72 来获取更多信息。电源状态控制寄存器的相关信息见图 3-10 和表 3-12。

图 3-10 电源状态控制寄存器 (PWRSTATECTL)

31	3	2	1	0
GENERAL_PURPOSE			休眠_MODE	STANDBY
RW-0000 0000 0000 0000 0000 0000 0000 0			RW-0	RW-0

标注: RW = 读/写; -n = 复位后的值

表 3-12 电源状态控制寄存器 (ATECTL) 域描述

位	域	描述
31-3	GENERAL_PURPOSE	用于提供一个起始地址来执行退出休眠模式。参看 <i>KeyStone 设备 DSP 引导加载器用户指南</i> “德州仪器相关文档” 页 72。
2	休眠_MODE	指示设备是否处于休眠模式1或模式2。 0 = 休眠模式 1 = 休眠模式 2
1	休眠	指示设备是否处于休眠模式。 0 = 未处于休眠模式 1 = 休眠模式
0	STANDBY	指示设备是否处于备用模式。 0 = 未处于备用模式 1 = 备用模式

表 3-12 结束

3.3.12 NMI 事件产生至CorePac 寄存器(NMIGRx)

NMIGRx 寄存器用于产生 NMI 事件至相应的 CorePac。C6678 有 8 个 NMIGRx 寄存器 (NMIGR0 到 NMIGR7)。NMIGR0 寄存器产生一个 NMI 事件至 CorePac0，NMIGR1 寄存器产生一个 NMI 事件至 CorePac1，以此类推。写 1 至 NMIG 域 产生一个 NMI 脉冲，写 0 无效果，并且读操作将返回 0 而且无其他效果。NMI 事件产生至 CorePac 寄存器的相关信息见 图 3-11 和表 3-13。

图 3-11 NMI 产生寄存器 (NMIGRx)

31	1	0
保留		NMIG
R-0000 0000 0000 0000 0000 0000 0000 000		RW-0

标注: RW = 读/写; -n = 复位后的值

表 3-13 NMI 产生寄存器(NMIGRx) 域描述

位	域	描述
31-1	保留	保留
0	NMIG	NMI 脉冲产生 读操作返回 0 写操作 0 = 无效 1 = 产生 NMI 脉冲至相应的 CorePac — CorePac0 对应 NMIGR0, 等等.

表 3-13 结束

3.3.13 IPC 产生寄存器 (IPCGRx)

IPCGRx 为 IPC 中断产生 寄存器用于产生内部 CorePac 中断。

C6678 有 8 个 IPCGRx 寄存器 (IPCGR0 至 IPCGR7)。这些寄存器可以被用于外部主机或 CorePacs 来向其他 CorePacs 产生中断。写 1 操作至 IPCG 域 of IPCGRx 寄存器 将产生中断脉冲到 CorePacx (0 ≤ x ≤ 7)。

这些寄存器同样提供了一个资源 ID，用于最多可识别来自 28 个不同来源的中断。至来源处理器的来源 位的分配和其含义整个都基于软件要求。下表为相应的寄存器域描述。虚拟层面上任何都可以作为这些寄存器的来源就像完全由软件进行控制。任何访问 BOOTCFG 单元空间的主机可以向这些 寄存器进行写操作。IPC 产生寄存器的相关信息见 图 3-12 和 表 3-14。

图 3-12 IPC 产生 (IPCGRx) 寄存器

31	30	29	28	27	8	7	6	5	4	3	1	0
SRCS27	SRCS26	SRCS25	SRCS24	SRCS23 – SRCS4		SRCS3	SRCS2	SRCS1	SRCS0	保留		IPCG
RW-0	RW-0	RW-0	RW-0	RW-0 (每位域)		RW-0	RW-0	RW-0	RW-0	R-000		RW-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-14 IPC 产生寄存器(IPCGRx) 域描述

位	域	描述
31-4	SRCSx	中断来源指示 读返回内部寄存器位的当前值. 写操作: 0 = 无效果 1 = 置位 SRCSx 和相应的 SRCCx.
3-1	保留	保留
0	IPCG	内部 DSP 中断产生. 读操作返回 0 写操作: 0 = 无效 1 = 产生一个内部 DSP 中断.

表 3-14 结束

3.3.14 IPC 识别寄存器(IPCARx)

IPCARx 为 IPC 中断识别寄存器，用以产生内部 CorePac 内核中断。

C6678 有 8 个 IPCARx 寄存器 (IPCAR0 到 IPCAR7)。这些寄存器同样提供了一个资源 ID，用于最多可识别来自 28 个不同来源的中断。至来源处理器的来源位的分配和其含义整个都基于软件要求。下表为寄存器域描述。虚拟层面上将任何都可以作为这些寄存器的来源 就像完全由软件进行控制。任何访问 BOOTCFG 单元空间的主机可以向这些寄存器进行写操作。IPC 识别寄存器的相关信息见 图 3-13 和 表 3-15。

图 3-13 IPC 识别(IPCARx) 寄存器

31	30	29	28	27	8	7	6	5	4	3	0
SRCC27	SRCC26	SRCC25	SRCC24	SRCC23 –SRCC4		SRCC3	SRCC2	SRCC1	SRCC0	保留	
RW-0	RW-0	RW-0	RW-0	RW-0 (每位域)		RW-0	RW-0	RW-0	RW-0	R-0000	

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-15 IPC 识别寄存器(IPCARx) 域描述

位	域	描述
31-4	SRCCx	中断来源识别 读返回内部寄存器 位的当前值. 写操作: 0 = 无效果 1 =清除 SRCCx 和相应的 SRCSx
3-0	保留	保留

表 3-15 结束

3.3.15 IPC 产生主机寄存器 (IPCGRH)

IPCGRH 寄存器产生中断至外部主机。IPCGRH 寄存器的操作和使用 与其他 IPCGR 寄存器相同。中断输出脉冲由 IPCGRH 寄存器产生在设备引脚HOUT。

主机中断输出脉冲延长以产生 4 个引导配置时钟(CPU/6)周期，这伴随在 4 个引导配置时钟周期的取消之后。脉冲的产生将导致一个 8 个 CPU/6-周期长度的脉冲阻塞窗口。向带有 IPCG 位 (位 0)的 IPCRGH 寄存器背对背写操作置位，仅产生一个脉冲--如果背对背写操作写入 IPCGRH 小于 8 个 CPU/6 周期窗口 – 脉冲阻塞窗口。为了产生背对背脉冲，背对背写操作写入 IPCGRH 寄存器必须大于 CPU/6 周期窗口。IPC 产生主机寄存器的相关信息见 图 3-14 和 表 3-16。

图 3-14 IPC 产生(IPCGRH) 寄存器

31	30	29	28	27	8	7	6	5	4	3	1	0
SRCS27	SRCS26	SRCS25	SRCS24	SRCS23 –SRCS4		SRCS3	SRCS2	SRCS1	SRCS0	保留		IPCG
RW-0	RW-0	RW-0	RW-0	RW-0 (每位域)		RW-0	RW-0	RW-0	RW-0	R-000		RW-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-16 IPC 产生寄存器(IPCGRH)域描述

位	域	描述
31-4	SRCSx	中断来源指示. 读返回内部寄存器 位的当前值. 写操作: 0 = 无效果 1 = 置位 SRCSx 和相应的 SRCCx.
3-1	保留	保留
0	IPCG	主机中断产生. 读操作返回 0. 写操作: 0 = 无效果 1 = 产生一个中断脉冲 在设备引脚 (主机中断/事件输出于 HOUT 引脚)
表 3-16 结束		

3.3.16 IPC 识别主机寄存器(IPCARH)

IPCARH 寄存器提供用于产生 DSP 中断。IPCARH 的操作和使用 与其他 IPCAR 寄存器相似。IPC 识别主机寄存器的相关信息见 图 3-15 和 表 3-17。

图 3-15 IPC 识别寄存器 (IPCARH)

31	30	29	28	27	8	7	6	5	4	3	0
SRCC27	SRCC26	SRCC25	SRCC24	SRCC23 – SRCC4		SRCC3	SRCC2	SRCC1	SRCC0	保留	
RW-0	RW-0	RW-0	RW-0	RW-0 (每位域)		RW-0	RW-0	RW-0	RW-0	R-0000	

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-17 IPC 识别寄存器(IPCARH)域描述

位	域	描述
31-4	SRCCx	中断来源识别 读返回内部寄存器 位的当前值. 写操作: 0 = 无效果 1 = 清除 SRCCx 和相应 SRCSx
3-0	保留	保留
表 3-17 结束		

3.3.17 定时器输入选择寄存器 (TINPSEL)

定时器输入选择由控制寄存器 TINPSEL 处理。定时器输入选择寄存器的相关信息见 [图 3-16](#) 和 [表 3-18](#)

图 3-16 定时器输入选择寄存器 (TINPSEL)

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
TINPH SEL15	TINPL SEL15	TINPH SEL14	TINPL SEL14	TINPH SEL13	TINPL SEL13	TINPH SEL12	TINPL SEL12	TINPH SEL11	TINPL SEL11	TINPH SEL10	TINPL SEL10	TINPH SEL9	TINPL SEL9	TINPH SEL8	TINPL SEL8
RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-1	RW-1	RW-0
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TINPH SEL7	TINPL SEL7	TINPH SEL6	TINPL SEL6	TINPH SEL5	TINPL SEL5	TINPH SEL4	TINPL SEL4	TINPH SEL3	TINPL SEL3	TINPH SEL2	TINPL SEL2	TINPH SEL1	TINPL SEL1	TINPH SEL0	TINPL SEL0
RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-0	RW-1	RW-1	RW-1	RW-0

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-18 定时器输入选择域描述 (TINPSEL) (表 1/3)

位	域	描述
31	TINPHSEL15	输入选择定时器 15 高. 0 = TIMI0 1 = TIMI1
30	TINPLSEL15	输入选择定时器 15 低. 0 = TIMI0 1 = TIMI1
29	TINPHSEL14	输入选择定时器 14 高. 0 = TIMI0 1 = TIMI1
28	TINPLSEL14	输入选择定时器 14 低. 0 = TIMI0 1 = TIMI1
27	TINPHSEL13	输入选择定时器 13 高. 0 = TIMI0 1 = TIMI1
26	TINPLSEL13	输入选择定时器 13 低. 0 = TIMI0 1 = TIMI1
25	TINPHSEL12	输入选择定时器 12 高. 0 = TIMI0 1 = TIMI1
24	TINPLSEL12	输入选择定时器 12 低. 0 = TIMI0 1 = TIMI1
23	TINPHSEL11	输入选择定时器 11 高. 0 = TIMI0 1 = TIMI1
22	TINPLSEL11	输入选择定时器 11 低. 0 = TIMI0 1 = TIMI1
21	TINPHSEL10	输入选择定时器 10 高. 0 = TIMI0 1 = TIMI1

表 3-18 定时器输入选择域描述(TINPSEL)(表 2/3)

位	域	描述
20	TINPLSEL10	输入选择 定时器 10 低. 0 = TIM10 1 = TIM11
19	TINPHSEL9	输入选择 定时器 9 高. 0 = TIM10 1 = TIM11
18	TINPLSEL9	输入选择 定时器 9 低. 0 = TIM10 1 = TIM11
17	TINPHSEL8	输入选择 定时器 8 高. 0 = TIM10 1 = TIM11
16	TINPLSEL8	输入选择 定时器 8 低. 0 = TIM10 1 = TIM11
15	TINPHSEL7	输入选择 定时器 7 高. 0 = TIM10 1 = TIM11
14	TINPLSEL7	输入选择 定时器 7 低. 0 = TIM10 1 = TIM11
13	TINPHSEL6	输入选择 定时器 6 高. 0 = TIM10 1 = TIM11
12	TINPLSEL6	输入选择 定时器 6 低. 0 = TIM10 1 = TIM11
11	TINPHSEL5	输入选择 定时器 5 高. 0 = TIM10 1 = TIM11
10	TINPLSEL5	输入选择 定时器 5 低. 0 = TIM10 1 = TIM11
9	TINPHSEL4	输入选择 定时器 4 高. 0 = TIM10 1 = TIM11
8	TINPLSEL4	输入选择 定时器 4 低. 0 = TIM10 1 = TIM11
7	TINPHSEL3	输入选择 定时器 3 高. 0 = TIM10 1 = TIM11
6	TINPLSEL3	输入选择 定时器 3 低. 0 = TIM10 1 = TIM11
5	TINPHSEL2	输入选择 定时器 2 高. 0 = TIM10 1 = TIM11
4	TINPLSEL2	输入选择 定时器 2 低. 0 = TIM10 1 = TIM11

表 3-18 定时器输入选择域描述(TINPSEL)(表 3/3)

位	域	描述
3	TINPHSEL1	输入选择 定时器 1 高. 0 = TIM10 1 = TIM11
2	TINPLSEL1	输入选择 定时器 1 低. 0 = TIM10 1 = TIM11
1	TINPHSEL0	输入选择 定时器 0 高. 0 = TIM10 1 = TIM11
0	TINPLSEL0	输入选择 定时器 0 低. 0 = TIM10 1 = TIM11
表 3-18 结束		

3.3.18 定时器输出选择寄存器 (TOUTPSEL)

定时器输出选择由控制寄存器 TOUTSEL 处理。定时器输出选择寄存器的相关信息见 图 3-17 和 表 3-19。

图 3-17 定时器输出选择寄存器 (TOUTPSEL)

31	10	9	5	4	0
保留					TOUTPSEL0
R-000000000000000000000000					RW-00001

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-19 定时器输出选择寄存器 (TOUTPSEL) 域描述

位	域	描述
31-10	保留	保留
9-5	TOUTPSEL1	TIMO1 输出选择 00000: TOUTL0 10000: TOUTL8 00001: TOUTH0 10001: TOUTH8 00010: TOUTL1 10010: TOUTL9 00011: TOUTH1 10011: TOUTH9 00100: TOUTL2 10100: TOUTL10 00101: TOUTH2 10101: TOUTH10 00110: TOUTL3 10110: TOUTL11 00111: TOUTH3 10111: TOUTH11 01000: TOUTL4 11000: TOUTL12 01001: TOUTH4 11001: TOUTH12 01010: TOUTL5 11010: TOUTL13 01011: TOUTH5 11011: TOUTH13 01100: TOUTL6 11100: TOUTL14 01101: TOUTH6 11101: TOUTH14 01110: TOUTL7 11110: TOUTL15 01111: TOUTH7 11111: TOUTH15
4-0	TOUTPSEL0	TIMO0 输出选择 00000: TOUTL0 10000: TOUTL8 00001: TOUTH0 10001: TOUTH8 00010: TOUTL1 10010: TOUTL9 00011: TOUTH1 10011: TOUTH9 00100: TOUTL2 10100: TOUTL10 00101: TOUTH2 10101: TOUTH10 00110: TOUTL3 10110: TOUTL11 00111: TOUTH3 10111: TOUTH11 01000: TOUTL4 11000: TOUTL12 01001: TOUTH4 11001: TOUTH12 01010: TOUTL5 11010: TOUTL13 01011: TOUTH5 11011: TOUTH13 01100: TOUTL6 11100: TOUTL14 01101: TOUTH6 11101: TOUTH14 01110: TOUTL7 11110: TOUTL15 01111: TOUTH7 11111: TOUTH15

表 3-19 结束

3.3.19 复位多路选择寄存器(RSTMUXx)

软件控制复位多路模块通过复位多路选择寄存器使用在 C6678 上 8 个 CorePacs 中的每一个 RSTMUX0 到 RSTMUX7。这些寄存器位于引导配置内存空间。复位多路选择寄存器的相关信息见 图 3-18 和 表 3-20。

图 3-18 复位多路选择寄存器(RSTMUXx)

31	10	9	8	7	5	4	3	1	0
保留		EVTSTATCLR	保留	延迟	EVTSTAT	OMODE	LOCK		
R-0000 0000 0000 0000 0000 00		RC-0	R-0	RW-100	R-0	RW-000	RW-0		

标注: R = 只读; RW = 读/写; -n = 复位后的值; RC = 只读 and 写 1 to 清除

表 3-20 复位多路选择寄存器 (RSTMUXx) 域描述

位	域	描述
31-10	保留	保留
9	EVTSTATCLR	清除事件状态 0 = 写 0 没有效果 1 = 写 1 到此位则清除 EVTSTAT 位
8	保留	保留
7-5	延迟	在 NMI 与本地复位之间的延迟周期 000b = 256 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b 时 001b = 512 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b 时 010b = 1024 CPU/6 在 NMI 与本地复位之间的延迟周期, 当模式 = 100b 时 011b = 2048 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b 时 100b = 4096 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b (默认) 时 101b = 8192 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b 时 110b = 16384 CPU/6 在 NMI 与本地复位之间的延迟周期, 当 O 模式 = 100b 时 111b = 32768 CPU/6 在 NMI 与本地复位之间的延迟周期 t, 当 O 模式 = 100b 时
4	EVTSTAT	事件状态 0 = 无事件接收 (默认) 1 = 由复位多路选择模块接收的 WD 定时器事件
3-1	OMODE	定时器事件操作模式 000b = WD 定时器事件输入至复位多路选择模块不导致任何输出事件(默认) 001b = 保留 010b = WD 定时器事件输入至复位多路选择模块导致本地复位输入至 CorePac 011b = WD 定时器事件输入至复位多路选择模块导致 NMI 输入至 CorePac 100b = WD 定时器事件输入至复位多路选择模块导致 NMI 输入在本地复位输入至 CorePac 之后, 在 NMI 和本地复位输入之间的延迟由 延迟 位域设定。 101b = WD 定时器事件输入至复位多路选择模块导致设备复位至 C6678 110b = 保留 111b = 保留
0	LOCK	锁定寄存器域 0 = 寄存器 域未锁定 (默认) 1 = 寄存器 域锁定直到下一个定时器复位

表 3-20 结束

3.3.20 DSP 暂停控制寄存器 (DSP_SUSP_CTL)

DSP 暂停控制寄存器控制仿真暂停信号来自 DSP 内核。DSP 暂停控制寄存器的相关信息见 [图 3-19](#) 和 [表 3-21](#)。

图 3-19 DSP 暂停控制寄存器 (DSP_SUSP_CTL)

31	30	0
DSP_SUSP_CTL	保留	
R/W-0	R-0	

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-21 DSP 暂停控制寄存器 (DSP_SUSP_CTL) 域描述

位	域	描述
31	DSP_SUSP_CTL	控制来自 DSP 内核仿真暂停混合信号。 0 = AND 来自所有 DSP 内核暂停信号 1 = OR 来自所有 DSP 内核暂停信号
30-0	保留	保留. 只读

表 3-21 结束

3.3.21 设备速度寄存器 (DEV RATE)

设备速度寄存器描述了设备速度等级.下述为设备速度寄存器.

图 3-20 设备速度寄存器 (DEV RATE)

31	23	22	0
DEV RATE		保留	
R-n		R-n	

标注: R = 只读; RW = 读/写; -n = 复位后的值

表 3-22 设备速度寄存器 (DEV RATE) 域描述

位	域	描述
31-23	DEV 速度	指示设备速度 (只读) 0000 0000 0b = 800 MHz 0000 0000 1b = 1000 MHz 0000 0001 xb = 1200 MHz 0000 001x xb = 1250 MHz 0000 01xx xb = 1400 MHz 0000 1xxx xb = 1400 MHz 0001 xxxx xb = 1250 MHz 001x xxxx xb = 1200 MHz 01xx xxxx xb = 1000 MHz 1xxx xxxx xb = 800 MHz
22-0	保留	保留. 只读

表 3-22 结束

3.3.22 芯片通用控制寄存器 (CHIP_MISC_CTL)

下列为芯片通用控制寄存器.

图 3-21 芯片通用控制寄存器 (CHIP_MISC_CTL)

31	13	12	11	3	2	0
保留		MSMC_BLOCK_PARITY_RST	保留		QM_PRIORITY	
R/W-00000000000000000000		RW-0	R/W-001000011		RW-000	

标注: R = 只读; R/W = 读/写; -n = 复位后的值

表 3-23 芯片通用控制寄存器 (CHIP_MISC_CTL) 域描述

位	域	描述
31-13	保留	保留.
12	MSMC_BLOCK_PARITY_RST	控制 MSMC 奇偶校验 RAM 复位。当置 1 时, 意味着 MSMC 奇偶校验 RAM 将不会复位。
11-3	保留	保留.
2-0	QM_PRIORITY	控制从 QM 包 DMA 主机端口传输的优先级, 此处将访问外部连接 RAM。

表 3-23 结束

3.4 上拉/下拉电阻

合理的板级设计应当确保设备的输入引脚总是处于一个固定的逻辑电平并不发生大的上下浮动。这可能会通过上拉/下拉电阻实现。设备的大多数引脚都有内部上拉(IPU) 和内部下拉(IPD)电阻来消除额外添加的需求, 除非另外标注需要外部上拉/下拉电阻。

一个外部上拉/下拉电阻必须在下述情形中使用:

- **设备配置引脚:** 如果引脚都布线在外并且没有被驱动 (在高阻状态), 则必须使用一个外部上拉/下拉电阻, 即使是 IPU/IPD 与所需要的值/状态相匹配。
- **其他输入引脚:** 如果 IPU/IPD 与所需要的值/状态不匹配, 使用一个外部上拉/下拉电阻 来拉动信号至相反的轨道。

对于设备 配置引脚 (列举于 [表 3-1](#)), 如果它们都布线在外并且没有被驱动 (在高阻状态), 则强烈推荐使用一个外部上拉/下拉电阻。即使, 内部上拉/下拉电阻存在于这些引脚, 并且它们可能匹配这些所需配置值, 提供外部连接可以帮助确保这些设备配置引脚上锁存了固定的逻辑电平。除此之外, 在设备配置引脚应用外部上拉/下拉电阻, 可以增加使用者在调试时的方便性和交换操作模式的灵活性。

选择外部上拉/下拉电阻的提示:

- 考虑可能通过上拉或下拉电阻的总电流。确保包含与电网络相连的所有设备的漏电流, 以及任何内部上拉或下拉电阻。
- 决定网络的目标值。对于一个下拉电阻, 应当低于所有连接至电网络输入的最低的 V_{IL} 电平。对于一个上拉电阻, 应当高于所有连接至电网络输入的最 V_{IH} 电平。一个合理的选择即是为限定设备的逻辑电平取值系列确定目标 V_{OL} 或 V_{OH} 电平, 也从定义上划定了 V_{IL} 和 V_{IH} 电平。
- 选择最大可能值的上拉/下拉电阻仍要确保当电网络上的所有设备的最大电流流过电阻时, 电网络将会达到目标拉取值。需考虑的电流应包括漏电流, 其他任何电网络中内部和外部上拉/下拉电阻。
- 对于双向网络, 需要额外考虑设置一个外部电阻阻值的最低限制。确保电阻足够小从而最弱的输出缓冲器可以驱动电网络至相反的逻辑电平 (包括边缘)。
- 当选择阻值是注意包括噪声容限。
- 对于上拉电阻, 注意包括 DV_{DD} 轨道的噪声容限。

对于大多数系统:

- 一个 1-k Ω 电阻可以用于反相 IPU/IPD 并满足上述标准。使用者应当确认此电阻值正确以满足他们特定的应用。
- A 20-k Ω 电阻可以在设备配置引脚用于辅助 IPU/IPD 并满足上述标准。使用者应当确认此电阻值正确, 以满足他们特定的应用。

关于 TMS320C6678 设备的输入电流 (I_I), 以及低电平/高电平输入电压 (V_{IL} 和 V_{IH}) 的更多细节信息, 参看 6.3 “电气特性” 页 118。

确认设备中的引脚是否包含内部上拉/下拉电阻, 参看表 2-26 “引脚功能—功能信号与控制” 页 44。

4 系统互连

TMS320C6678 设备之中，C66x CorePacs，EDMA3 传输控制器和系统外设通过 TeraNet 相互连接，无阻塞交换结构使能快速和自由内容的内部数据传输。TeraNet 允许在主机外设和从机外设之间低延迟、共发数据传输。TeraNet 同样允许在系统主机访问系统从机时的无缝裁决。

4.1 内部总线和交换结构

设备中含有两种总线类型：数据总线与配置总线。一些外设既含有数据总线也含有配置总线接口，其他则只含有一种类型接口。此外，不同外设的总线接口宽度与速度不同。配置总线主要用于操作外设的寄存器空间而数据总线主要用于数据传输。

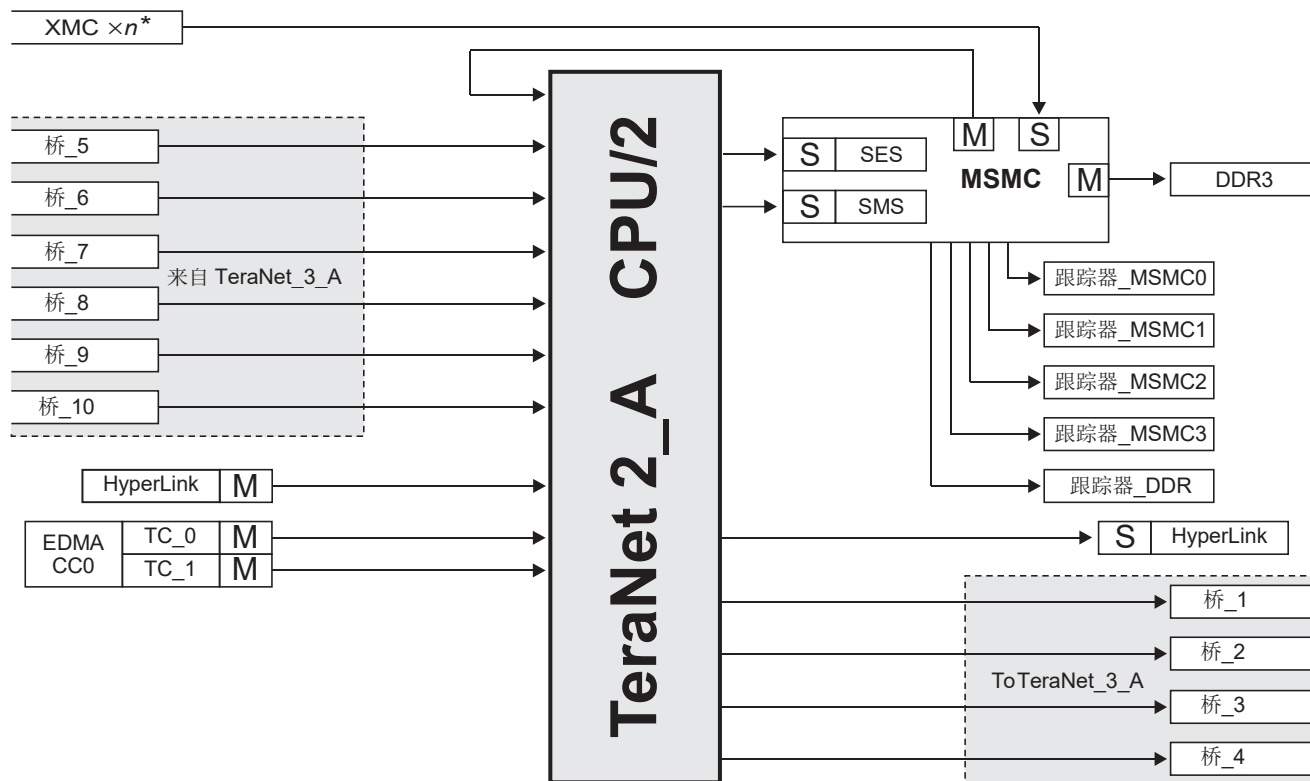
C66x CorePacs，EDMA3 流量控制器和多种系统外设可以被分为两类：主机类和从机类。主机能够初始化系统的读写传输并且不依赖于 EDMA3 的数据传输。从另一方面讲从机则依赖于主机来执行相互之间的传输。主机的实例则为 EDMA3 流量控制器，SRIO 和网络协处理器包 DMA。从机的实例则包括 SPI，UART 和 I²C。

设备中的主从机通过 TeraNet (交换结构)进行相互之间的通信。设备包含 2 个交换结构。数据交换结构 (数据 TeraNet) 和配置交换结构 (配置 TeraNet)。数据 TeraNet，是一个高吞吐量互联，主要用于系统的数据移动。数据 TeraNet 通过数据总线连接主机至从机。一些外设需要桥来连接至数据 TeraNet。配置 TeraNet，主要用于访问寄存器。配置 TeraNet 通过配置总线连接主机至从机。通过数据 TeraNet，许多外设需要桥来连接至配置 TeraNet 的接口。注意数据 TeraNet 同样连接至配置 TeraNet。更多细节信息参看 4.2“[交换结构连接](#)”。

4.2 交换结构连接

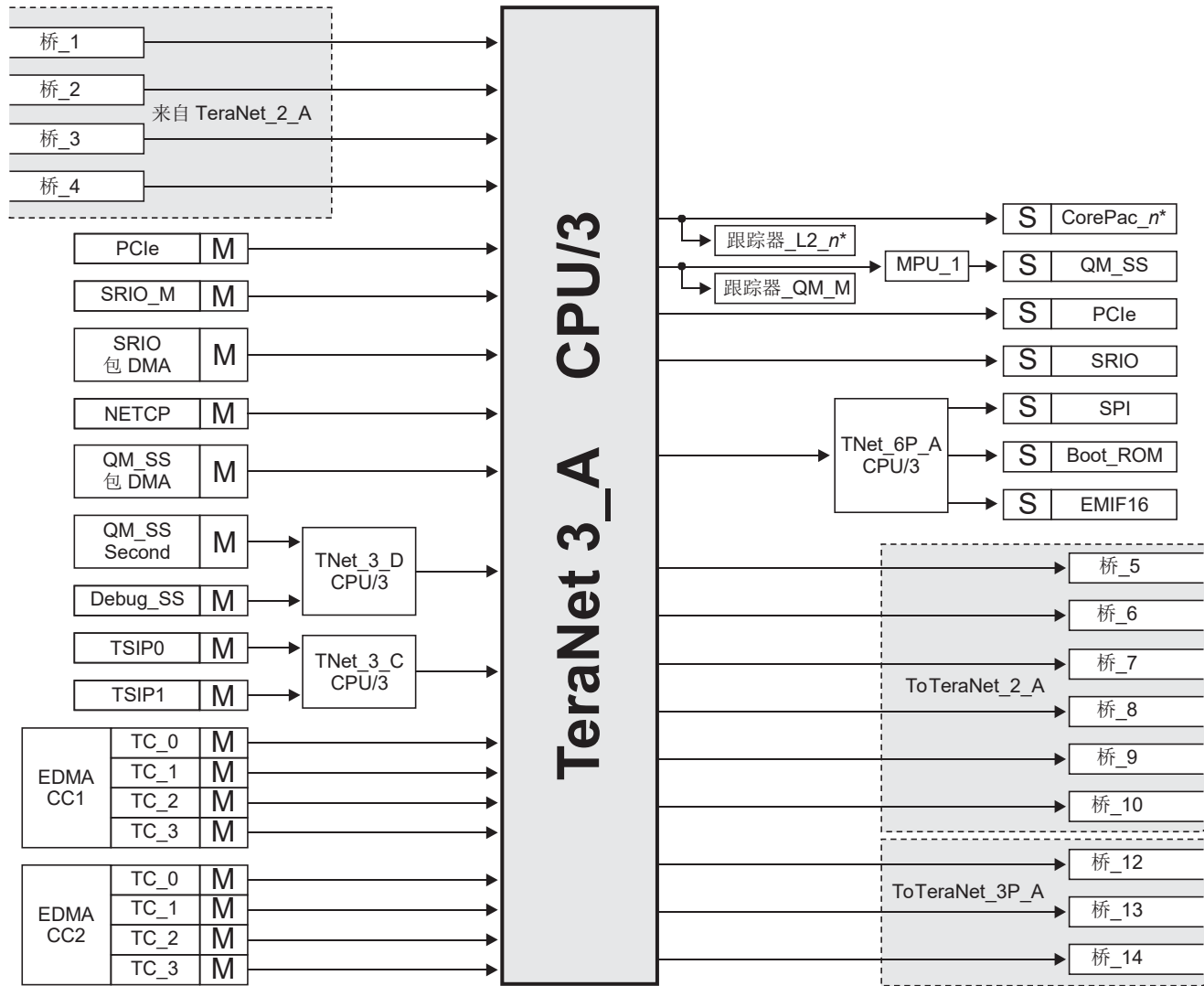
下图为 TeraNet2A 和 TeraNet3A 之间主机与从机之间的互连。

图 4-1 C6678 TeraNet 2A



* n 在具体的设备中的 CorePacs 此值会有变化.

图 4-2 C6678 TeraNet 3A



* n 在具体的设备中的 CorePacs 此值会有变化。

TeraNet2A 和 TeraNet3A 上的允许互连总结如下

相交单元必须包含下列之一:

- **Y** — 主从机之间的直接连接.
- **-** — 主从机之间无连接
- ***n*** — 数值指示主从机之间通过的桥 *n* 的路径.

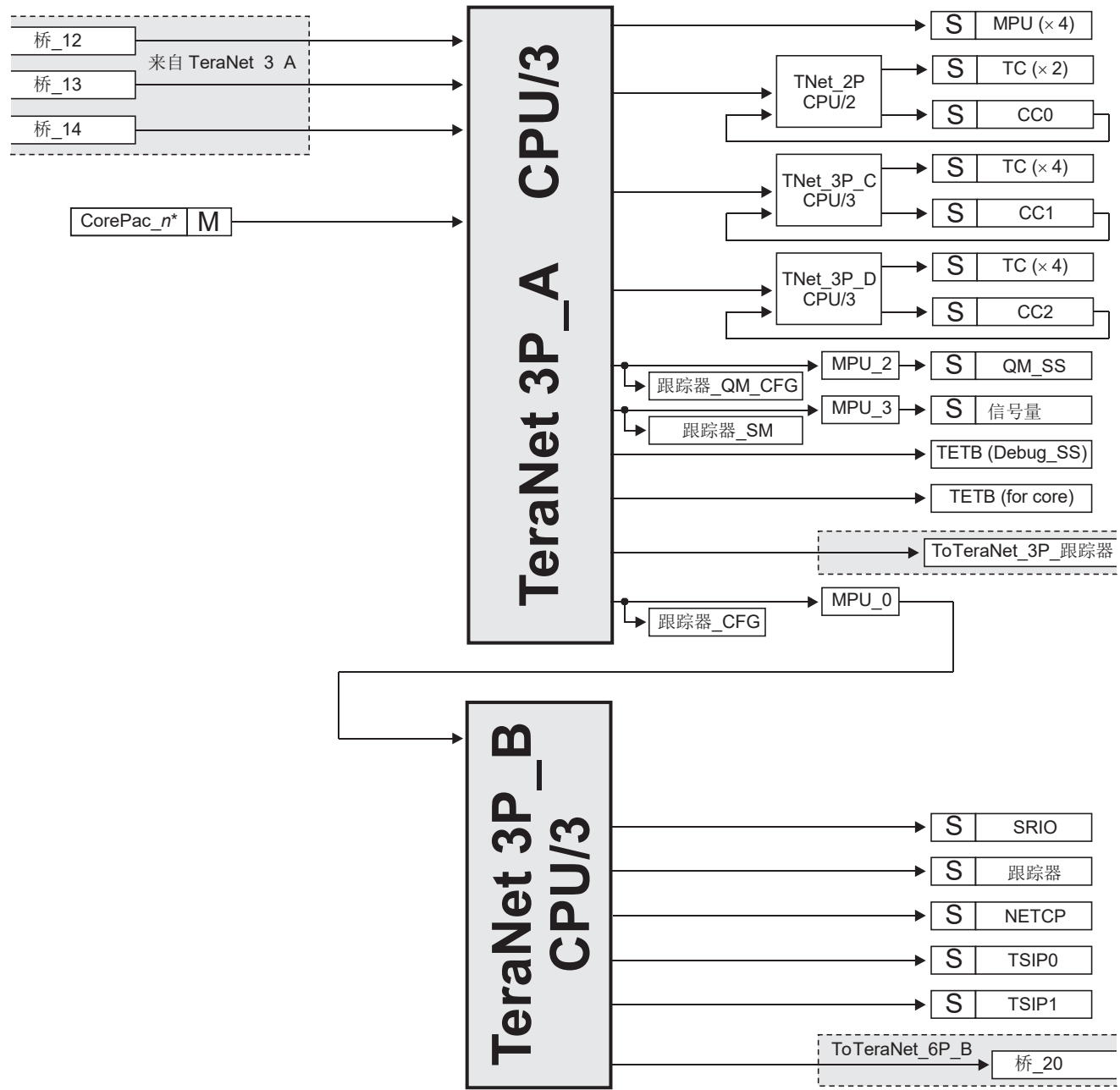
表 4-1 交换结构连接矩阵部分 1

主机	从机																
	HyperLink_从机	MSMC_SES	MSMC_SMS	CorePac0_SDMA	CorePac1_SDMA	CorePac2_SDMA	CorePac3_SDMA	CorePac4_SDMA	CorePac5_SDMA	CorePac6_SDMA	CorePac7_SDMA	SRIO_从机	Boot_ROM	SPI	EMIF16	pCie_从机	QM_从机
HyperLink_主机	-	Y	Y	1	1	1	1	1	1	1	1	1	1	1	1	1	1
EDMA3CC0_TC0_RD	Y	Y	Y	2	2	2	2	2	2	2	2	2	2	2	2	2	-
EDMA3CC0_TC0_WR	Y	Y	Y	2	2	2	2	2	2	2	2	2	-	2	2	2	-
EDMA3CC0_TC1_RD	Y	Y	Y	3	3	3	3	3	3	3	3	3	3	3	3	3	-
EDMA3CC0_TC1_WR	Y	Y	Y	3	3	3	3	3	3	3	3	3	-	3	3	3	-
EDMA3CC1_TC0_RD	5	5	5	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC1_TC0_WR	5	5	5	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
EDMA3CC1_TC1_RD	6	6	6	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
EDMA3CC1_TC1_WR	6	6	6	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	Y
EDMA3CC1_TC2_RD	7	7	7	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC1_TC2_WR	7	7	7	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
EDMA3CC1_TC3_RD	8	8	8	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC1_TC3_WR	8	8	8	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
EDMA3CC2_TC0_RD	9	9	9	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC2_TC0_WR	9	9	9	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
EDMA3CC2_TC1_RD	10	10	10	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
EDMA3CC2_TC1_WR	10	10	10	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	Y
EDMA3CC2_TC2_RD	5	5	5	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC2_TC2_WR	5	5	5	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
EDMA3CC2_TC3_RD	6	6	6	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	-
EDMA3CC2_TC3_WR	6	6	6	Y	Y	Y	Y	Y	Y	Y	Y	Y	-	Y	Y	Y	-
SRIO_包 DMA	-	9	9	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	Y	-	Y
SRIO_主机	9	9	9	Y	Y	Y	Y	Y	Y	Y	Y	-	-	Y	Y	-	Y
PCIe_主机	7	7	7	Y	Y	Y	Y	Y	Y	Y	Y	-	-	Y	Y	-	Y
NETCP_包DMA	-	10	10	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-	-	Y
MSMC_数据_主机	Y	-	-	4	4	4	4	4	4	4	4	4	4	4	4	4	4
QM_包 DMA	8	8	8	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-	-	Y
QM_二级	8	8	8	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-	-	-
DebugSS_主机	10	10	10	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
TSIPO_主机	-	5	5	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-	-	-
TSIP1_主机	-	5	5	Y	Y	Y	Y	Y	Y	Y	Y	-	-	-	-	-	-
表 4-1 结束																	

表 4-1 结束

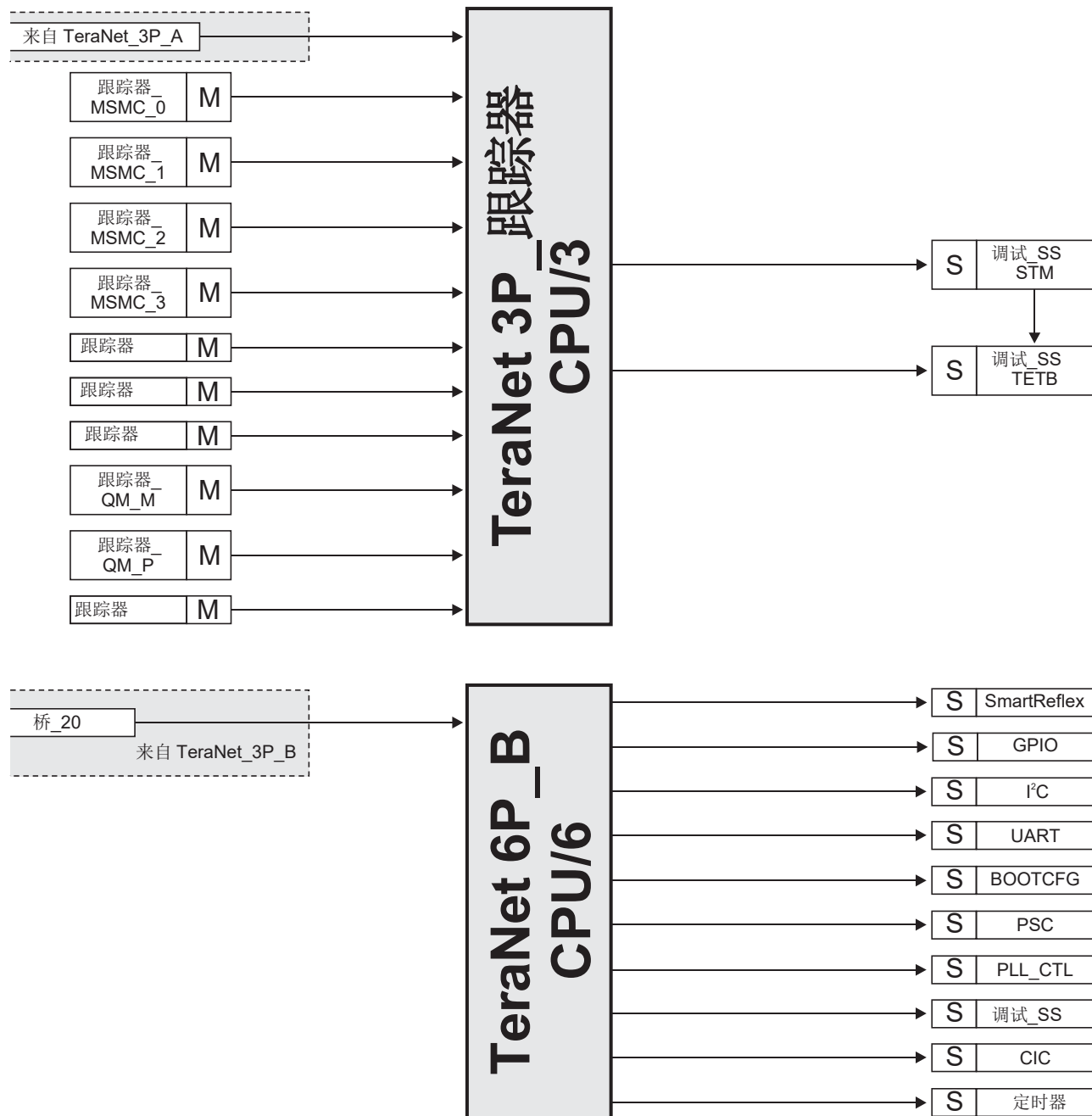
下图 TeraNet3P 和 TeraNet6P.之间的主从机互连

图 4-3 C6678 TeraNet3P_A&B



* n 在具体的设备中的 CorePacs 此值会有变化.

图 4-4 C6678 TeraNet 6P_B 与 3P_跟踪器



* n 在具体的设备中的 CorePacs 此值会有变化.

TeraNet3P 与 TeraNet6P 之间的允许互连总结如下

相交单元可能包含下列之一:

- **Y**— 主从机之间的直接连接.
- **-**— 主从机之间无连接
- ***n***— 数值指示主从机之间通过的桥 *n* 的路径.

表 4-2 交换结构互联矩阵部分 2 (表 1/2)

主机	从机															
	EDMA3CC0	EDMA3CC1	EDMA3CC2	EDMA3CC0_TC(0-1)	EDMA3CC1_TC(0-3)	EDMA3CC2_TC(0-3)	SRIO_CFG	NETCP_CFG	TSIP_CFG	QM_CFG	UART_CFG	Boot_CFG	PSC	PLL	CIC	定时器
HyperLink_主机	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12	1,12
EDMA3CC0_TC0_RD	2,12	2,12	2,12	2,12	2,12	2,12	-	-	-	-	-	-	-	-	-	-
EDMA3CC0_TC0_WR	2,12	2,12	2,12	2,12	2,12	2,12	-	-	-	-	-	-	-	-	-	-
EDMA3CC0_TC1_RD	3,12	3,12	3,12	3,12	3,12	3,12	-	-	-	-	-	-	-	-	-	-
EDMA3CC0_TC1_WR	3,12	3,12	3,12	3,12	3,12	3,12	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC0_RD	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC1_TC0_WR	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC1_TC1_RD	13	13	13	13	13	13	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC1_WR	13	13	13	13	13	13	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC2_RD	14	14	14	14	14	14	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC2_WR	14	14	14	14	14	14	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC3_RD	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC1_TC3_WR	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC2_TC0_RD	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC2_TC0_WR	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC2_TC1_RD	13	13	13	13	13	13	-	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC1_WR	13	13	13	13	13	13	-	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC2_RD	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC2_TC2_WR	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
EDMA3CC2_TC3_RD	14	14	14	14	14	14	-	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC3_WR	14	14	14	14	14	14	-	-	-	-	-	-	-	-	-	-
SRIO 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SRIO_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
PCIe_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
NETCP 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MSMC_数据_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
QM 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
QM 二级	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
调试 SS_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
TSIPO_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
TSIP1_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC0	-	-	-	Y	-	-	-	-	-	-	-	-	-	-	-	-

表 4-2 交换结构互连矩阵部分 2 (表 2 / 2)

主机	从机															
	EDMA3CC0	EDMA3CC1	EDMA3CC2	EDMA3CC0_TC(0-1)	EDMA3CC1_TC(0-3)	EDMA3CC2_TC(0-3)	SRIO_CFG	NETCP_CFG	TSIP_CFG	QM_CFG	UART_CFG	Boot_CFG	PSC	PLL	CIC	定时器
EDMA3CC1	-	-	-	-	Y	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC2	-	-	-	-	-	Y	-	-	-	-	-	-	-	-	-	-
CorePac0_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac1_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac2_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac3_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac4_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac5_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac6_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac7_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y

表 4-2 结束

表 4-3 交换结构互连矩阵部分 3 (表 1 / 2)

主机	从机															
	GPIO	I2C	信号量	SmartReflex	MPU	跟踪器	Debug_SS_CFG	TETB_系统	TETB0	TETB1	TETB2	TETB3	TETB4	TETB5	TETB6	TETB7
HyperLink_主机	1,12	1,12	1,12	1,12	1,12	1,12	1,12	-	-	-	-	-	-	-	-	-
EDMA3CC0_TC0_RD	-	-	-	-	-	-	-	2,12	-	-	-	-	2,12	2,12	-	-
EDMA3CC0_TC0_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC0_TC1_RD	-	-	-	-	-	-	-	3,12	-	-	-	-	3,12	3,12	-	-
EDMA3CC0_TC1_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC0_RD	12	12	12	12	12	12	12	12	-	-	-	-	12	12	-	-
EDMA3CC1_TC0_WR	12	12	12	12	12	12	12	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC1_RD	-	-	-	-	-	-	-	-	13	13	-	-	-	-	13	-
EDMA3CC1_TC1_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC2_RD	-	-	-	-	-	-	-	-	-	-	14	14	-	-	-	14
EDMA3CC1_TC2_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC1_TC3_RD	12	12	12	12	12	12	12	12	-	-	-	-	12	12	-	-
EDMA3CC1_TC3_WR	12	12	12	12	12	12	12	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC0_RD	12	12	12	12	12	12	12	12	-	-	-	-	12	12	-	-
EDMA3CC2_TC0_WR	12	12	12	12	12	12	12	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC1_RD	-	-	-	-	-	-	-	-	13	13	-	-	-	-	13	-
EDMA3CC2_TC1_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC2_TC2_RD	12	12	12	12	12	12	12	12	-	-	-	-	12	12	-	-
EDMA3CC2_TC2_WR	12	12	12	12	12	12	12	-	-	-	-	-	-	-	-	-

表 4-3 交换结构互连矩阵部分 3 (表 2/2)

主机	从机															
	GPIO	I2C	信号量	SmartReflex	MPU	跟踪器	Debug_SS_CFG	TETB_系统	TETB0	TETB1	TETB2	TETB3	TETB4	TETB5	TETB6	TETB7
EDMA3CC2_TC3_RD	-	-	-	-	-	-	-	-	-	-	14	14	-	-	-	14
EDMA3CC2_TC3_WR	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SRIO 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
SRIO_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
PCIe_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
NETCP 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
MSMC_数据_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
QM 包 DMA	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
QM 二级	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
调试 SS_主机	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12	12
TSIP0_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
TSIP1_主机	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC0	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC1	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
EDMA3CC2	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
CorePac0_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac1_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac2_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac3_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac4_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac5_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac6_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
CorePac7_CFG	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y	Y
表 4-3 结束																

4.3 总线优先级

所有主机外设流量的优先级别由 TeraNet 边界定义。用户可编程优先级寄存器允许软件通过 TeraNet 配置数据流量。注意：低数值代表高优先级-PRI=000b=紧急，PRI=111b=低优先级。

所有其他主机直接提供他们的优先级并且不需要默认优先级设置。实例包括 CorePacs，其优先级通过 UMC 控制寄存器中的软件设置。所有的基于包-DMA 的外设同样有内部寄存器来定义它们初始传输的优先级别。

QM 包 DMA 主机端口没有 IP 中的优先级分配寄存器。此主机端口的传输优先级别由 CHIP_MISC_CTL 寄存器 3.3.22 中的 QM_PRIORITY 位域决定。

对于所有其他单元, 参看相关用户指南在“德州仪器相关文档”页 72 的可编程优先级寄存器。

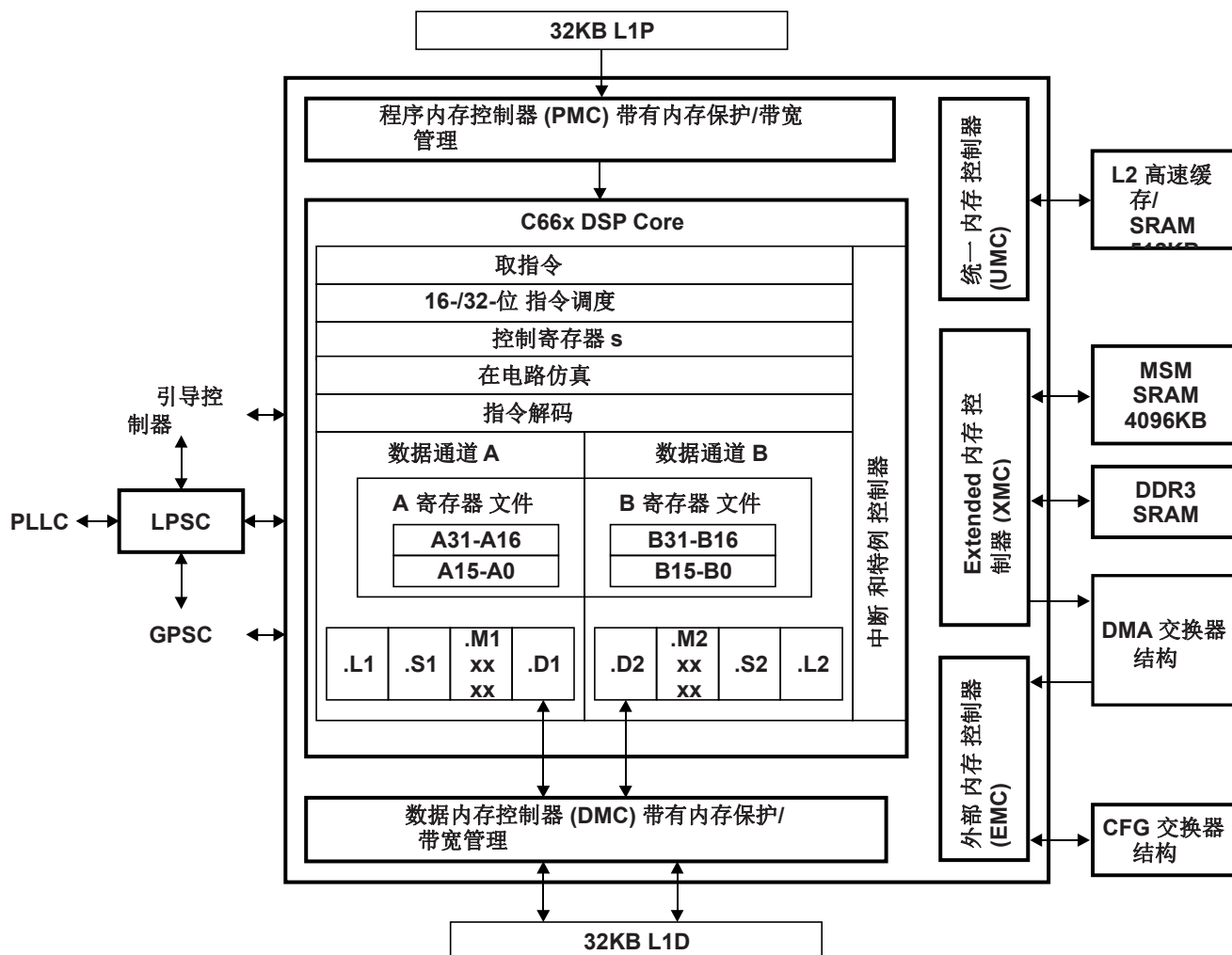
5 C66xCorePac

C66xCorePac包含多个元件:

- C66x DSP 和相应的 C66x CorePac 内核
- 一级和二级内存(L1P,L1D,L2)
- 数据跟踪固定程序(DTF)
- 嵌入式跟踪缓冲器(ETB)
- 中断控制器
- 掉电控制器
- 外部内存控制器
- 拓展内存控制器
- 一个相关上电/休眠控制器 (LPSC)

C66x CorePac 同样提供内存保护的支持,带宽管理(对位于 C66x CorePac 的资源)以及地址拓展。图 5-1 为 C66x CorePac 的模块图。

图 5-1 C66x CorePac 模块图



更多关于 C6678 设备的 TMS320C66x CorePac 的细节信息，参看 C66x DSP CorePac 用户指南在“德州仪器相关文档”页 72。

5.1 内存架构

TMS320C6678 设备的每个 C66x CorePac 包含一个 512KB 2 级内存 (L2)，一个 32KB 1 级程序内存 (L1P) 和一个 32KB 1 级数据内存 (L1D)。设备同样包括一个 4096KB 多核共享内存 (MSM)。C6678 的所有内存存在内存映射中有一个唯一的地址(参看 表 2-2 “内存映射总结” 页 17。

在设备复位之后, L1P 与 L1D 高速缓存配置作为所有的高速缓存, 默认条件下, L1P 与 L1D 高速缓存可以通过 C66x CorePac 的 L1P 配置寄存器 (L1PCFG) 的 L1P 模式域和 L1D 配置寄存器 (L1DCFG) L1D 模式域的软件重新配置。L1D 是一个双向集相连高速缓存, 而 L1P 是一个直接映射高速缓存。

片上引导加载器更改 L1P 和 L1D 复位配置。获取更多信息, 参看 *KeyStone 设备 DSP 引导加载器用户指南* “德州仪器相关文档” 页 72。

更多关于操作 L1 和 L2 高速缓存 s 的信息, 参看 *C66x DSP 高速缓存用户指南* 在 “德州仪器相关文档” 页 72。

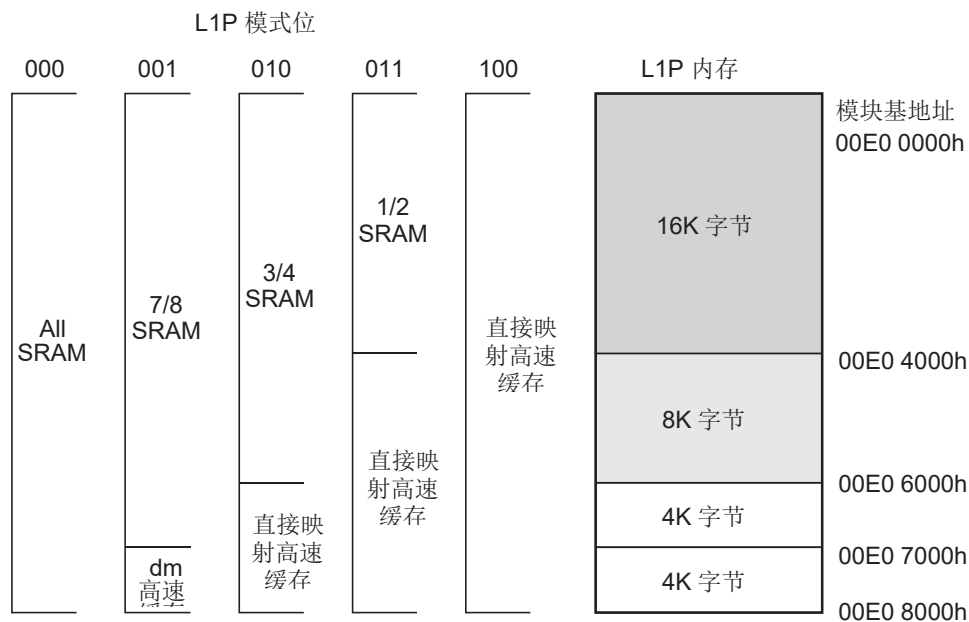
5.1.1 L1P 内存

下列为 C6678 设备 L1P 内存配置:

- 32K 字节无等待状态

图 5-2 为 L1P 的可行的 SRAM/高速缓存 配置。

图 5-2 L1P 内存配置



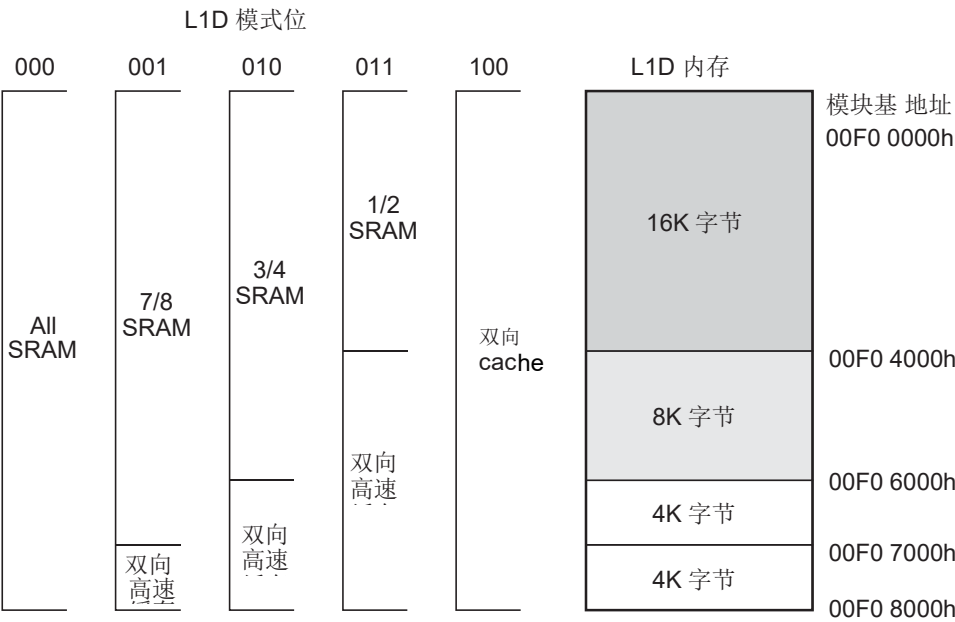
5.1.2 L1D 内存

下列为 C6678 设备的 L1D 内存配置:

- 32K 字节无等待状态

图 5-3 为 L1D 的可行的 SRAM/高速缓存 配置.

图 5-3 L1D 内存配置



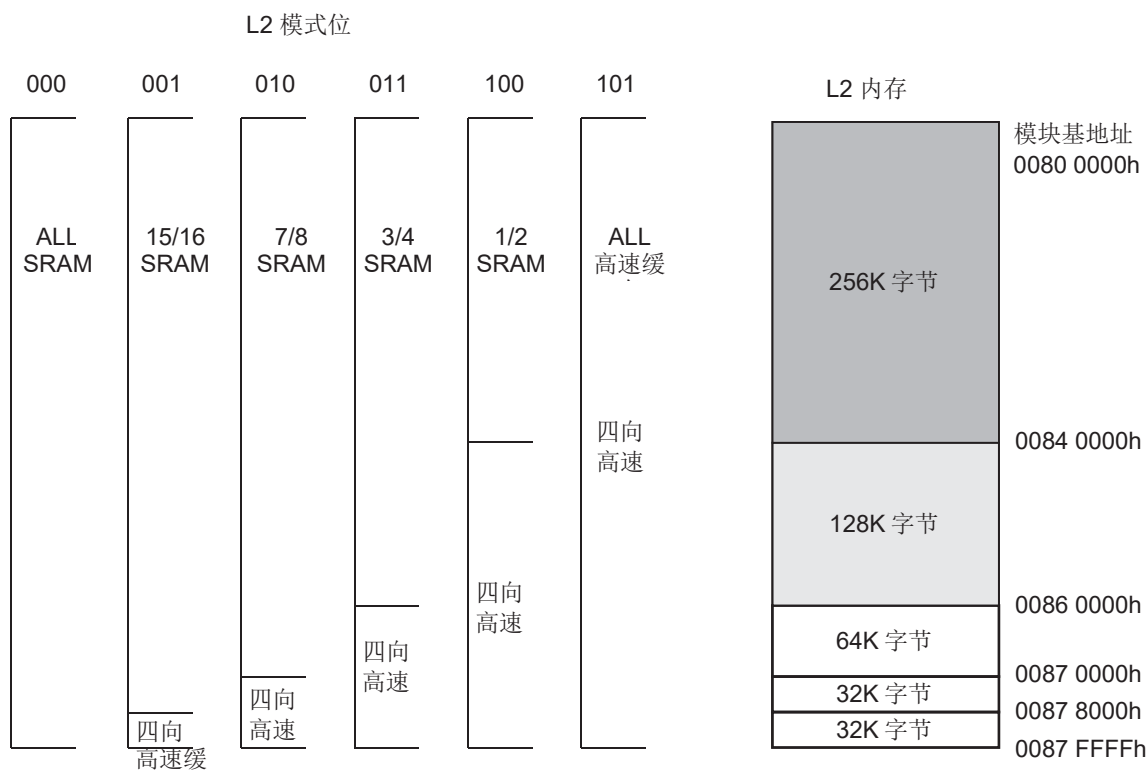
5.1.3 L2内存

下列为 C6678 设备的 L2 内存配置:

- 总内存大小为 4096KB
- 每个内核包含 512KB 内存
- 每个内核的本地起始地址为 0080 0000h

L2 内存可以被配置作为全部SRAM，四向集联 高速缓存或两个的混合。配置作为 高速缓存的 L2 内存的总大小通过 C66x CorePac 的 L2 配置 寄存器 (L2CFG) 的 L2 模式 域进行控制。图 5-4 为 L2 的合理的 SRAM/高速缓存 配置。默认条件下，在设备复位后，L2 配置作为全部 SRAM。

图 5-4 L2 内存配置



系统中的所有主机可访问全局地址。除此之外，相关的处理器可通过别名地址直接访问本地内存，在 8 位 MSB 掩膜为 0 处。别名在 C66x CorePac 中处理并允许普通代码无修改的运行在多个内核中。例如，地址定位 0x10800000 的是 C66x CorePac 内核 0 的 L2 内存的全局基地址。C66x CorePac 内核 0 可以访问这个位置通过使用 0x10800000 或 0x00800000 之间任何一个。设备上的任何其它主机 必须只能使用 0x10800000。相反地，0x00800000 可以被用于任何内核来作为它们自己的 L2 基地址。

对于所提到的 C66x CorePac 内核 0，等价于 0x10800000，对于 C66x CorePac 内核 1 则等价于 0x11800000，而对于 C66x CorePac 内核 2 等价于 0x12800000。本地地址应仅用于共享代码和地址，允许单个映像包含于内存中。任何目标定位至具体内核的代码/数据，或者由特定内核在运行期间分配的内存区域应当仅仅总是使用全局地址。

5.1.4 MSM SRAM

下列为 C6678 设备 MSM SRAM 配置:

- 内存大小为 4096KB
- MSM SRAM 可以配置作为共享 L2 和或共享 L3 内存
- 允许拓展外部地址从 2GB 至 8GB
- 具有内存保护特性

MSM SRAM 总是配置作为全部 SRAM。当配置作为 关系 L2 时，其内容可以当配置为共享 L3 模式时被缓冲存入 L1P 和 L1D，其内容同样可以被缓冲存入 L2。关于外部内存地址 拓展和内存保护特性，参看 *KeyStone* 设备多核共享内存 控制器 (MSMC) 用户指南在 [“德州仪器相关文档”](#) 页 72。

5.1.5 L3 内存

设备的 L3 ROM 为 128KB。ROM 包含用于设备引导的软件。不需要阻塞从这部分到 ROM 的访问。

5.2 内存保护

内存保护允许操作系统定义是否有权访问 L1D、L1P 和 L2 内存。为了实现这一功能，L1D、L1P 与 L2 内存被划分为页。L1P(每个 2KB)为 16 页，L1D(每个 2KB)为 16 页，L2(每页 16KB)为 32 页。L1D、L1P、C66x CorePac 中的 L2 内存控制器有一系列寄存器，设定了到每个内存页访问的准许权。

每个页可能被分配了完整的垂直 使用者或监督者读操作、写操作和执行准许。除此之外，一页可能会标记有任何 (或同时)逻辑可访问或全局可访问。一个本地访问是直接的 DSP 访问至 L1D、L1P 和 L2，而一个全局访问由一个 DMA (IDMA 或 EDMA3) 或其他系统主机来进行初始化。注意 EDMA 或 IDMA 传输由 DSP 计数编程作为全局访问。在一个安全设备上，页可能被限制仅仅能够安全访问 (默认) 或对公共公开的无安全保护访问。

设备上的 DSP 和每个系统主机都分配了一个 ID。因此可以鉴别出内存页是本地或全局可访问。

内存保护页特性寄存器的 AIDx 与本地位具体说明了内存页保护机制，参看表 5-1。

页 5-1 可行内存页保护机制

AIDx 位	本地位	描述
0	0	不允许访问内存页
0	1	仅允许 DSP 直接访问
1	0	仅允许系统主机和 IDMA 访问 (包括由 DSP 初始化的 EDMA 和 IDMA 访问)。
1	1	允许所有访问

表 5-1 结束

中断软件 (例外是, 编程设置 C66x CorePac 中断控制器) 服务例程处理错误。一个 DSP 或 DMA 未经允许访问页将会导致:

- 阻塞访问 — 读操作返回 0, 写操作
- 捕获状态寄存器中的初始 — ID, 地址以及存储的访问类型
- DSP 中断 控制器的信号事件

软件负责正确地回复事件 并且复位内存控制器中的错误状态。关于 L1D、L1P 以及 L2 的内存保护的细节信息，参看 C66x DSP CorePac 用户指南在“德州仪器相关文档”页 72。

5.3 带宽管理

当多个需求者请求一个单独的 C66x CorePac 资源内容，冲突的解决方法是保证高优先级需求者的访问。下列四类资源由带宽管理 控制硬件管理：

- 1 级程序 (L1P)SRAM/高速缓存
- 1 级数据 (L1D)SRAM/高速缓存
- 2 级 (L2)SRAM/高速缓存
- 内存映射寄存器配置总线

C66x CorePac 内初始化的操作优先级通过 C66x CorePac 的寄存器清除。这些操作是：

- DSP 初始化传输
- 用户编程高速缓存 连贯性操作
- IDMA 初始化传输

C66x CorePac 外，通过系统外设初始化的操作优先级别通过优先级分配寄存器 (PRI_ALLOC)清除，参看 4.3 “[总线优先级](#)” 页 107 来获取更多细节。没有 PRI_ALLOC 域的系统外设有其独自の寄存器来编程设置优先级。

更多关于 C66x CorePac 的带宽管理特性的详细信息，参看 *C66x DSP CorePac 用户指南*在“[德州仪器相关文档](#)” 页 72.

5.4 掉电控制

C66x CorePac 支持多个 C66x CorePac 部分的掉电。C66x CorePac 的掉电控制器 (PDC) 可以掉电 L1P, 高速缓存 控制硬件, DSP 以及整个 C66x CorePac。这些掉电特性可以用于设计整个系统更低的功耗要求。



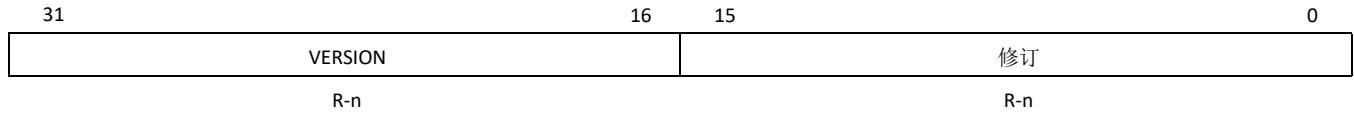
注意—现有 C6678 对于 L2 内存不支持掉电模式。

更多关于 C66x CorePac 的掉电特性的信息详见 *C66x DSP CorePac 用户指南*在“[德州仪器相关文档](#)” 页 72.

5.5 C66x CorePac 修订

C66x CorePac 的版本和修订可从位于地址 0181 2000h 的 CorePac 修订 ID 寄存器 (MM_REVID) 中读取。MM_REVID 寄存器的相关信息见 [图 5-5](#) 和 [表 5-2](#)。C66x CorePac 修订取决于使用的硅片修订。

图 5-5 CorePac 修订ID 寄存器 (MM_REVID) 地址 - 0181 2000h



标注: R = 读; -n = 复位后的值

表 5-2 CorePac 修订ID 寄存器 (MM_REVID) 域描述

位	域	描述
31-16	VERSION	设备上 C66x CorePac 的版本
15-0	REVISION	设备上 C66x CorePac 的修订

表 5-2

5.6 C66x CorePac 寄存器 描述

参看 C66x DSP CorePac 用户指南 “[德州仪器相关文档](#)” 页 72 关于寄存器偏移与定义。

6 设备操作条件

6.1 极限参数

表 6-1 极限参数⁽¹⁾

超限操作情况温度范围(除非其它表明)

供电电压范围 ⁽²⁾ :	CVDD	-0.3 V 至 1.3V
	CVDD1	-0.3 V 至 1.3V
	DVDD15	-0.3 V 至 2.45V
	DVDD18	-0.3 V 至 2.45V
	VREFSSTL	$0.49 \times DVDD15$ 至 $0.51 \times DVDD15$
	VDDT1, VDDT2	-0.3 V 至 1.3V
	VDDR1, VDDR2, VDDR3, VDDR4	-0.3 V 至 2.45V
	AVDDA1, AVDDA2, AVDDA3	-0.3 V 至 2.45V
	VSS 地	0 V
输入电压(V _I) 范围:	LVCMOS (1.8V)	-0.3 V 至 DVDD18+0.3 V
	DDR3	-0.3 V 至 2.45V
	I ² C	-0.3 V 至 2.45V
	LVDS	-0.3 V 至 DVDD18+0.3 V
	LJCB	-0.3 V 至 1.3V
	SerDes	-0.3 V 至 CVDD1+0.3 V
输出电压 (V _O) 范围:	LVCMOS (1.8V)	-0.3 V 至 DVDD18+0.3 V
	DDR3	-0.3 V 至 2.45V
	I ² C	-0.3 V 至 2.45V
	SerDes	-0.3 V 至 CVDD1+0.3 V
操作情况温度范围 T _C :	商用	0°C 至 85°C
	拓展	-40°C 至 100°C
ESD 压力电压, V _{ESD} ⁽³⁾ :	HBM (人体模式 I) ⁽⁴⁾	±1000 V
	CDM (电荷设备模式 I) ⁽⁵⁾	±250 V
过冲/下冲 ⁽⁶⁾	LVCMOS (1.8V)	20% 信号占空比的 20% 过冲/下冲
	DDR3	
	I ² C	
储存电压范围, T _{stg} :		-65°C 至 150°C

表 6-1 结束

1 超出“极限参数”可能导致设备永久损伤。这些仅仅为耐受情况，这些在设备功能操作下或任何其他超出“推荐操作条件”的情况下并不适用。长期工作在极限参数下可能影响设备可靠性。

2 所有电压值对照于 V_{SS}。

3 静电放电 (ESD) 来测量设备对于静电放电产生的损伤敏感度/免疫度。

4 上述电平为为每 ANSI/ESDA/JEDEC JS-001-2010 通过的电平。JEDEC 文档 JEP155 指出 500 V HBM 允许带有标准 ESD 控制过程的安全生产以及生产带有小于 500 V HBM 是可能的，如果采取了必要的防护措施的前提下。引脚列举作为 1000 V 将实际表现更高的性能。

5 上述电平为为每 EIA-JEDEC JESD22-C101E 通过的电平 JEDEC 文档 JEP157 指出 250 V CDM 允许带有标准 ESD 控制过程的安全生产。引脚列举作为 250 V 将实际表现更高的性能。

6 过冲/下冲百分比相关于 I/O 操作值 – 例如最大过冲值对于 1.8-V LVCMOS 信号来说为 DVDD18 + 0.20 × DVDD18，最大过冲值 姜维 V_{SS} - 0.20 × DVDD18

6.2 推荐操作条件

表 6-2 推荐操作条件 ^{(1) (2)}

		最小值	平均值	最大值	单位		
CVDD	SR 内核供电	初始启动	VINITnom × 0.95	1.1or 1.15 ⁽³⁾	VINITnom × 1.05	V	
		1000MHz - 设备	SRVnom ⁽⁴⁾ × 0.95	0.85-1.1	SRVnom × 1.05		
		1250MHz - 设备	SRVnom × 0.95	0.9-1.1	SRVnom × 1.05		
		1400MHz - 设备	SRVnom × 0.95	0.95-1.15	SRVnom × 1.05		
CVDD1	内核内存阵列供电电压		0.95	1	1.05	V	
DVDD18	1.8-V I/O 供电电压		1.71	1.8	1.89	V	
DVDD15	1.5-V I/O 供电电压		1.425	1.5	1.575	V	
VREFSSTL	DDR3 参考电压		0.49 × DVDD15	0.5 × DVDD15	0.51 × DVDD15	V	
V _{DDR_x} ⁽⁵⁾	SerDes 管理器供电		1.425	1.5	1.575	V	
V _{DDA_x}	PLL 模拟供电		1.71	1.8	1.89	V	
V _{DDT_x}	SerDes 终端供电		0.95	1	1.05	V	
V _{SS}	地		0	0	0	V	
V _{IH}	高电平输入电压	LVC MOS (1.8 V)	0.65 × DVDD18			V	
		I ² C	0.7 × DVDD18			V	
		DDR3 EMIF	VREFSSTL + 0.1			V	
V _{IL}	低电平输入电压	LVC MOS (1.8 V)	0.35 × DVDD18			V	
		DDR3 EMIF	-0.3			VREFSSTL - 0.1	V
		I ² C	0.3 × DVDD18			V	
T _C	操作情况温度	商用	0	85		°C	
		拓展	-40	100		°C	

表 6-2 结束

- 1 所有差分时钟输入服从 LVDS 电气规定，IEEE 1596.3-1996 以及所有 SerDes I/O 遵循 XAUI 电气规范，IEEE 802.3ae-2002.
- 2 所有 SerDes I/O 遵循 XAUI 电气规范，IEEE 802.3ae-2002.
- 3 上电时初始 CVDD 电压必须为 1.1 V (对于 1000-MHz 和 1250-MHz 设备) 或 1.15 V (对于 1400-MHz 设备) 并且它必须在 VCNTL 引脚产生之前立即转换至 VID 设置值。
TI 指出这是用于保持完全供电和可靠性目标的需要。
- 4 SRVnom 指的是唯一的由每个单独设备生产厂家设定的 SmartReflex 内核供电电压。
- 5 x=1,2,3,4...表示所有供电为相同类型。

6.3 电气特性

表 6-3 电气特性
供电电压超出推荐范围以及操作情况温度 (除非另外标明)

参数		测试条件 ⁽¹⁾	最小值	典型值	最大值	单元
V _{OH} 高电平输出电压	LVC MOS (1.8 V)	I _O = I _{OH}	DVDD18 - 0.45			V
	DDR3		DVDD15 - 0.4			
	I ² C ⁽²⁾					
V _{OL} 低电平输出电压	LVC MOS (1.8 V)	I _O = I _{OL}			0.45	V
	DDR3				0.4	
	I ² C	I _O = 3 mA, 上拉至 1.8 V			0.4	
I _I ⁽³⁾ 输入电流 [DC]	LVC MOS (1.8 V)	No IPD/IPU	-5		5	μA
		内部上拉	50	100	170 ⁽⁴⁾	
		内部下拉	-170	-100	-50	
	I ² C	0.1 × DVDD18 V < V _I < 0.9 × DVDD18 V	-10		10	
I _{OH} 高电平输出电流 [DC]	LVC MOS (1.8 V)				-6	mA
	DDR3				-8	
	I ² C ⁽⁵⁾					
I _{OL} 低电平输出电流 [DC]	LVC MOS (1.8 V)				6	mA
	DDR3				8	
	I ² C				3	
I _{OZ} ⁽⁶⁾ Off-状态输出 电流 t [DC]	LVC MOS (1.8 V)		-2		2	μA
	DDR3		-2		2	
	I ² C		-2		2	

表 6-3 结束

- 1 对于测试情况例如最小值、最大值或典型值, 使用推荐操作情况表中的合适值。
- 2 I²C 使用开集 IO 并不包含 V_{OH} 最小值。
- 3 I_I 应用于仅输入引脚和双向引脚。对于仅输入引脚, I_I 表示输入漏电流。对于双向引脚, I_I 包含输入漏电流和关闭-状态(Hi-Z) 输出漏电流。
- 4 对于 RESETSTAT, 最大 DC 输入电流为 300 μA。
- 5 I²C 使用开集 IO 并且不包含 I_{OH} 最大值。
- 6 I_{OZ} 应用于仅输出引脚, 指示关闭-状态(Hi-Z) 输出漏电流。

6.4 外设 I/O 映射供电

表 6-4 外设 I/O 映射映射 ⁽¹⁾⁽²⁾
供电电压超出推荐范围和操作情况温度(除非另外标明)

供电	I/O 缓冲器类型	相应引脚
CVDD 内核供电电压	LJCB	CORECLK(P N) PLL 输入缓冲器
		SRIOSGMIICLK(P N) SerDes PLL 输入缓冲器
		DDRCLK(P N) PLL 输入缓冲器
		PCIECLK(P N) SerDes PLL 输入缓冲器
		MCMCLK(P N) SerDes PLL 输入缓冲器
		PASSCLK(P N) PLL 输入缓冲器
DVDD15 1.5-V I/O 供电电压	DDR3 (1.5 V)	所有 DDR3 内存控制器 外设 I/O 缓冲器
DVDD18 1.8-V I/O 供电电压	LVCMOS (1.8 V)	所有 GPIO 外设 I/O 缓冲器
		所有 JTAG 与 EMU 外设 I/O 缓冲器
		所有定时器 外设 I/O 缓冲器
		所有 SPI 外设 I/O 缓冲器
		所有复位, NMI, 控制外设 I/O 缓冲器
		所有 Hyperlink 边带外设 I/O 缓冲器
		所有 MDIO 外设 I/O 缓冲器
		所有 UART 外设 I/O 缓冲器
		所有 TSIP0 与 TSIP1 外设 I/O 缓冲器
		所有 EMIF16 外设 I/O 缓冲器
	开漏 (1.8V)	所有 I ² C 外设 I/O 缓冲器
		所有 SmartReflex 外设 I/O 缓冲器
VDDT1 Hyperlink SerDes 终端和模拟前端供电	SerDes/CML	Hyperlink SerDes CML IO 缓冲器
VDDT2 SRIO/SGMII/PCIE SerDes 终端和模拟前端供电	SerDes/CML	SRIO/SGMII/PCIE SerDes CML IO 缓冲器
表 6-4 结束		

1 注意此表并不试图描述供电引脚的所有功能，这里的目的是供电外设 I/O 缓冲器和时钟输入缓冲器。

2 参看 *KeyStone I 设备硬件设计指南*“德州仪器相关文档” 页 72 获取更多关于单独外设 I/O 的信息。

7 外设信息与电气特性

本章包含 TMS320C6678 DSP 的多个外设。此章节描述了外设具体信息、时序图、电气特性和寄存器内存映射。

7.1 参数信息

此部分描述了电气数据的相应情况。

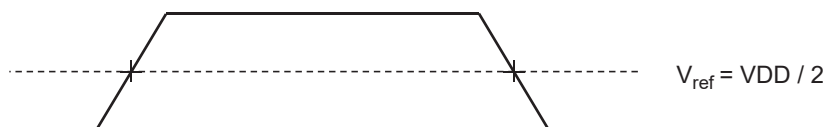
7.1.1 时序参数与板级布线分析

此数据手册所述时序参数不包括由板级布线导致的延迟。一个好的板级布线，这样的延时必须考虑在内。时序值必须根据增/减此类延时来进行调整。TI 推荐使用可行的 I/O 缓冲器信息具体 (IBIS) 模型来正确分析时序特性。为了正确使用 IBIS 模型来达到对于具体系统的准确时序分析，参看 [适用 IBIS 模型进行时需分析应用报告](#) “德州仪器相关文档” 页 72。如果需要，外部逻辑硬件例如缓冲器可能用于补偿任何时序差异。

7.1.2 1.8-VLVC MOS 信号传输电平

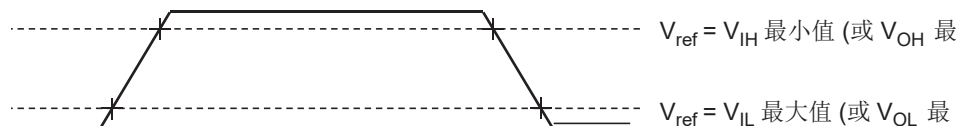
对于 0 和 1 的所有输入与输出时序参数，逻辑电平参考 $V_{DD}/2$ 。

图 7-1 AC 时序测量输入与输出电压参考电平



所有上升沿和下降沿传输时序参数为参考 V_{IL} 最大值与 V_{IH} 最小值 对于输入时钟，对于输出时钟 V_{OL} 最大值与 V_{OH} 最小值。

图 7-2 上升沿和下降沿传输时序参数



7.2 推荐时钟与控制信号传输行为

所有时钟与控制信号 **必须** 在 V_{IH} 与 V_{IL} (或在 V_{IL} 与 V_{IH} 之间) 之间以一种无变化的方式进行传输。

7.3 供电

下列部分描述了 C6678 正确上电的合适的供电流程和时序。多条供电线路以及它们的主要功能列举于 [表 7-1](#)。

表 7-1 TMS320C6678 供电路线

名称	主要功能	电压	注意
CVDD	SmartReflex 内核供电电压	0.9 V 至 1.1 V 或 0.95 V 至 1.15 V ⁽¹⁾	包括用于 DDR3 单元的内核电压
CVDD1	用于内存阵列的内核供电电压	1.0 V	固定供电电压为 1.0 V
VDDT1	HyperLinkSer 目的地供电	1.0 V	CVDD1 的过滤版本. 特别考虑了噪声. 如果 HyperLink 没有使用则不需要滤波器.
VDDT2	SGMII/SRIO/PCIE SerDes 终端供电	1.0 V	CVDD1 的过滤版本. 特别考虑了噪声. 如果 SGMII/SRIO/PCIE 没有使用则不需要滤波器.
DVDD15	1.5-V DDR3 IO 供电	1.5 V	固定供电电压为 1.5V
VDDR1	HyperLinkSerDes 管理器供电	1.5 V	DVDD15 的过滤版本. 特别考虑了噪声.. 如果 HyperLink 没有使用则不需要滤波器.
VDDR2	PCIE SerDes 管理器供电	1.5 V	DVDD15 的过滤版本. 特别考虑了噪声.. 如果 PCIe 没有使用则不需要滤波器.
VDDR3	SGMII SerDes 管理器供电	1.5 V	DVDD15 的过滤版本. 特别考虑了噪声. 如果 SGMII 没有使用则不需要滤波器.
VDDR4	SRIO SerDes 管理器供电	1.5 V	DVDD15 的过滤版本. 特别考虑了噪声. 如果 SRIO 没有使用则不需要滤波器.
DVDD18	1.8-V IO 供电	1.8V	固定供电电压为 1.8V
AVDDA1	主 PLL 供电	1.8 V	DVDD18 的过滤版本. 特别考虑了噪声.
AVDDA2	DDR3 PLL 供电	1.8 V	DVDD18 的过滤版本. 特别考虑了噪声.
AVDDA3	PASS PLL 供电	1.8 V	DVDD18 的过滤版本. 特别考虑了噪声.
VREFSSTL	0.75-V DDR3 参考电压	0.75 V	应当 track 1.5-V 供电. 使用 1.5 V 作为电源
VSS	地	GND	地
表 7-1 结束			

1 CVDD 电压范围将为 0.9 V 至 1.1 V 对于 1000-MHz 和 1250-MHz 设备以及 0.95 V 至 1.15 V 对于 1400-MHz 设备。

7.3.1 供电流程

此部分定义了一个上电复位状态的上电流程的要求。设备有两种可接受的上电流程，第一种流程明确要求内核电压 起始于在 IO 电压之前，如下。

1. CVDD
2. CVDD1, VDDT1-2
3. DVDD18, AVDD1, AVDD2
4. DVDD15, VDDR1-4

第二种流程提供与其他 TI 处理器兼容的，在 IO 电压起始于在内核电压之前，如下。

1. DVDD18, AVDD1, AVDD2
2. CVDD
3. CVDD1, VDDT1-2
4. DVDD15, VDDR1-4

时钟输入缓冲器 CORECLK, DDRCLK, PASSCLK, SRIOSGMICLK, PCIECLK 以及 MCMCLK 使用 CVDD 作为供电电压。这些 时钟输入不是故障安全的，并且必须保持在高-阻状态直到 CVDD 到达固定的电平。在 CVDD 稳定之前驱动这些时钟输入高电平将导致设备损坏。一旦 CVDD 稳定则这些 CLK 的 P 与 N 脚可以保持在静止状态(高与低或低 与 高)，直到输入需要一个固定的时钟频率。为了避免内部自激， 时钟输入应当在 CVDD 出现的短暂时间里摆脱高阻状态。

如果一个时钟输入没有被使用，则它必须保持在静止状态。为了实现这一点，N 脚应当被拉低至地通过一个 1K 欧姆电阻。P 脚应当连接至 CVDD 以确保其不会有任何电压出现，直到 CVDD 可操作。由 DVDD18 和 DVDD15 供电的连接至 IO 单元的不是故障安全的，并且应当驱动至高在这些电压可操作之前。在 DVDD18 或 DVDD15 固定之前驱动这些 IO 单元为高电平将会导致设备损坏。

设备初始化分为两个阶段。第一个阶段包括激活起始上电时间段，直到所有供电达到要求并位于稳定的电平状态。任何一个所描述的流程细节都可以在此阶段执行。下图为在 IO 之前内核电压流程和在内核之前 IO 电压流程。 POR 必须在整个电源稳定阶段置低。.

设备初始化阶段之后，POR 的上升沿在 RESETFULL 的上升沿之后将触发初始化流程的终止，但都必须保持静止直到初始化完成

POR 必须必须在复位 FULL 静止之前继续保持静止，如下述：REFCLK 在接下来的章节指出了时钟输入用于作为主 PLL 的时钟源以及 SYSCLK1 用作 CorePac 的主 PLL 输出，参看 [图 7-9](#) 获取更多细节。

7.3.1.1 内核在 IO 前上电流程

图 7-3 为 TMS320C6678 设备初始化的上电流程和复位控制。

在电源稳定所需要的 100 μ sec 之后，POR 可能移除。

RESETFULL 在 $\overline{\text{POR}}$ 的上升沿期间必须为低电平，但可能在需要时置低较长时间。

配置位与 GPIO 引脚共用将会锁存至 RESETFULL 的上升沿，并且必须满足具体的建立和保持时间

REFCLK 在 POR 可以移除之前必须总保持可操作。内核在 IO 之前上电流程定义详见表 7-2。



注—TI 推荐一个最大值 100 ms—在一个供电线路稳定和下一个供电线路的流程开始进行之间。每个供电必须持续进行，并且必须在 20ms 之内到达一个稳定的固定电平。

图 7-3 内核在 IO 之前上电流程

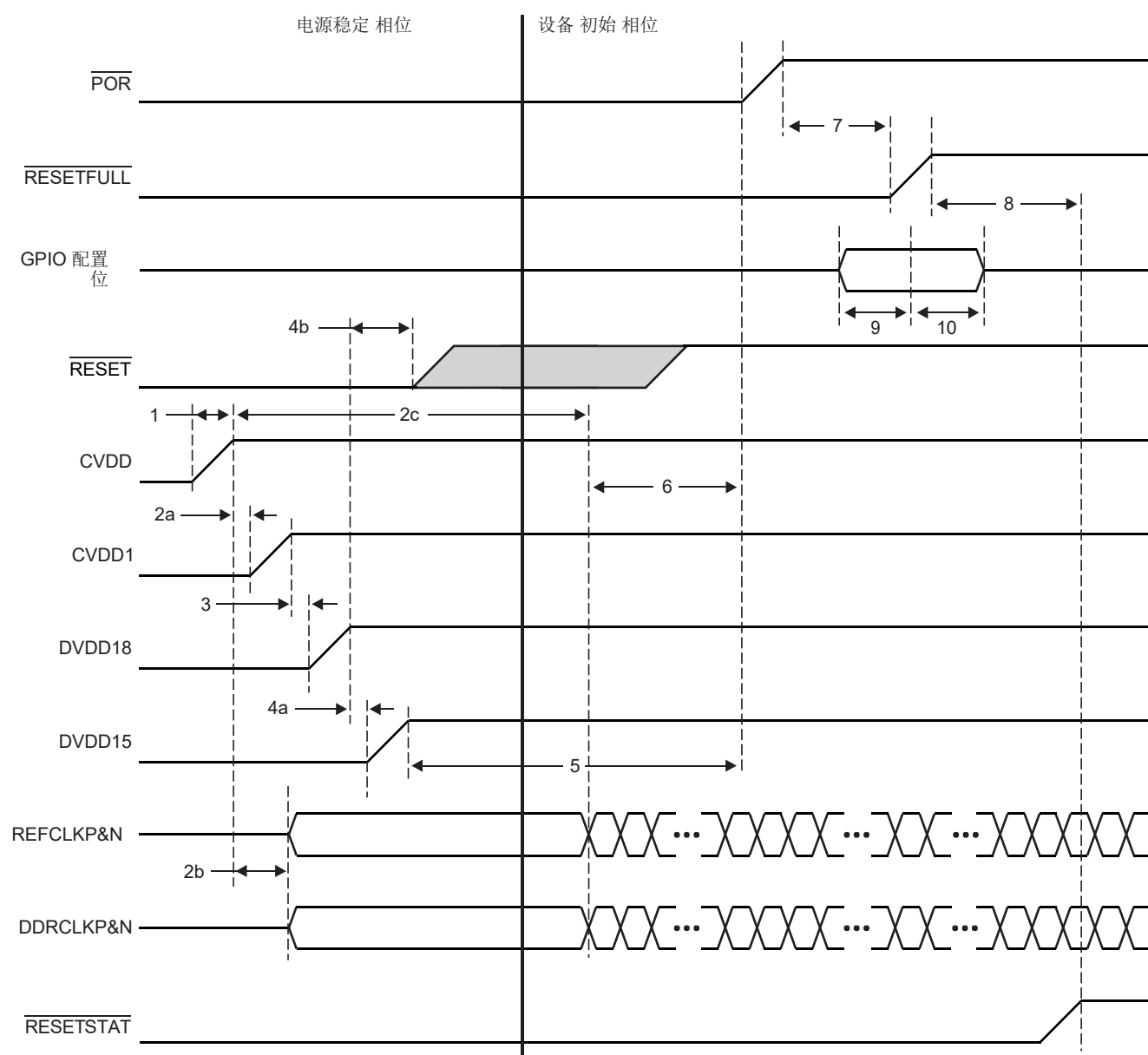


表 7-2 内核在 IO 之前上电流程

时序	系统状态
1	开始上电稳定阶段 <ul style="list-style-type: none">• CVDD (内核 AVS) 变为高电平• POR 必须在上电稳定阶段保持低电平。因为 POR 为低电平, 有异步复位的 (由 POR 产生)所有内核逻辑进入复位状态.• 一旦使能, 供电应当在 20 ms 之内变为它的固定电平.
2a	<ul style="list-style-type: none">• CVDD1 (内核常量)同时或在 CVDD 之后短暂时间变化。即使变化的 CVDD1 和 CVDD 同时被允许, CVDD1 的电压 必须不超过 CVDD, 直到 CVDD 到达稳定电平之后.• 变为内核供电, 使相互接近的目的是来减少瞬态开路电流。CVDD1 应跟随 CVDD, 这将确保内存中 Ws 关闭并且无电流经过内存位单元。然而, CVDD1 (内核常量) 在 CVDD (内核 AVS)之前变为高电平, 然后极端情况电流将可能会两倍于具体的 CVDD1 吸收.• 对大持续时间为 100 ms.
2b	<ul style="list-style-type: none">• 一旦 CVDD 固定, 时钟驱动器应当使能。即使时钟输入在此时并不必要, 它们应由固定时钟驱动或保持在静止状态一个脚 高 一个脚低。
2c	<ul style="list-style-type: none">• DDRCLK 和 REFCLK 也许开始切换在 CVDD 到达固定电平和在 POR 到达高电平由 t6 具体选定的建立时间之间的任何时间.
3	<ul style="list-style-type: none">• 1.8 V 滤波器版本可以与 DVDD18 同时变化。• RESETSTAT 驱动至低电平, 一旦 DVDD18 供电合理。• 所有 LVCMOS 输入和双向引脚必须不被驱动或拉高, 直到 DVDD18 出现。驱动一个输入或双向引脚, 在 DVDD18 固定之前将导致设备损坏.
4a	<ul style="list-style-type: none">• DVDD15 (1.5 V) 在 DVDD18 固定之后供电变为高电平, 即使变化 DVDD18 和 DVDD15 同时被允许, DVDD15 的电压 必须不超过 DVDD18.
4b	<ul style="list-style-type: none">• RESET 可能驱动至 高电平, 在 DVDD18 到达固定电平之后的任何时间。在一个 POR 控制引导中,RESET 必须在 POR 驱动至 高电平时保持高电平。
5	<ul style="list-style-type: none">• POR 必须持续保持低电平, 在供电稳定之后至少 100 μs 内. 结束上电稳定阶段
6	<ul style="list-style-type: none">• 设备初始化需要在上电稳定阶段之后 500 REFCLK 周期。最大时钟周期为 33.33 nsec, 所以需要 一个额外的 16 μs 的延迟在 POR 上升沿之前。时钟必须保持有效在整个 16 μs 之间。
7	<ul style="list-style-type: none">• RESETFULL 必须在 POR 稳定于高电平时保持低电平至少 24 个 REFCLK 的转换时间。
8	<ul style="list-style-type: none">• RESETFULL 的上升沿 将撤销 RESET 至熔丝部分允许扫描开始.• 一旦设备初始化和 熔丝部分扫描完成, RESETSTAT 信号驱动至高电平, 这个延迟将为 10000 到 50000 时钟周期. 结束设备初始化阶段
9	<ul style="list-style-type: none">• GPIO 配置位必须固定至少 REFCLK 的 12 个传输在 RESETFULL 的上升沿之前
10	<ul style="list-style-type: none">• GPIO 配置位必须保持固定至少 REFCLK 的 12 的传输在 RESETFULL 的上升沿之前
表 7-2 结束	

7.3.1.2 IO 在内核之前上电时序

IO 在内核之前上电时序图的相关信息见 图7-4 和 表7-3。



注—TI 推荐一个最大值 100 ms 在一个供电线路稳定和下一个供电线路的流程开始进行之间。每个供电必须持续变化，并且必须在 20ms 之内到达一个稳定的固定电平。

图 7-4 IO 在内核之前上电时序

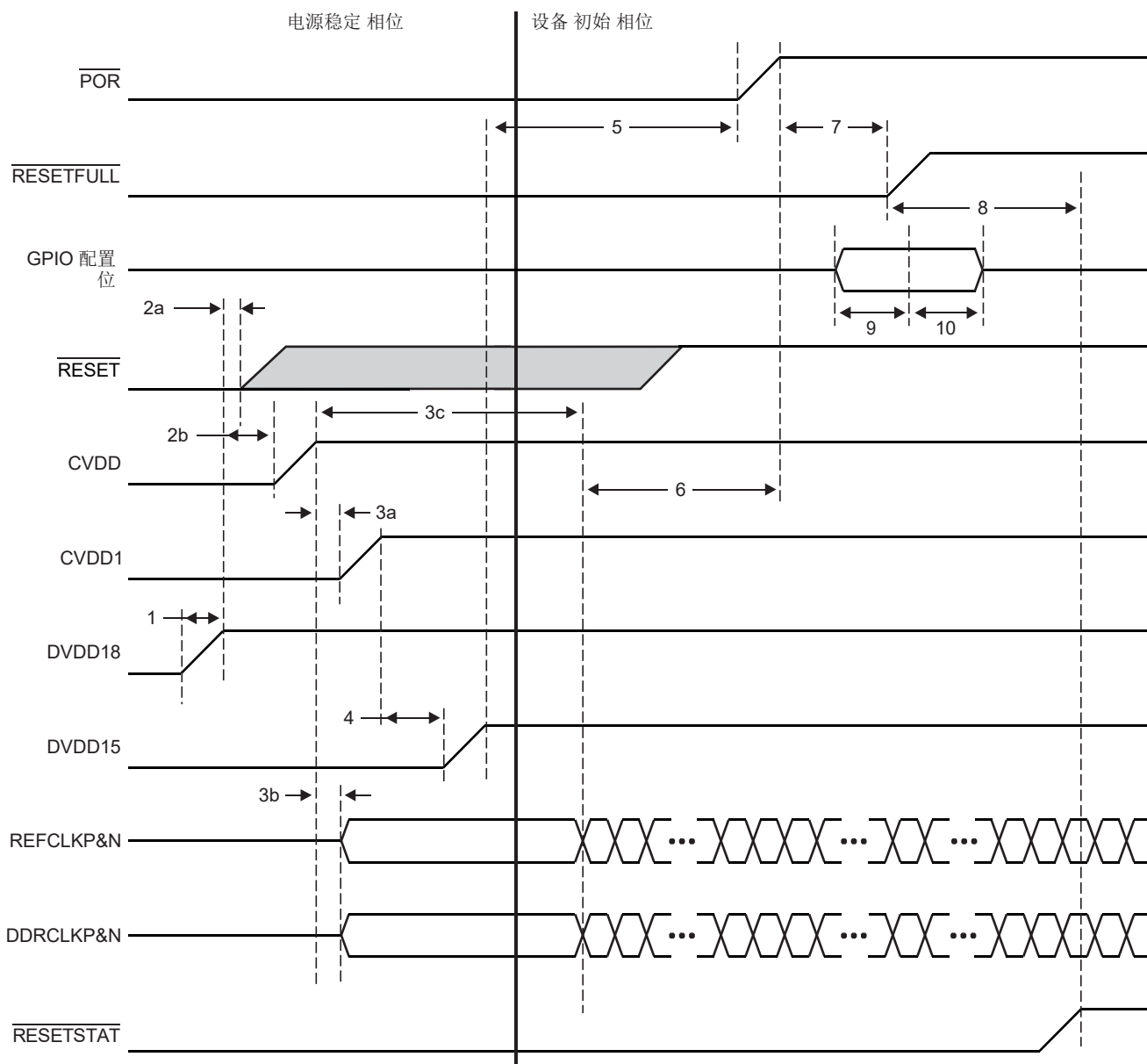


表 7-3 IO 在内核之前上电时序

时序	系统状态
1	开始上电稳定阶段 <ul style="list-style-type: none">• 因为 POR 为低电平,所有内核逻辑含有异步复位 (由 POR 生成) 进入状态一旦内核供电变化。POR 必须一直保持低电平。• 1.8 V 的滤波器版本可以与 DVDD18 同时变化。• RESETSTAT 为低电平一旦 DVDD18 供电合理。• 所有输入和双向引脚不能够被驱动或拉高直到 DVDD18 出现。驱动一个输入或双向引脚在 DVDD18 之前会导致设备损坏。• 一旦使能, 供电应改变至一个固定的电平在 20 ms 之内。
2a	<ul style="list-style-type: none">• RESET 可能拉高在 DVDD18 到达固定电平之后的任何时间。
2b	<ul style="list-style-type: none">• CVDD (内核 AVS) 变为高电平。• 最大持续时间为 100 ms.
3a	<ul style="list-style-type: none">• CVDD1 (内核常量)改变 同时或在 CVDD 之后短暂时间。即使改变 CVDD1 和 CVDD 同时被允许, CVDD1 的电压 必须不超过 CVDD 直到 CVDD 到达稳定电平之后。• 变为高电平 内核供电 使相互接近的目的是来减少瞬态开路电流。CVDD1 应跟踪 CVDD, 这将确保内存中 WLS 关闭并且无电流经过内存位单元. 如果, 然而, CVDD1 (内核常量) 变为高电平在 CVDD (内核 AVS)之前, 然后极端情况电流将两倍于具体的 CVDD1 吸收。
3b	<ul style="list-style-type: none">• 一旦 CVDD 固定, 时钟驱动器应当使能。即使时钟输入在此时并不必要, 它们应由固定时钟驱动或保持在静止状态一个脚 高一个脚低。
3c	<ul style="list-style-type: none">• DDRCLK 和 REFCLK 也许开始切换在 CVDD 到达固定电平和建立时间在 POR 到达高电平 由 t6 具体选定的之间的任何时间。
4	<ul style="list-style-type: none">• DVDD15 (1.5 V) 供电在 CVDD1 固定之后变为高电平。
5	<ul style="list-style-type: none">• POR 必须持续保持低电平在供电稳定之后至少 100 μs 内。 <p>结束上电稳定阶段</p>
6	开始设备初始化 <ul style="list-style-type: none">• 设备初始化需要 500 REFCLK 周期 在上电稳定阶段之后, 最大时钟周期为 33.33 nsec, 所以需要一个额外的 16 μs 的延迟在 POR 上升沿之前. 时钟必须保持有效在整个 16 μs 之间。• POR 必须保持低。
7	<ul style="list-style-type: none">• RESETFULL 保持低电平 至少 REFCLK 的 24 个传输 在 POR 稳定于高电平。• RESETFULL 的上升沿 将撤销 RESET 至熔丝区域允许扫描开始。
8	<ul style="list-style-type: none">• 一旦设备初始化和 熔丝区域扫描完成, RESETSTAT 信号驱动至高电平. 这个延迟将为 10000 到 50000 时钟周期。 <p>结束设备初始化阶段</p>
9	<ul style="list-style-type: none">• GPIO 配置位必须固定 至少 REFCLK 的 12 个传输 在 RESETFULL 的上升沿之前
10	<ul style="list-style-type: none">• GPIO 配置位必须保持固定至少 REFCLK 的 12 的传输在 RESETFULL 的上升沿之前
表 7-3 结束	

7.3.1.3 延长复位

保持设备在 POR, RESETFULL 或 RESET 状态较长时间将影响部件的长期可靠性。设备不应保持超过一个小时的复位时间并且不应在供电期间保持复位超过 5% 总时间。超过这些限制将导致部件可靠性的持续降低。可以通过允许 DSP 进行引导, 然后在上电之后不久配置其进入一个休眠状态。这将满足复位要求并控制设备功耗。

7.3.1.4 上电流程期间时钟

一些时钟输入需要用于设备正确的初始化, 许多时钟行为取决于引导配置引脚状态. 表 7-4 d 描述了时钟流程和影响时钟操作的情况. 注意所有的时钟驱动器应处于高-阻抗状态直到 CVDD 位于固定电平并且所有时钟输入位于活动或静止状态一只脚拉低另一只脚连接至 CVDD.

表 7-4 时钟序列

时钟	条件	序列
DDRCLK	无	必须保持 16 μ sec 在 POR 传输高电平前
CORECLK	无	CORECLK 用于为内核 PLL 提供时钟信号. 必须保持 16 μ sec 在 POR 传输高电平前
PASSCLK	PASSCLKSEL = 0	PASSCLK 未使用并且应连接至静止状态
	PASSCLKSEL = 1	PASSCLK 用来作为 PASS PLL 的时钟源. 它必须在 PASS PLL 撤销复位并编程设置之前出现.
SRIOSGMIICLK	将使用一个 SGMII.	SRIOSGMIICLK 必须保持 16 μ sec 在 POR 传输高电平前
	不使用 SGMII. SRIO 将用作引导设备.	SRIOSGMIICLK 必须保持 16 μ sec 在 POR 传输高电平前
	不使用 SGMII. SRIO 将在引导后使用	SRIOSGMIICLK 用作 SRIO SerDes PLL 的时钟源. 它必须在 SRIO 撤销复位并编程设置之前出现.
	不使用 SGMII. 不使用 SRIO.	SRIOSGMIICLK 未使用并且应连接至静止状态
PCIECLK	PCIE 将用作引导设备	PCIECLK 必须保持 16 μ sec 在 POR 传输高电平前
	PCIE 将在引导后使用	PCIECLK 用作 PCIE SerDes PLL 的时钟源. 它必须在 PCIE 撤销复位并编程设置之前出现.
	不使用 PCIE	PCIECLK 未使用并且应连接至静止状态
MCMCLK	HyperLink 将用作引导设备	MCMCLK 必须保持 16 μ sec 在 POR 传输高电平前
	HyperLink 将在引导后使用	MCMCLK 用作 MCM SerDes PLL 的时钟源. 它必须在 HyperLink 撤销复位并编程设置之前出现.
	不使用 HyperLink	MCMCLK 未使用并且应连接至静止状态

表 7-4 结束

7.3.2 掉电时序

掉电时序 为上述的上电时序的完全逆转. 目的是为了防止大量的静态电流并且防止设备的过载. 一个良好供电的电路监控在设计中设备使用到的所有供电. 如果在任何电压线路中出现了严重的供电问题, POR 应变为低电平来阻止过流情况 可能影响设备稳定性.

需要一个系统供电监控方案来关闭线路板的供电如果供电出现问题. 长期暴露在某一供电电压不存在的环境下将影响设备稳定性. 保持设备在复位状态不是合适的解决方案因为长时间的复位同样影响长期稳定性.

7.3.3 供电去耦和大容量电容

为了合适的去耦 PCB 的供电铜箔上的系统噪声, 需要去耦和大电容. 大电容用于减小低频电流传输影响, 去耦和旁路电容用于减小高频噪声. 关于选择供电去耦和大电容的建议参看 *KeyStone I 设备硬件设计指南* “德州仪器相关文档” 页 72.

7.3.4 SmartReflex

增加设备复杂性则增加了其功耗，小的晶体管架构可以达到较高的时钟速率来提升性能,但带来了不可避免的代价:增加了漏电流.漏电流在任何电路中都存在,独立于时钟频率和使用情况.静态功耗主要由晶体管类型类型和用于设备生产的过程工艺中决定.较高的时钟频率同样增加了动态功耗 — 能源应用于晶体管的开关.动态功耗绝大部分决定于使用情况,时钟频率和I/O活动.

德州仪器的 SmartReflex 技术用于减少当设备运行时造成的静态和动态功耗

TMS320C6678 的 SmartReflex 允许达到内核供电电压，从而优化基于设备的处理核心。通过使用为设备供电的内核电压管理器的四个 VCNTL 引脚控制输出电压来完成电压选择。每个应用中的 TMS320C6678 设备 需要一个分离的内核电压管理器。关于 SmartReflex 操作的更多信息，参看 [功耗总结 --KeyStone C66x 设备应用报告和硬件设计指南 --KeyStone I 设备](#)在“[德州仪器相关文档](#)”页 72。

表 7-5 SmartReflex 4-引脚 VID 接口开关特性
(参看 [图 7-5](#))

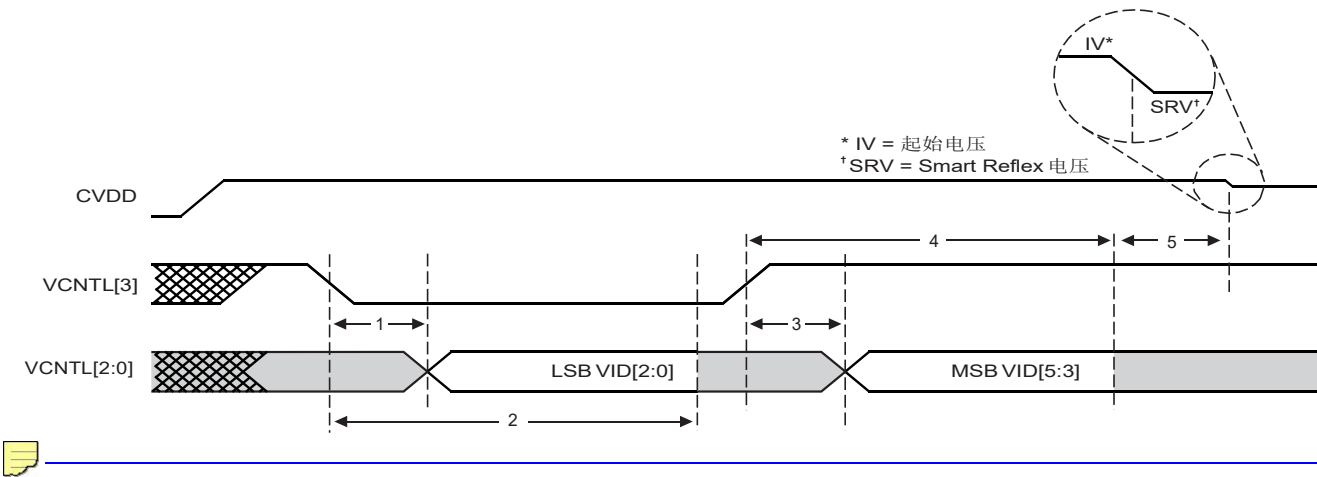
编号	参数	最小值	最大值	单位
1	td(VCNTL[2:0]-VCNTL[3]) 延迟时间 - VCNTL[2:0] 固定在 VCNTL[3] 低后		300.00	ns
2	toh(VCNTL[3]-VCNTL[2:0]) 输出 保持时间 - VCNTL[2:0] 固定在 VCNTL[3] 低后	0.07	172020C ⁽¹⁾	ms
3	td(VCNTL[2:0]-VCNTL[3]) 延迟时间 - VCNTL[2:0] 固定在 VCNTL[3] 高后		300.00	ns
4	toh(VCNTL[3]-VCNTL[2:0]) 输出保持时间 - VCNTL[2:0] 固定在 VCNTL[3] 高后	0.07	172020C	ms
5	VCNTL 保持固定 CVDD 保持开关 SmartReflex 电压 ⁽²⁾		10	ms

表 7-5 结束

1 C = 1/SYSCLK1 频率，以 ms 为单位

2 SmartReflex 电压必须在应用代码执行之前设置

图 7-5 SmartReflex 4 引脚 VID 接口时序



注意—初始 CVDD 电压 (IV) 在上电时将为 1.1 V (对于 1000-MHz 和 1250-MHz 设备)或 1.15 V (对于 1400-MHz 设备)，并且它必须在 VCNT 引脚出现之后变化至 VID 的立即设置值。这是由 TI 指定的完全供电性能和可靠性目的的相关要求。

7.4 休眠控制器(PSC)

休眠控制器(PSC)通过关闭未使用的独立的外设和模块的电源范围与门控时钟来控制整个设备供电。PSC 提供一个接口给使用者来控制多个重要电源和时钟操作。

更多关于休眠控制器的信息, 参看 *休眠控制器(PSC) for KeyStone* 设备用户指南在“[德州仪器相关文档](#)”页 72.

7.4.1 电源范围

设备有多个电源范围, 可以打开用于操作或者关闭用于降低电源损耗。全局电源/休眠控制器(GPSC)用于控制电源多个电源范围的门限。

表 7-6 位 TMS320C6678 电源范围.

表 7-6 电源范围

范围	模块	注释	电源连接
0	大多数外设逻辑	不能被失能	总是开启
1	每个内核 TETB 和系统 TETB	可以关闭 RAM 供电	软件控制
2	包协处理器	可以关闭逻辑供电	软件控制
3	PCie	可以关闭逻辑供电	软件控制
4	SRIO	可以关闭逻辑供电	软件控制
5	HyperLink	可以关闭逻辑供电	软件控制
6	保留	保留	保留
7	MSMCRAM	MSMC RAM 可以掉电	软件控制
8	C66x CorePac0, L1/L2 RAMs	L2 RAM 可以休眠	软件控制 通过 C66x 内核.更多细节, 参看 <i>C66x DSP CorePac 用户指南</i> .
9	C66x CorePac1, L1/L2 RAMs	L2 RAM 可以休眠	
10	C66x CorePac2, L1/L2 RAMs	L2 RAM 可以休眠	
11	C66x CorePac3, L1/L2 RAMs	L2 RAM 可以休眠	
12	C66x CorePac4, L1/L2 RAMs	L2 RAM 可以休眠	
13	C66x CorePac5, L1/L2 RAMs	L2 RAM 可以休眠	
14	C66x CorePac6, L1/L2 RAMs	L2 RAM 可以休眠	
15	C66x CorePac7, L1/L2 RAMs	L2 RAM 可以休眠	

表 7-6 结束

7.4.2 时钟范围

门控时钟至每个逻辑模块由每个模块的本地电源/休眠控制器(LPSCs)控制。对于有特定时钟或多个时钟的模块，LPSC 与 PLL 控制器相互通信，来使能或禁止模块的来源时钟。对于与其他模块共用时钟的模块，LPSC 控制着时钟门控。

表 7-7 为 TMS320C6678 时钟范围。

表 7-7 时钟范围

LPSC 编号	模块	注释
0	所有除了列举于此表中的其他外设的 LPSC	总开启
1	SmartReflex	总开启
2	DDR3 EMIF	总开启
3	EMIF16 与 SPI	软件控制
4	TSIP	软件控制
5	调试子系统和跟踪器	软件控制
6	每个内核 TETB 和系统 TETB	软件控制
7	包加速器	软件控制
8	以太网 SGMIIs	软件控制
9	安全加速器	软件控制
10	PCIe	软件控制
11	SRIO	软件控制
12	HyperLink	软件控制
13	保留	保留
14	MSMCRAM	软件控制
15	C66x CorePac0 和定时器 0	总开启
16	C66x CorePac1 和定时器 1	总开启
17	C66x CorePac2 和定时器 2	总开启
18	C66x CorePac3 和定时器 3	总开启
19	C66x CorePac4 和定时器 4	总开启
20	C66x CorePac5 和定时器 5	总开启
21	C66x CorePac6 和定时器 6	总开启
22	C66x CorePac7 和定时器 7	总开启
No LPSC	引导配置 PSC 和 PLL 控制器	这些单元不使用 PSC
表 7-7 结束		

7.4.3 PSC 寄存器内存映射

表 7-8 为 PSC 寄存器内存映射

表 7-8 PSC 寄存器内存映射(表 1/3)

便宜	寄存器	描述
0x000	PID	外设识别寄存器
0x004 - 0x010	保留	保留
0x014	VCNTLID	电压控制识别寄存器 ⁽¹⁾
0x018 - 0x11C	保留	保留
0x120	PTCMD	电源范围转换寄存器
0x124	保留	保留
0x128	PTSTAT	电源范围转换状态 寄存器
0x12C - 0x1FC	保留	保留
0x200	PDSTAT0	电源主 状态寄存器 0 (总烤漆)
0x204	PDSTAT1	电源范围 状态寄存器 1 (每个内核 TETB 和系统 TETB)
0x208	PDSTAT2	电源范围 状态寄存器 2 (包协处理器)
0x20C	PDSTAT3	电源范围 状态寄存器 3 (PCle)
0x210	PDSTAT4	电源范围 状态寄存器 4 (SRIO)
0x214	PDSTAT5	电源范围 状态寄存器 5 (HyperLink)
0x218	PDSTAT6	电源 范围 状态寄存器 6 (保留)
0x21C	PDSTAT7	电源范围 状态寄存器 7 (MSMC RAM)
0x220	PDSTAT8	电源 范围 状态寄存器 8 (C66x CorePac0)
0x224	PDSTAT9	电源范围 状态寄存器 9 (C66x CorePac1)
0x228	PDSTAT10	电源 范围 状态寄存器 10 (C66x CorePac2)
0x22C	PDSTAT11	电源 范围 状态寄存器 11 (C66x CorePac3)
0x230	PDSTAT12	电源 范围 状态寄存器 12 (C66x CorePac4)
0x234	PDSTAT13	电源 范围 状态寄存器 13 (C66x CorePac5)
0x238	PDSTAT14	电源 范围 状态寄存器 14 (C66x CorePac6)
0x23C	PDSTAT15	电源 范围 状态寄存器 15 (C66x CorePac7)
0x240 - 0x2FC	保留	保留
0x300	PDCTL0	电源 范围 控制寄存器 0 (总开启)
0x304	PDCTL1	电源范围 控制寄存器 1 (每个内核 TETB 和系统 TETB)
0x308	PDCTL2	电源范围 控制寄存器 2 (包协处理器)
0x30C	PDCTL3	电源范围 控制寄存器 3 (PCle)
0x310	PDCTL4	电源范围 控制寄存器 4 (SRIO)
0x314	PDCTL5	电源范围 控制寄存器 5 (HyperLink)
0x318	PDCTL6	电源范围 控制寄存器 6 (保留)
0x31C	PDCTL7	电源范围 控制寄存器 7 (MSMC RAM)
0x320	PDCTL8	电源范围 控制寄存器 8 (C66x CorePac0)
0x324	PDCTL9	电源范围 控制寄存器 9 (C66x CorePac1)
0x328	PDCTL10	电源范围 控制寄存器 10 (C66x CorePac2)
0x32C	PDCTL11	电源范围 控制寄存器 11 (C66x CorePac3)
0x330	PDCTL12	电源范围 控制寄存器 12 (C66x CorePac4)
0x334	PDCTL13	电源范围 控制寄存器 13 (C66x CorePac5)
0x338	PDCTL14	电源范围 控制寄存器 14 (C66x CorePac6)
0x33C	PDCTL15	电源 范围 控制寄存器 15 (C66x CorePac7)

表 7-8 PSC 寄存器内存映射(表 2/3)

便宜	寄存器	描述
0x340 - 0x7FC	保留	保留
0x800	MDSTAT0	模块 状态寄存器 0 (非门控)
0x804	MDSTAT1	模块 状态寄存器 1 (SmartReflex)
0x808	MDSTAT2	模块 状态寄存器 2 (DDR3 EMIF)
0x80C	MDSTAT3	模块 状态寄存器 3 (EMIF16 与 SPI)
0x810	MDSTAT4	模块 状态寄存器 4 (TSIP)
0x814	MDSTAT5	模块 状态寄存器 5 (调试子系统和跟踪器)
0x818	MDSTAT6	模块 状态寄存器 6 (每个内核 TETB 和系统 TETB)
0x81C	MDSTAT7	模块 状态寄存器 7 (包加速器)
0x820	MDSTAT8	模块 状态寄存器 8 (以太网 SGMIIs)
0x824	MDSTAT9	模块 状态寄存器 9 (安全加速器)
0x828	MDSTAT10	模块 状态寄存器 10 (PCIe)
0x82C	MDSTAT11	模块 状态寄存器 11 (SRIO)
0x830	MDSTAT12	模块 状态寄存器 12 (HyperLink)
0x834	MDSTAT13	模块 状态寄存器 13 (保留)
0x838	MDSTAT14	模块 状态寄存器 14 (MSMC RAM)
0x83C	MDSTAT15	模块 状态寄存器 15 (C66x CorePac0 与定时器 0)
0x840	MDSTAT16	模块 状态寄存器 16 (C66x CorePac1 与定时器 1)
0x844	MDSTAT17	模块 状态寄存器 17 (C66x CorePac2 与定时器 2)
0x848	MDSTAT18	模块 状态寄存器 18 (C66x CorePac3 与定时器 3)
0x84C	MDSTAT19	模块 状态寄存器 19 (C66x CorePac4 与定时器 4)
0x850	MDSTAT20	模块 状态寄存器 20 (C66x CorePac5 与定时器 5)
0x854	MDSTAT21	模块 状态寄存器 21 (C66x CorePac6 与定时器 6)
0x858	MDSTAT22	模块 状态寄存器 22 (C66x CorePac7 与定时器 7)
0x85C - 0x9FC	保留	保留
0xA00	MDCTL0	模块 控制寄存器 0 (非门控)
0xA04	MDCTL1	模块 控制寄存器 1 (SmartReflex)
0xA08	MDCTL2	模块 控制寄存器 2 (DDR3 EMIF)
0xA0C	MDCTL3	模块 控制寄存器 3 (EMIF16 和 SPI)
0xA10	MDCTL4	模块 控制寄存器 4 (TSIP)
0xA14	MDCTL5	模块 控制寄存器 5 (调试子系统和跟踪器)
0xA18	MDCTL6	模块 控制寄存器 6 (每个内核 TETB 和系统 TETB)
0xA1C	MDCTL7	模块 控制寄存器 7 (包加速器)
0xA20	MDCTL8	模块 控制寄存器 8 (以太网 SGMIIs)
0xA24	MDCTL9	模块 控制寄存器 9 (安全加速器)
0xA28	MDCTL10	模块 控制寄存器 10 (PCIe)
0xA2C	MDCTL11	模块 控制寄存器 11 (SRIO)
0xA30	MDCTL12	模块 控制寄存器 12 (HyperLink)
0xA34	MDCTL13	模块 控制寄存器 13 (保留)
0xA38	MDCTL14	模块 控制寄存器 14 (MSMC RAM)
0xA3C	MDCTL15	模块 控制寄存器 15 (C66x CorePac0 和定时器 0)
0xA40	MDCTL16	模块 控制寄存器 16 (C66x CorePac1 和定时器 1)
0xA44	MDCTL17	模块 控制寄存器 17 (C66x CorePac2 和定时器 2)

表 7-8 PSC 寄存器 内存映射(表 3/3)

地址偏移	寄存器	描述
0xA48	MDCTL18	模块 控制寄存器 18 (C66x CorePac3 和定时器 3)
0xA4C	MDCTL19	模块 控制寄存器 19 (C66x CorePac4 和定时器 4)
0xA50	MDCTL20	模块 控制寄存器 20 (C66x CorePac5 和定时器 5)
0xA54	MDCTL21	模块 控制寄存器 21 (C66x CorePac6 和定时器 6)
0xA58	MDCTL22	模块 控制寄存器 22 (C66x CorePac7 和定时器 7)
0xA5C - 0xFFC	保留	保留
表 7-8 结束		

1 VCNTLID 寄存器仅用于调试目的。

7.5 复位控制器

复位控制器检测 TMS320C6678 设备支持的不同的复位类型，并管理整个设备的复位分配。

设备有多种复位 类型:

- 上电复位
- 硬件复位
- 软件复位
- CPU 本地复位

[表 7-9](#) 深入解释了复位类型，复位的开始以及每种复位对设备的影响。更多关于每种复位对 PLL 控制器和它们时钟影响的更多信息，参看“[复位电气数据 / 时序](#)” 页 138

表 7-9 复位类型

复位类型	起始要素	复位对设备影响	RESETSTAT 引脚状态
POR (上电复位)	POR 引脚低 RESETFULL 引脚低	芯片整体复位。设备上的所有部分复位至默认状态。激活芯片的 POR 信号，用于复位测试/仿真逻辑。锁存引导配置。ROM 引导进程初始化。	切换 RESETSTAT 引脚
硬件复位	RESET 引脚低 仿真 PLLCTL 寄存器 (RSCTRL) 看门狗定时器	除了测试/仿真逻辑和复位隔离单元之外所有部分复位。在复位过程中仿真器和复位隔离单元保持正常运行状态、此类型复位与 POR 不同在于 PLLCTL 当设备复位开始时假定电源和时钟稳定。引导配置未锁存。ROM 引导进程初始化。	切换 RESETSTAT 引脚
软件复位	RESET 引脚低 PLLCTL 寄存器 (RSCTRL) 看门狗定时器	软件可编程这些 起始要素来成为硬件复位或软件复位。默认为硬件复位，但是可以编程设置为软件复位。软件复位与硬件复位动作类似，除了 EMIF16MMR,DDR3EMIFMMR,PCle MMR 黏着位和外部内存内容保持。引导配置未锁存。ROM 引导进程初始化。	切换 RESETSTAT 引脚
C66x CorePac 本地复位	软件 (通过 LPSC MMR) 看门狗 LRESET 引脚	LPSC 的 MMR 位控制 C66x CorePac 本地。有看门狗定时器使用来 (在一个 超时事件) 复位 C66x CorePac。也可以由 LRESET 设备引脚初始化。C66x CorePac 内存系统和从机 DMA 端口仍然正常工作，当 C66x CorePac 处于本地复位时。提供一个 C66x CorePac 的本地复位，不需要破坏时钟排列或内存内容。不需要初始化 ROM 引导进程。	不切换 RESETSTAT 引脚
表 7-9 结束			

7.5.1 上电复位

上电复位用于复位整个设备，包括测试和仿真逻辑。

下列初始化上电复位

1. $\overline{\text{POR}}$ 引脚
2. $\overline{\text{RESETFULL}}$ 引脚

在上电期间 $\overline{\text{POR}}$ 引脚必须设置(拉低)直到供电达到其正常操作条件
一个复位 FULL 引脚同样提供用来允许板上主机来复位整个设备

包括复位隔离逻辑。假定,设备已经上电并且既然不像 $\overline{\text{POR}}$,
 $\overline{\text{RESETFULL}}$ 引脚驱动通过板上主机控制,而不是由整个良好供电的电路。对于上电复位,主 PLL 控制器以旁路模式出现且 PLL 未被使能。其他复位不影响 PLL 或 PLL 控制器的驱动器的状态。

上电复位时必须遵循以下顺序:

1. 等待所有供电到达正常操作条件并保持 $\overline{\text{POR}}$ 引脚设置(拉低)
当 $\overline{\text{POR}}$ 置位时,所有引脚除了 $\overline{\text{RESETSTAT}}$ 将被置为高-阻状态。在 $\overline{\text{POR}}$ 引脚取消设置(拉高)之后,所有 Z 组引脚、低组引脚和高组引脚被置为复位状态将保持复位状态直到由他们相应的外设重新配置。所有的外设都为功耗可管理,在上电复位后失能并且必须通过设备状态控制寄存器来使能(更多信息参看表 3-2“设备状态控制寄存器”页 74)。
2. 时钟复位,包含整个芯片来复位任何与复位同时使用中的逻辑。所有逻辑都为复位状态并且 $\overline{\text{RESETSTAT}}$ 将拉低来指示设备处于复位状态。
3. $\overline{\text{POR}}$ 必须保持活动直到所有板上供电稳定然后至少一段额外的时间用于芯片级 PLL 锁相。
4. $\overline{\text{POR}}$ 引脚现在可以取消置位。复位采样在此点锁存的引脚值。芯片级 PLL 从复位中退出然后开始其锁相序列,然后所有上电设备初始化同样开始。
5. 设备初始化完成后, $\overline{\text{RESETSTAT}}$ 引脚取消设置(拉高)。同时,DDR3 PLL 已经完成其锁相序列并输出固定的时钟。PLL 控制器的系统时钟允许完成当前循环然后暂停它们相应系统参考时钟的 10 个周期。在暂停之后,系统时钟重启于设置的默认划分值。
6. 设备退出复位并且设备开始于选定的引导模式执行。



注意—对于大多数设备,复位取消设置仅当 $\overline{\text{POR}}$ 和 $\overline{\text{RESET}}$ 引脚全都取消置位(拉高)。因此,在上述序列中,如果 $\overline{\text{RESET}}$ 引脚保持低电平通过 $\overline{\text{POR}}$ 引脚的低电平阶段,大多数设备将保持复位状态。复位不应与 $\overline{\text{POR}}$ 引脚相连。

7.5.2 硬件复位

硬件复位将复位设备上的部分，除了 PLL、测试、仿真逻辑和复位隔离单元。POR 应保持在此期间不被置位。

下列可初始一个硬件复位

- $\overline{\text{RESET}}$ 引脚
- PLLCTL 的 RSCTRL 寄存器
- 看门狗定时器
- 仿真

上述所有初始条件默认配置来启动硬件复位。除了仿真，所有其他 3 个初始条件可以在 PLLCTL 的 RSCFG 寄存器配置作为软件复位。

下列位硬件复位必须遵循的顺序:

1. $\overline{\text{RESET}}$ 下拉至低电平保持最少 24CLKIN1 周期。在此期间复位信号可以到达所有模块(除上述那些特别提及的模块)。所有 I/O 为高阻-对于受复位影响的模块，为了防止在软复位期间芯片外冲突。
2. 一旦所有的逻辑部件复位, $\overline{\text{RESETSTAT}}$ 保持活动来表明 复位中的设备。
3. $\overline{\text{RESET}}$ 可以不被释放。一个小范围的设备初始化开始。注意配置 引脚没有重新锁存，并且设备中的时钟不受影响。
4. 在设备初始化完成后， $\overline{\text{RESETSTAT}}$ 引脚取消设置(拉高)。



注意—POR 引脚应当保持静止(高)在整个软件复位流程。否则, 如果 POR 活动 (带来低电平), 则必须满足最小 POR 脉冲宽度。复位引脚不应与 POR 引脚相连。

7.5.3 软件复位

软件复位与硬件复位相似除了 EMIF16MMR、DDR3EMIFMMR 和 PCIeMMR 的黏着位，外部内存内容保持不变。在此期间 POR 应保持不被设置。

下列将初始化一个软件复位

- RESET 引脚
- PLLCTL 的 RSCTRL 寄存器
- 看门狗定时器

所有上述初始条件默认下配置作为硬件复位.除了模拟,所有其他3个初始条件可以配置作为软件复位在 PLLCTL 的 RSCFG 寄存器。.

在软件复位中，外设的时钟逻辑或功耗控制逻辑未被影响。因此，外设的使能/失能状态未被影响。在软件复位中，DDR3 内存控制器寄存器未被复位。除此之外，如果使用者在触发软件复位之前设置 DDR3 SDRAM 为自我更新模式，DDR3 SDRAM 内存内容将被保存。

软件复位期间，将会：

1. RESETSTAT 引脚变为低电平来指示产生了内部复位.复位允许覆盖整个系统。内部系统时钟不受影响。PLL 同样保持锁相。
2. 在设备初始化完成后，复位 STAT 引脚取消置位(拉高)。除此之外，PLL 控制器暂停其系统时钟大约8个周期。

在这一点上：

- › 在软件复位之前，外设状态未改变。
- › I/O 引脚由 DEVSTAT 寄存器控制。
- › DDR3MMR 和 PCIeMMR 的黏着位保持先前值。只有 DDR3 内存控制器和 PCIe 状态机软件复位。
- › PLL 控制器操作于模式，在软件复位之前。系统时钟不受影响。

引导流程开始在系统时钟重启之后。因为配置引脚未锁存在系统复位，先前值存在于 DEVSTAT 寄存器，用于选择引导模式。

7.5.4 本地复位

本地复位可以用于复位一个特殊的 CorePac 而不复位任何其他芯片部件。

本地复位由下列起始(更多细节参看 *KeyStone 设备锁相环(PLL)用户指南* “德州仪器相关文档” 页 72:

- $\overline{\text{LRESET}}$ 引脚
- 看门狗定时器应产生下列一项，基于 CORESEL[2:0]和PLL 控制器的 RSTCFG 寄存器的设置。参看“复位配置寄存器 (RSTCFG)” 页 148 和“CIC 寄存器” 页 183:
 - 本地复位
 - NMI
 - NMI 随后一个 CorePac 的一个本地复位
 - 选择硬件复位，经过 PLLCTL 通过请求复位
- LPSC MMR (内存-映射寄存器)

7.5.5 复位优先级

如果任何上述复位来源同时出现，PLLCTL 进程只响应最高优先级复位请求。复位请求优先级如下 (由高至低):

- 上电复位
- 硬/软复位

7.5.6 复位控制器寄存器

复位控制器寄存器 PLLCTLMMR 的一部分。所有 C6678 具体设备 MMR 信息包含于 7.6.3 “主 PLL 控制寄存器” 页 150。更多关于这些寄存器以及怎样编程设置的细节信息，参看 *KeyStone 设备锁相环(PLL)用户指南* “德州仪器相关文档” 页 72。

7.5.7 复位电气数据 / 时序

表 7-10 复位时序要求⁽¹⁾
(参看 图 7-6 和 图 7-7)

编号			最小值	最大值	单位
RESETFULL 引脚复位					
1	tw(RESETFULL)	脉冲宽度 – 脉冲宽度 RESETFULL 低电平	500C		ns
软/硬复位					
2	tw(RESET)	脉冲宽度 – 脉冲宽度 RESET 低电平	500C		ns

表 7-10 结束

1 C = 1/SYSCLK1 频率以 ns 为单位.

表 7-11 复位开关特性在推荐工作条件下⁽¹⁾
(参看 图 7-6 与 图 7-7)

编号	参数		最小值	最大值	单位
RESETFULL 引脚复位					
3	td(RESETFULLH-RESETSTAT)	延迟时间 - RESETSTAT 高 在 RESETFULL 高 后		50000C	ns
软/硬复位					
4	td(RESETH-RESETSTAT)	延迟时间 - RESETSTAT 高 在 RESET 高 后		50000C	ns

表 7-11 结束

1 C = 1/SYSCLK1 频率以 ns. 为单位.

图 7-6 RESETFULL 复位时序

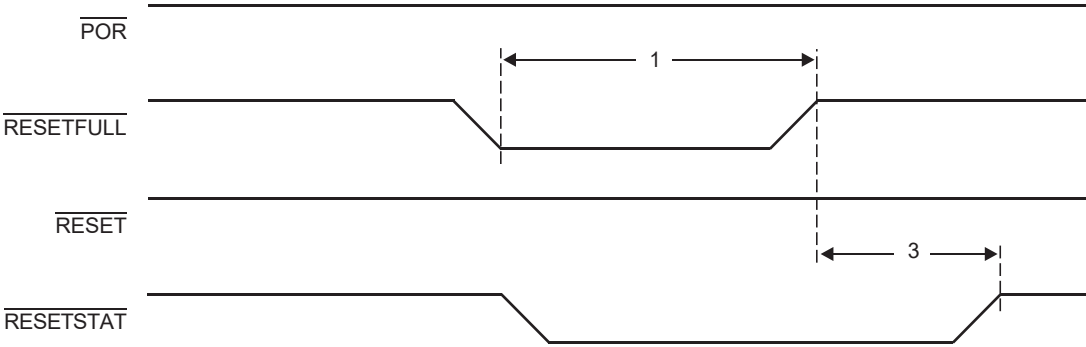


图 7-7 软/硬复位时序

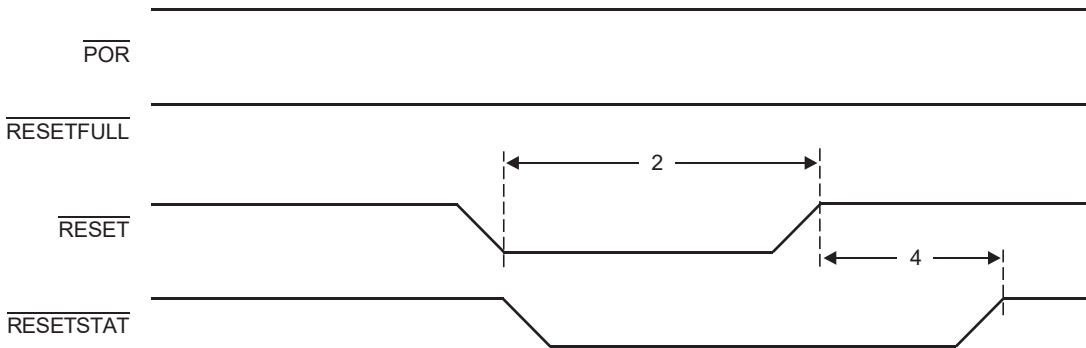


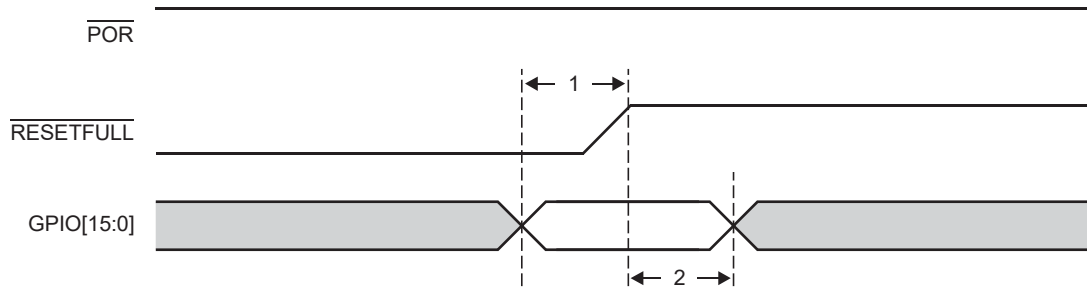
表 7-12 引导配置时序要求⁽¹⁾
(参看 图 7-8)

编号.			最小值	最大值	单元
1	tsu(GPIOn-RESETFULL)	建立时间 - GPIO 固定在 RESETFULL 置位之前	12C		ns
2	th(RESETFULL-GPIOn)	保持时间- GPIO 固定在 RESETFULL 置位之后	12C		ns

表 7-12 结束

1 C = 1/SYSCLK1 频率以 ns 为单位..

图 7-8 引导配置时序

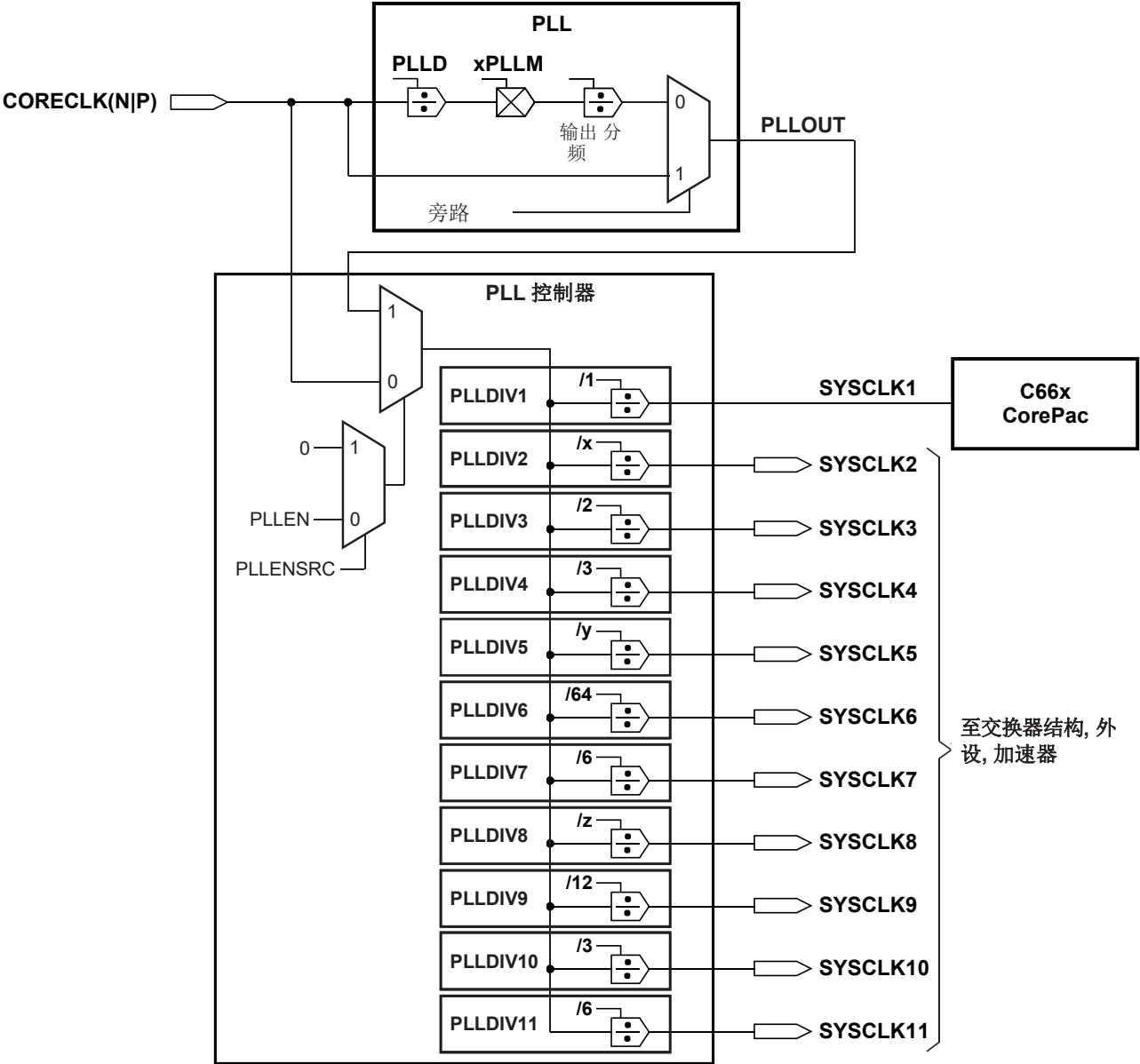


7.6 主 PLL 和 PLL 控制器

此部分提供主PLL和 PLL控制器的描述.关于 PLL 控制器单元操作的细节信息,参看 *KeyStone 设备锁相环(PLL) 用户指南* “[德州仪器相关文档](#)” 页 72.

主 PLL 由标准PLL控制器来进行控制.PLL 控制器管理时钟率\排列和门控 设备的系统时钟。图7-9 为主 PLL 和 PLL 控制器的方框图。

图 7-9 主 PLL 与 PLL 控制器





注意—主 PLL 控制器 寄存器可以由设备的任何主机访问。乘法器的 PLLM[5:0] 位由 PLL 控制器的 PLLM 寄存器控制，PLLM[12:6] 位由芯片级主 PLLCTL0 寄存器控制。PLL 的输出 划分和旁路逻辑由 PLL 控制器的 SECCTL 寄存器域控制。只有 PLLDIV2、PLLDIV5 和 PLLDIV8 可编程在 C6678 设备中。参看 *KeyStone 设备锁相环 (PLL) 用户指南* “德州仪器相关文档” 页 72 来获取关于更多编程 PLL 控制器的细节信息。

PLL 中的乘除率和每个芯片级时钟的后划分由 PLL 和 PLL 控制器组合决定。PLL 控制器同样控制复位覆盖整个芯片，时钟排列和测试点。当 PLL 锁相时，PLL 控制器监控 PLL 状态并提供一个信号输出指示。

主 PLL 的供电在外部通过 主 PLL 供电引脚(AVDDA1)。一个外部 EMI 滤波器电路必需添加至所有的 PLL 供电。参看 *KeyStone I 设备硬件设计指南* “德州仪器相关文档” 页 72 来获取更多推荐操作的细节。为了达到最优性能，TI 建议所有 PLL 外部部件在没有跳线、开关以及其他提到的部件的线路板的信号端，为了减小 PLL 抖动，最大化空间在开关信号线路和 PLL 外部部件之间(C1, C2 和 EMI 滤波器)。

最小 SYSCLK 上升与下降时间应被观测。关于输入时钟时序要求，参看 7.6.5 “主 PLL 控制器 /SRIO/HyperLink/PCIe 时钟输入电气数据/时序”。



注意—所述 PLL 控制器单元参看 *KeyStone 设备锁相环(PLL)用户指南* “德州仪器相关文档” 页 72 包含了一个 特性的集合，许多在 TMS320C6678 设备上并未支持。下列部分描述了支持的寄存器；应假定包含在这些部分任何寄存器都由设备支持。此外，仅有在此处描述的寄存器位支持。避免向任何保留内存定位进行写操作或改变保留位的值。

7.6.1 主 PLL 控制器具体设备信息

7.6.1.1 内部时钟和最大操作频率

主 PLL， 用于驱动 CorePacs， 交换结构和大多数的外设时钟(除了 DDR3 和网络协处理器 (PASS))需要一个 PLL 控制器来管理多个时钟分频、门控和同步。主 PLL 控制器有多个 SYSCLK 输出列举如下， 同样有时钟 描述。每个 SYSCLK 有一个相应的分频器 来分频 PLL 的输出时钟。注意分频器不被编程除非下述明确提及。

- **SYSCLK1:** CorePacs 全速时钟。
- **SYSCLK2:** 1/x-速率 CorePac 时钟 (仿真)。此默认速率为 1/3。可编程设置由 /1 到/32， 此时钟不超过最大值 350 MHz。SYSCLK2 可以由软件关闭。
- **SYSCLK3:** 1/2-速率 时钟用于为 MSMC、HyperLink、CPU/2 TeraNet、DDR EMIF 和 CPU/2 EDMA 提供时钟源。
- **SYSCLK4:** 1/3-速率 时钟用于交换结构和快速外设。调试_SS 和 ETB 同样使用此时钟。
- **SYSCLK5:** 1/y-速率 时钟仅用于系统跟踪模块。此默认速率为 1/5。此时钟可配置并且最大配置时钟 为 210 MHz， 最小配置时钟 为 32 MHz。SYSCLK5 可以由软件关闭。

- **SYSCLK6:** 1/64-速率时钟。1/64 速率时钟 (emif_ptv) 用于为 PVT 补偿缓冲器用于为 DDR3 EMIF 来提供时钟源。
- **SYSCLK7:** 1/6-速率时钟用于低速外设 (GPIO, UART, 定时器, I²C, SPI, EMIF16 等等) 并为 SYSCLKOUT 输出引脚提供时钟源。
- **SYSCLK8:** 1/z-速率时钟。此时钟用于低频系统时钟。此默认值为 1/64。可编程设置从 /24 至/80。
- **SYSCLK9:** 1/12-速率时钟用于 SmartReflex.
- **SYSCLK10:** 1/3-速率时钟仅用于 SRIO.
- **SYSCLK11:** 1/6-速率时钟仅用于 PSC.

仅 SYSCLK2, SYSCLK5 和 SYSCLK8 在 TMS320C6678 设备中可编程。



注—除非任何其他可编程 SYSCLK 置低或小于 1/64 速率, 然后 SYSCLK8 (SLOW_SYSCLK) 必须编程来匹配, 或低于系统的最低 SYSCLK。

7.6.1.2 主 PLL 控制器操作模式

主 PLL 控制器有两种操作模式: 旁路模式和 PLL 模式。操作模式由 PLL 二级控制寄存器 (SECCTL) 的旁路位来决定。在 PLL 模式中, SYSCLK1 由 PLL 输出产生, 通过使用值设置在主 PLLCTL0 寄存器中的 PLLM 和 PLLD 位域。在旁路模式中, PLL 输入直接输出作为 SYSCLK1。

当内部时钟频率改变时, 所有主机必须阻挡对 DSP 的访问。必须遵循机制使 DSP 通知主机何时 PLL 配置完成。

7.6.1.3 主 PLL 稳定、锁相, 和复位时间

在设备上电之后, PLL 稳定时间必须等待内部 PLL 管理器稳定。PLL 不应被操作, 直到稳定时间用完。

PLL 复位时间为当重新设置 PLL (写 PLLRST = 1) 时的等待时间, 为了 PLL 正确复位, 在使 PLL 退出复位时 (写 PLLRST = 0)。对于主 PLL 复位时间值, 参看表 7-13。

PLL 锁相时间为当 PLL 退出复位 (PLLRST = 1) 再到 PLL 控制器可以切换至 PLL 模式所需的时间。主 PLL 锁相时间见表 7-13。

表 7-13 主 PLL 稳定、锁相和复位时间

	最小值	典型值	最大值	单位
PLL 稳定时间	100			μs
PLL 锁相时间			$500 \times (\text{PLLD}^{(1)} + 1) \times C^{(2)}$	
PLL 复位时间	1000			ns
表 7-13 结束				

1 PLLD 为主 PLLCTL0 寄存器的 PLLD 位域中的值

2 C = SYSCLK1 周期时间, 以 ns 为单位..

7.6.2 PLL控制器 内存映射

PLL 控制器的内存映射的相关信息见 [表 7-14](#)。具体 TMS320C6678 PLL 控制器寄存器定义见下 [表 7-14](#)。对域表中的其它寄存器，参看 *KeyStone 设备锁相环(PLL) 用户指南* “[德州仪器相关文档](#)” 页 72。



注—只有文档此处的寄存器在 TMS320C6678 中可访问。PLL 控制器内存映射中的其他地址包括保留寄存器都不应被修改。更确切地说，只支持在此处描述的寄存器位。避免向任何保留内存地址进行写操作或改变保留位的值。推荐使用 读-修改-写 序列来改变寄存器的固定位。

表 7-14 PLL 控制器 寄存器 (包括复位控制器) (表 1 / 2)

16 位地址范围	域	寄存器名称
0231 0000 - 0231 00E3	-	保留
0231 00E4	RSTYPE	复位类型 状态寄存器 (复位控制器)
0231 00E8	RSTCTRL	软件 复位 控制寄存器 (复位控制器)
0231 00EC	RSTCFG	复位 配置 寄存器 (复位控制器)
0231 00F0	RSISO	复位隔离寄存器 (复位控制器)
0231 00F0 - 0231 00FF	-	保留
0231 0100	PLLCTL	PLL 控制寄存器
0231 0104	-	保留
0231 0108	SECCTL	PLL 二级 控制寄存器
0231 010C	-	保留
0231 0110	PLLM	PLL 相乘器控制寄存器
0231 0114	-	保留
0231 0118	PLLDIV1	保留
0231 011C	PLLDIV2	PLL 控制器 2 分频 寄存器
0231 0120	PLLDIV3	保留
0231 0124	-	保留
0231 0128	-	保留
0231 012C - 0231 0134	-	保留
0231 0138	PLLCMD	PLL 控制器命令寄存器
0231 013C	PLLSTAT	PLL 控制器状态寄存器
0231 0140	ALNCTL	PLL 控制器 时钟 排列控制寄存器
0231 0144	DCHANGE	PLLDIV 因数改变状态寄存器
0231 0148	CKEN	保留
0231 014C	CKSTAT	保留
0231 0150	SYSTAT	SYSCLK 状态寄存器
0231 0154 - 0231 015C	-	保留
0231 0160	PLLDIV4	保留
0231 0164	PLLDIV5	PLL 控制器 5 分频 寄存器
0231 0168	PLLDIV6	保留
0231 016C	PLLDIV7	保留
0231 0170	PLLDIV8	PLL 控制器 8 分频 寄存器

表 7-14 PLL 控制器 寄存器 (包括复位控制器) (表 2/ 2)

16 位地址范围	域	寄存器名称
0231 0174 - 0231 0193	PLLDIV9 - PLLDIV16	保留
0231 0194 - 0231 01FF	-	保留
表 7-14 保留		

7.6.2.1 PLL 二级 控制寄存器 (SECCTL)

PLL 二级 控制寄存器包含控制主 PLL 的额外域，相关信息见 图 7-10 和 表 7-15。

图 7-10 PLL 二级 控制寄存器 (SECCTL)

31	24	23	22	19	18	0
保留		旁路	OUTPUT 分频		保留	
R-0000 0000		RW-0	RW-0001		RW-001 0000 0000 0000 0000	

标注: R/W = 读/写; R = 只读; -n = 复位后的值

表 7-15 PLL 二级 控制寄存器 (SECCTL) 域描述

位	域	描述
31-24	保留	保留
23	旁路	主 PLL 旁路 使能 0 = 主 PLL 旁路 失能 1 = 主 PLL 旁路 使能
22-19	OUTPUT 分频	输出分频器因数位. 0h = $\div 1$. 分频器频率除以 1. 1h = $\div 2$. 分频器频率除以 2. 2h - Fh = 保留.
18-0	保留	保留
表 7-15 结束		

7.6.2.2 PLL 控制器分频器寄存器 (PLLDIV2, PLLDIV5, PLLDIV8)

The PLL 控制器分频器寄存器 (PLLDIV2, PLLDIV5, 和 PLLDIV8) 见 图 7-11 和 表 7-16。RATIO 域的复位默认值对于 PLLDIV2, PLLDIV5 和 PLLDIV8 是不同的并标明在了 图 7-11 的脚注。

图 7-11 PLL 控制器分频器寄存器 (PLLDIVn)

31	16	15	14	8	7	0
保留		$Dn^{(1)} EN$	保留	RATIO		
R-0		R/W-1	R-0	$R/W-n^{(2)}$		

标注: R/W = 读/写; R = 只读; -n = 复位后的值

1 D2EN 用于 PLLDIV2; D5EN 用于 PLLDIV5; D8EN 用于 PLLDIV8

2 n=02h 用于 PLLDIV2; n=04h 用于 PLLDIV5; n=3Fh 用于 PLLDIV8

表 7-16 PLL 控制器分频器寄存器 (PLLDIVn) 域描述

位	域	描述
31-16	保留	保留.
15	$DnEN$	分频器 Dn 使能位. (参看 图 7-11 脚注) 0 = 分频器 n 失能. 1 = 无时钟输出, 分频器 n 使能
14-8	保留	保留. 保留位位置读始终为 0. A 值写至此域无效果.
7-0	RATIO	分频器因数位. (参看 图 7-11 脚注) 0h = $\div 1$. 分频器频率除以 1. 1h = $\div 2$. 分频器频率除以 2. 2h = $\div 3$. 分频器频率除以 3. 3h = $\div 4$. 分频器频率除以 4. 4h - 4Fh = $\div 5$ to $\div 80$. 分频器频率除以 5 到分频器频率除以 80.

表 7-16 结束.

7.6.2.3 PLL 控制器时钟排列控制寄存器 (ALNCTL)

PLL 控制器时钟排列控制寄存器 (ALNCTL) 的相关信息见 图 7-12 和 表 7-17。

图 7-12 PLL 控制器时钟排列控制寄存器 (ALNCTL)

31	8	7	6	5	4	3	2	1	0
保留		ALN8	保留	保留	ALN5	保留	保留	ALN2	保留
R-0		R/W-1	R-0	R-0	R/W-1	R-0	R-0	R/W-1	R-0

标注: R/W = 读/写; R = 只读; -n = 复位后的值, 对于复位值

表 7-17 PLL 控制器 时钟 排列控制寄存器 (ALNCTL) 域描述

位	域	描述
31-8 6-5 3-2 0	保留	保留. 保留 位定位读总为 0. A 值写向此域无效果.
7 4 1	ALN8 ALN5 ALN2	SYSClk _n 排列. 不改变这些域的默认值. 0 = 不排列 SYSClk _n 至其他 SYSClks 在 GO 操作期间. 如果 DCHANGE 中 SYS _n 置位, SYSClk _n 立即转换至新的比率在 PLLCMD 的 GOSET 位置位后. 1 = 排列 SYSClk _n 至其他 SYSClks ALNCTL 选择的. 当 PLLCMD 的 GOSET 位置位并且 DCHANGE 中 SYS _n 为 1. SYSClk _n 速率设置至 RATIO 位 in PLLDIV _n 编程设置的比率.
表 7-17 结束		

7.6.2.4 PLLDIV 分频器比率改变状态寄存器 (DCHANGE)

无论何时向 PLLDIV_n 寄存器写一个不同的比率值, PLLCTL 标记 DCHANGE 状态寄存器的改变. 在 GO 操作期间, PLL 控制器将仅仅改变 SYSClk 的分频率, 根据 DCHANGE 位设置情况. 注意 ALNCTL 寄存器决定如果时钟同样需要与其他时钟相对齐. PLLDIV 分频器比率改变状态寄存器的相关信息见 图 7-13 和 表 7-18.

图 7-13 PLLDIV 分频器 比率改变状态寄存器 (DCHANGE)

31	8	7	6	5	4	3	2	1	0
保留	SYS8	保留	SYS5	保留	SYS2	保留			
R-0	R/W-0	R-0	R/W-0	R-0	R/W-0	R-0			

标注: R/W = 读/写; R = 只读; -n = 复位后的值, 对于复位值

表 7-18 PLLDIV 分频器比率改变状态寄存器 (DCHANGE) 域描述

位	域	描述
31-8 6-5 3-2 0	保留	保留. 保留 位定位读总为 0. A 值 写入此域无效果.
7 4 1	SYS8 SYS5 SYS2	识别 SYSClk _n 分频率改变. 0 = SYSClk _n 比率 不改变. 当 GOSET 置位, SYSClk _n 不受影响. 1 = SYSClk _n 比率改变. 当 GOSET 置位, SYSClk _n 将改变至新比率.
表 7-18 结束		

7.6.2.5 SYSClk 状态寄存器 (SYSTAT)

SYSClk 状态寄存器 (SYSTAT) 为 SYSClk[11:1] 的状态. SYSTAT 的相关信息见 图 7-14 和 表 7-19.

图 7-14 SYSClk 状态寄存器 (SYSTAT)

31	11	10	9	8	7	6	5	4	3	2	1	0
保留	SYS11ON	SYS10ON	SYS9ON	SYS8ON	SYS7ON	SYS6ON	SYS5ON	SYS4ON	SYS3ON	SYS2ON	SYS1ON	
R-n	R-1	R-1	R-1	R-1	R-1	R-1	R-1	R-1	R-1	R-1	R-1	R-1

标注: R/W = 读/写; R = 只读; -n = 复位后的值

表 7-19 SYSCLK 状态寄存器 (SYSTAT) 域描述

位	域	描述
31-11	保留	保留.保留 位定位读总为 0. A 值写向此域无效果.
10-0	SYS[N ⁽¹⁾]ON	SYSCLK[N] 状态. 0 = SYSCLK[N] 门控. 1 = SYSCLK[N] 打开.
表 7-19 结束		

1 N=1, 2, 3, ..., N (并不是所有这些输出 时钟用于具体设备. 更多信息, 参看具体设备数据手册)

7.6.2.6 复位类型状态寄存器 (RSTYPE)

复位类型状态(RSTYPE) 寄存器锁存最后复位的语句。如果多个复位源同时出现，此寄存器锁存最高优先级复位源。复位类型状态寄存器的相关信息见 图 7-15 和 表 7-20。

图 7-15 复位类型状态寄存器 (RSTYPE)

31	29	28	27	12	11	8	7	3	2	1	0
保留	EMU-RST	保留	保留	WDRST[N]	保留	保留	保留	保留	PLLCTLRST	RESET	POR
R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0	R-0

标注: R = 只读; -n = 复位后的值

表 7-20 复位类型状态寄存器 (RSTYPE) 域描述

位	域	描述
31-29	保留	保留. 只读. 读总为 0. 写无效果.
28	EMU-RST	仿真初始复位 0 = 不是最新出现的复位 . 1 = 最新出现的复位.
27-12	保留	保留. 只读. 读总为 0. 写无效果.
11	WDRST3	看门狗定时器初始复位 [N].
10	WDRST2	0 = 不是最新出现的复位 .
9	WDRST1	1 = 最新出现的复位.
8	WDRST0	
7-3	保留	保留. 只读. 读总为 0. 写无效果.
2	PLLCTLRST	PLLCTL 初始复位 0 = 不是最新出现的复位 . 1 = 最新出现的复位.
1	RESET	RESET 复位. 0 = 不是最新出现的复位 . 1 = 最新出现的复位.
0	POR	上电 复位. 0 = 不是最新出现的复位 . 1 = 最新出现的复位.
表 7-20 结束		

7.6.2.7 复位控制寄存器(RSTCTRL)

此寄存器包含一个键值使能向此寄存器的 MSB 和 RSTCFG 寄存器的写操作。此键值为 0x5A69。一个固定的键将保存在 0x000C，任何其他键值都是不固定的。当有向 RSTCTRL 或 RSTCFG 的写操作时，键是不固定的。每一次写操作必须伴随固定的键来开始。软件复位控制寄存器 (RSTCTRL) 的相关信息见 图 7-16 和 表 7-21。

图 7-16 复位 控制寄存器 (RSTCTRL)

31	17	16	15	0
保留		SWRST	KEY	
R-0x0000		R/W-0x ⁽¹⁾	R/W-0x0003	

标注: R = 只读; -n = 复位后的值;

1 写操作根据固定的键值情况确定。

表 7-21 复位 控制寄存器 (RSTCTRL) 域描述

位	域	描述
31-17	保留	保留。
16	SWRST	软件复位 0 = 复位 1 = 不复位
15-0	KEY	键用于 使能 向 RSTCTRL 和 RSTCFG 的写操作。
表 7-21 结束		

7.6.2.8 复位配置寄存器 (RSTCFG)

此寄存器用于配置由复位,看门狗定时器和 PLL 控制器, RSTCTRL 寄存器; 例如, 一个硬件复位或一个软件初始的复位类型。默认条件下, 这些复位将为硬件复位。复位 配置 寄存器 (RSTCFG) 的相关信息见 图 7-17 和 表 7-22。

图 7-17 复位 配置 寄存器 (RSTCFG)

31	14	13	12	11	4	3	0
保留		PLLCTRLSTTYPE	RESETTYPE	保留		WDTYPE[N ⁽¹⁾]	
R-0		R/W-0 ⁽²⁾	R/W-0 ²	R-0		R/W-0 ²	

标注: R = 只读; R/W = 读/写; -n = 复位后的值

1 N=1,2,3,...N(不是所有 这些 输出 用于 一个 具体的 设备。 获取 更多 信息, 参看 具体 设备 数据 手册)。

2 基于固定键值的条件进行写操作。更多细节, 参看 7.6.2.7 “复位 控制寄存器 (RSTCTRL)”。

表 7-22 复位 配置 寄存器 (RSTCFG) 域描述(表 1/2)

位	域	描述
31-14	保留	保留。
13	PLLCTRLSTTYPE	PLL 控制器初始软件驱动复位类型: 0 = 硬件复位 (默认) 1 = 软件复位
12	RESETTYPE	RESET 初始复位类型: 0 = 硬件复位 (默认) 1 = 软件复位

表 7-22 复位配置寄存器(RSTCFG)域描述(表 2/2)

位	域	描述
11-4	保留	保留.
3	WDTYPE3	看门狗定时器[N]初始复位类型: 0 = 硬件复位 (默认) 1 = 软件复位
2	WDTYPE2	
1	WDTYPE1	
0	WDTYPE0	
表 7-22 结束		

7.6.2.9 复位隔离寄存器(RSISO)

此寄存器用于选择模块时钟必须保持它们的时钟不暂停在 非上电复位期间.设置任何这些 位将有效的阻塞 复位向所有的 PLLCTL 寄存器来保持 PLL 相乘器的当前值，分频比率 和其他设置。伴随设置 RSISO 的单元具体位，相应的 PSC 的 MDCTLx[12] 位同样必须置位来复位隔离一个特别的单元。关于 MDCTLx 寄存器的更多信息 参看 *KeyStone 设备休眠控制器(PSC) 用户指南“德州仪器相关文档”* 页 72。复位 隔离寄存器(RSTCTRL) 的相关信息见图 7-18 和 表 7-23。

图 7-18 复位隔离寄存器(RSISO)

31	10	9	8	7	0
保留		SRIOISO	SRISO	保留	
R-0		R/W-0	R/W-0	R-0	

标注:R = 只读;R/W = 读/写;-n = 复位后的值

表 7-23 复位隔离寄存器(RSISO)域描述

位	域	描述
31-10	保留	保留.
9	SRIOISO	隔离 SRIO 单元 0 = 非复位隔离 1 = 复位隔离
8	SRISO	隔离 SmartReflex 0 = 非复位 隔离 1 = 复位隔离
7-0	保留	保留.
表 7-23 结束		



注—引导 ROM 代码将使能复位隔离对于 SRIO 和 SmartReflex 单元在引导期间，伴随复位隔离寄存器。取决于用户应用来使其失能。

7.6.3 主 PLL 控制寄存器

主 PLL 使用两个芯片级寄存器(主 PLLCTL0 和主 PLLCTL1)伴随 PLL 控制器来完成配置。这些 MMR 存在于引导配置空间里。为了向这些寄存器进行写操作，软件需要执行一段解锁序列通过使用 KICK0/KICK1 寄存器。对于固定配置值在主 PLLCTL0 和主 PLLCTL1 寄存器参看 2.5.4 “PLL 引导配置设置” 页 38。参看 3.3.4 “Kicker 机制寄存器(KICK0 与 KICK1)” 页 80 获取寄存器的地址定位。

以及访问寄存器的锁定和解锁序列寄存器仅由 POR 复位。

图 7-19 主 PLL 控制寄存器 0 (MAINPLLCTL0)

31	24	23	19	18	12	11	6	5	0
BWADJ[7:0]				保留		PLLM[12:6]		保留	PLLD
RW-0000 0101				RW-0000 0		RW-0000000		RW-000000	RW-000000

标注:RW = 读/写;-n = 复位后的值

表 7-24 主 PLL 控制寄存器 0 (MAINPLLCTL0) 域描述

位	域	描述
31-24	BWADJ[7:0]	BWADJ[11:8] 和 BWADJ[7:0] 位于主 PLLCTL0 和主 PLLCTL1 寄存器。组合 (BWADJ[11:0]) 应编程至一个值 相关于 PLLM[12:0] 值基于公式: $BWADJ = ((PLLM+1) >> 1) - 1$
23-19	保留	保留
18-12	PLLM[12:6]	A 13-位总线选择值用于相乘因子 (参看 注)
11-6	保留	保留
5-0	PLLD	A 6-位总线选择 值用于参考分频器
表 7-24 结束		

图 7-20 主 PLL 控制寄存器 1 (MAINPLLCTL1)

31	7	6	5	4	3	0
保留				ENSAT	保留	BWADJ[11:8]
RW-000000000000000000000000				RW-0	RW-00	RW-0000

标注:RW = 读/写;-n = 复位后的值

表 7-25 主 PLL 控制寄存器 1 (MAINPLLCTL1) 域描述

位	域	描述
31-7	保留	保留
6	ENSAT	必须置 1 用于 PLL 的正确操作
5-4	保留	保留
3-0	BWADJ[11:8]	BWADJ[11:8] 和 BWADJ[7:0] 位于主 PLLCTL0 和主 PLLCTL1 寄存器。组合 (BWADJ[11:0]) 应编程至一个值 related to PLLM[12:0] 值基于公式: $BWADJ = ((PLLM+1) >> 1) - 1$
表 7-25 结束		



注—相乘器地 PLLM[5:0] 位由 PLL 控制器的 PLLM 寄存器控制， PLLM[12:6] 位由主 PLLCTL0 芯片级寄存器控制。主 PLLCTL0 寄存器 PLLM[12:6] 位应当执行写操作在向控制器 PLLM 寄存器 PLLM[5:0] 位写操作之前来完成 13 位值锁存，当 GO 操作在 PLL 控制器初始完成。参看 *KeyStone 设备锁相环 (PLL) 用户指南 “德州仪器相关文档”* 页 72 来参考推荐编程顺序。主 PLL 由 PLL 控制器的 SECCTL 寄存器控制输出分频和旁路 使能/失能。参看 7.6.2.1 “PLL 二级 控制寄存器 (SECCTL)” 来获取更多细节信息。

7.6.4 主 PLL 和 PLL 控制器初始化流程

参看 *KeyStone 设备锁相环(PLL) 用户指南 “德州仪器相关文档”* 页 72 来获取更多信息关于 主 PLL 和 PLL 控制器的初始化流程。

7.6.5 主 PLL 控制器/SRIO/HyperLink/PCIe 时钟输入 电气数据/时序

表 7-26 主 PLL 控制器/SRIO/HyperLink/PCIe 时钟输入 时序要求⁽¹⁾ (表 1/2)
 (参看 图 7-21 和图 7-22)

编		最小值	最大值	单位
CORECLK[P:N]				
1	tc(CORECLKN) 周期时间 _ CORECLKN 周期时间	3.2	25	ns
1	tc(CORECLKP) 周期时间 _ CORECLKP 周期时间	3.2	25	ns
3	tw(CORECLKN) 脉冲宽度 _ CORECLKN 高	$0.45 * tc(CORECLKN)$	$0.55 * tc(CORECLKN)$	ns
2	tw(CORECLKN) 脉冲宽度 _ CORECLKN 低	$0.45 * tc(CORECLKN)$	$0.55 * tc(CORECLKN)$	ns
2	tw(CORECLKP) 脉冲宽度 _ CORECLKP 高	$0.45 * tc(CORECLKP)$	$0.55 * tc(CORECLKP)$	ns
3	tw(CORECLKP) 脉冲宽度 _ CORECLKP 低	$0.45 * tc(CORECLKP)$	$0.55 * tc(CORECLKP)$	ns
4	tr(CORECLK_250mv) 转换时间 _ CORECLK 差分上升时间 (250mV)	50	350	ps
4	tf(CORECLK_250mv) 转换时间 _ CORECLK 差分下降时间 (250mV)	50	350	ps
5	tj(CORECLKN) 抖动, 峰峰值周期 CORECLKN		$0.02 * tc(CORECLKN)$	ps
5	tj(CORECLKP) 抖动, 峰峰值周期 CORECLKP		$0.02 * tc(CORECLKP)$	ps
SRIOSGMIICLK[P:N]				
1	tc(SRIOSGMIICLK) 周期时间 _ SRIOSGMIICLK 周期时间	3.2 or 4 or 6.4		ns
1	tc(SRIOSGMIICLK) 周期时间 _ SRIOSGMIICLK 周期时间	3.2 or 4 or 6.4		ns
3	tw(SRIOSGMIICLK) 脉冲宽度 _ SRIOSGMIICLK 高	$0.45 * tc(SRIOSGMIICLK)$	$0.55 * tc(SRIOSGMIICLK)$	ns
2	tw(SRIOSGMIICLK) 脉冲宽度 _ SRIOSGMIICLK 低	$0.45 * tc(SRIOSGMIICLK)$	$0.55 * tc(SRIOSGMIICLK)$	ns
2	tw(SRIOSGMIICLK) 脉冲宽度 _ SRIOSGMIICLK 高	$0.45 * tc(SRIOSGMIICLK)$	$0.55 * tc(SRIOSGMIICLK)$	ns
3	tw(SRIOSGMIICLK) 脉冲宽度 _ SRIOSGMIICLK 低	$0.45 * tc(SRIOSGMIICLK)$	$0.55 * tc(SRIOSGMIICLK)$	ns
4	tr(SRIOSGMIICLK_ 转换时间 _ SRIOSGMIICLK 差分 上升时间 250mv) (250 mV)	50	350	ps
4	tf(SRIOSGMIICLK_ 转换时间 _ SRIOSGMIICLK 差分 下降时间 250mv) (250 mV)	50	350	ps
5	tj(SRIOSGMIICLK) 抖动, 峰峰值周期 SRIOSGMIICLK		$4^{(2)}$	ps,RMS
5	tj(SRIOSGMIICLK) 抖动, 峰峰值周期 SRIOSGMIICLK		$4^{(2)}$	ps,RMS
5	tj(SRIOSGMIICLK) 抖动, 峰峰值周期 SRIOSGMIICLK (SRIO not used)		$8^{(2)}$	ps,RMS
5	tj(SRIOSGMIICLK) 抖动, 峰峰值周期 SRIOSGMIICLK (SRIO not used)		$8^{(2)}$	ps,RMS

表 7-26 主 PLL 控制器/SRIO/HyperLink/PCIE 时钟输入时序要求⁽¹⁾ (表 2/ 2)
(参看 图 7-21 与图 7-22)

编			最小值	最大值	单位
HyperLinkCLK[P:N]					
1	tc(MCMCLKN)	周期时间 _ MCMCLKN 周期时间	3.2 或 4 或 6.4		ns
1	tc(MCMCLKP)	周期时间 _ MCMCLKP 周期时间	3.2 或 4 或 6.4		ns
3	tw(MCMCLKN)	脉冲宽度 _ MCMCLKN 高	$0.45 \cdot tc(MCMCLKN)$	$0.55 \cdot tc(MCMCLKN)$	ns
2	tw(MCMCLKN)	脉冲宽度 _ MCMCLKN 低	$0.45 \cdot tc(MCMCLKN)$	$0.55 \cdot tc(MCMCLKN)$	ns
2	tw(MCMCLKP)	脉冲宽度 _ MCMCLKP 高	$0.45 \cdot tc(MCMCLKP)$	$0.55 \cdot tc(MCMCLKP)$	ns
3	tw(MCMCLKP)	脉冲宽度 _ MCMCLKP 低	$0.45 \cdot tc(MCMCLKP)$	$0.55 \cdot tc(MCMCLKP)$	ns
4	tr(MCMCLK_250mv)	转换时间 _ MCMCLK 差分 上升时间 (250mV)	50	350	ps
4	tf(MCMCLK_250mv)	转换时间 _ MCMCLK 差分 下降时间 (250mV)	50	350	ps
5	tj(MCMCLKN)	抖动, 峰峰值周期 MCMCLKN		$4^{(2)}$	ps,RMS
5	tj(MCMCLKP)	抖动, 峰峰值周期 MCMCLKP		$4^{(2)}$	ps,RMS
PCIECLK[P:N]					
1	tc(PCIECLKN)	周期时间 _ PCIECLKN 周期时间	3.2 or 4 or 6.4 or 10		ns
1	tc(PCIECLKP)	周期时间 _ PCIECLKP 周期时间	3.2 or 4 or 6.4 or 10		ns
3	tw(PCIECLKN)	脉冲宽度 _ PCIECLKN 高	$0.45 \cdot tc(PCIECLKN)$	$0.55 \cdot tc(PCIECLKN)$	ns
2	tw(PCIECLKN)	脉冲宽度 _ PCIECLKN 低	$0.45 \cdot tc(PCIECLKN)$	$0.55 \cdot tc(PCIECLKN)$	ns
2	tw(PCIECLKP)	脉冲宽度 _ PCIECLKP 高	$0.45 \cdot tc(PCIECLKP)$	$0.55 \cdot tc(PCIECLKP)$	ns
3	tw(PCIECLKP)	脉冲宽度 _ PCIECLKP 低	$0.45 \cdot tc(PCIECLKP)$	$0.55 \cdot tc(PCIECLKP)$	ns
4	tr(PCIECLK_250mv)	转换时间 _ PCIECLK 差分 上升时间 (250 mV)	50	350	ps
4	tf(PCIECLK_250mv)	转换时间 _ PCIECLK 差分 下降时间 (250 mV)	50	350	ps
5	tj(PCIECLKN)	抖动, 峰峰值周期 PCIECLKN		$4^{(2)}$	ps,RMS
5	tj(PCIECLKP)	抖动, 峰峰值周期 PCIECLKP		$4^{(2)}$	ps,RMS

表 7-26 结束

1 参看 硬件设计指南—KeyStone I 设备 “德州仪器相关文档” 页 72 获取建议参考细节。
2 抖动频率参看 硬件 设计指南—KeyStone 设备 “德州仪器相关文档” 页 72, 并且必须满足选择的特定操作模式。.

图 7-21 主 PLL 控制器/SRIO/HyperLink/PCIE 时钟输入时序

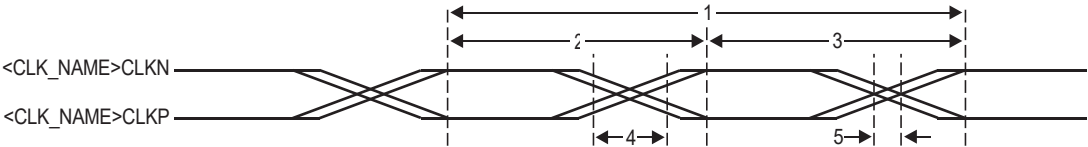
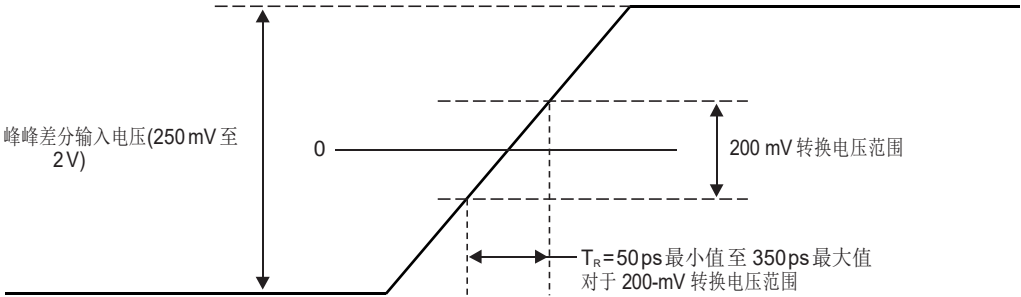


图 7-22 主 PLL 时钟输入转换时间



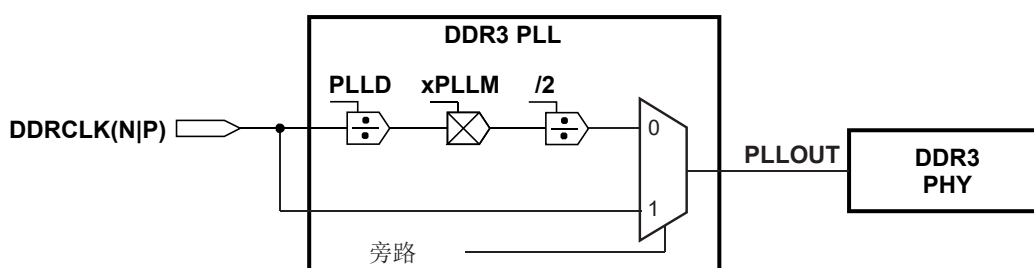
7.7 DD3 PLL

DDR3 PLL 产生接口时钟用于 DDR3 内存控制器。当上电复位结束后，DDR3 PLL 编程至固定的频率在引导配置期间在使能和使用前。

DDR3 PLL 由外部供电 通过 DDR3 PLL 供电引脚(AVDDA2)。一个外部 EMI 滤波器电路必须添加至 PLL 供电。参看 *KeyStone I 设备硬件设计指南“德州仪器相关文档”* 页 72。为了实现更好的性能，TI 建议所有的 PLL 外部器件 位于板的信号端 没有跳线，开关和其他元件。为了降低 PLL 抖动，在开关信号线路和 PLL 外部部件之间 (C1, C2 和 EMI 滤波器) 最大化空间。

图 7-23 为 DDR3 PLL。

图 7-23 DDR3 PLL 模块图



7.7.1 DDR3 PLL 控制寄存器

DDR3 PLL，用于驱动 DDR PHY 对于 EMIF，不使用 PLL 控制器。DDR3 PLL 可以通过使用 DDR3PLLCTL0 和 DDR3PLLCTL1 寄存器位于引导配置单元来控制。这些 MMR (内存-映射寄存器)位于引导配置空间内。向这些寄存器进行写操作，软件需要进行一段解锁流程使用 KICK0/KICK1 寄存器。对于建议的配置值参看 2.5.4 “PLL 引导配置设置” 页 38。参看 3.3.4 “Kicker 机制寄存器 (KICK0 和 KICK1)” 页 80 关于寄存器的地址定位和 锁定和解锁流程关于访问寄存器寄存器。此寄存器仅由 POR 复位。

图 7-24 DDR3 PLL 控制寄存器 0 (DDR3PLLCTL0)⁽¹⁾

31	24	23	22	19	18	6	5	0
BWADJ[7:0]	旁路	保留	PLLM				PLLD	
RW-0000 1001	RW-0	RW-0001	RW-0000000010011				RW-000000	

标注:RW = 读/写;-n = 复位后的值

1 此寄存器 仅由 POR 复位。regreset, reset 与 bgreset 来自 PLL，全都连接至共同的 pll0_ctrl_rst_n。pwrdrn, regpwrdrn, bgpwrdrn 全都连接至共同的 pll0_ctrl_to_pll_pwrdrn。

表 7-27 DDR3 PLL 控制寄存器 0 域描述 (表 1/2)

位	域	描述
31-24	BWADJ[7:0]	BWADJ[11:8]和BWADJ[7:0] 位于 DDR3PLLCTL0 和 DDR3PLLCTL1 寄存器.组合(BWADJ[11:0])应当编程至一个值 相关 于 PLLM[12:0] 值基于方程: BWADJ = ((PLLM+1)>>1) - 1
23	旁路	使能旁路模式 0 = 旁路失能 1 = 旁路使能
22-19	保留	保留

表 7-27 DDR3 PLL 控制寄存器 0 域描述 (表 2/2)

位	域	描述
18-6	PLLM	A 13-位 总线选择 值用于相乘因子
5-0	PLLD	A 6-位总线选择 值用于参考分频器

表 7-27 结束

图 7-25 DDR3 PLL 控制寄存器 1 (DDR3PLLCTL1)

31	14	13	12	7	6	5	4	3	0
保留		PLL RST	保留		ENSAT	保留		BWADJ[11:8]	
RW-000000000000000000		RW-0	RW-000000		RW-0	R-0		RW-0000	

标注: RW = 读/写; -n = 复位后的值

表 7-28 DDR3 PLL 控制寄存器 1 域描述

位	域	描述
31-14	保留	保留
13	PLL RST	PLL 复位 位. 0 = PLL 复位释放 1 = PLL 复位 设置
12-7	保留	保留
6	ENSAT	必须置为 1 用于 PLL 的正确操作
5-4	保留	保留
3-0	BWADJ[11:8]	BWADJ[11:8] 和 BWADJ[7:0] 位于 DDR3PLLCTL0 和 DDR3PLLCTL1 寄存器. 组合(BWADJ[11:0]) 应编程至一个值 相关于 PLLM[12:0] 值基于等式: $BWADJ = ((PLLM + 1) \gg 1) - 1$

表 7-28 结束

7.7.2 DDR3 PLL 具体设备信息

如图 7-23, DDR3 PLL (PLLOUT) 的输出二分频并直接用于 DDR3 内存 控制器。DDR3 PLL 受上电复位影响。在上电复位期间, DDR3 PLL 的内部时钟受到影响详见 7.5 “复位 控制器” 页 133。DDR3 PLL 解锁仅在上电复位流程期间并且在复位 STAT 引脚变为高电平时锁定。在其他复位期间不发生锁定。

7.7.3 DDR3 PLL 初始化流程

参看 KeyStone 设备锁相环 (PLL) 用户指南“德州仪器相关文档” 页 72 来获取更多关于 DDR3 PLL 的初始化流程细节信息。



注—DDR3 接口必须复位每次 DDR3 PLL 重新编程。

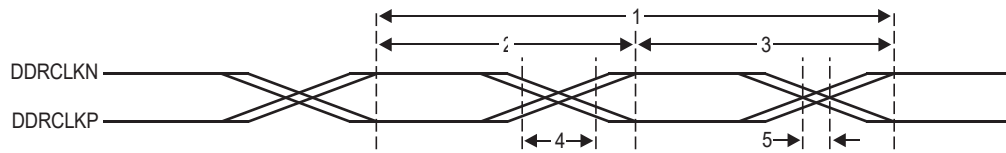
7.7.4 DDR3 PLL 输入 时钟电气数据/时序

表 7-29 DDR3 PLL DDRSYSCLK1(N|P) 时序要求
(参看 图 7-26 和 图 7-22)

编号		最小值	最大值	单元
DDRCLK[P:N]				
1	tc(DDRCLKN) 周期时间 _ DDRCLKN 周期时间	3.2	25	ns
1	tc(DDRCLKP) 周期时间 _ DDRCLKP 周期时间	3.2	25	ns
3	tw(DDRCLKN) 脉冲宽度 _ DDRCLKN 高	$0.45 * tc(DDRCLKN)$	$0.55 * tc(DDRCLKN)$	ns
2	tw(DDRCLKN) 脉冲宽度 _ DDRCLKN 低	$0.45 * tc(DDRCLKN)$	$0.55 * tc(DDRCLKN)$	ns
2	tw(DDRCLKP) 脉冲宽度 _ DDRCLKP 高	$0.45 * tc(DDRCLKP)$	$0.55 * tc(DDRCLKP)$	ns
3	tw(DDRCLKP) 脉冲宽度 _ DDRCLKP 低	$0.45 * tc(DDRCLKP)$	$0.55 * tc(DDRCLKP)$	ns
4	tr(DDRCLK_250mv) 转换时间 _ DDRCLK 差分 上升时间 (250 mV)	50	350	ps
4	tf(DDRCLK_250mv) 转换时间 _ DDRCLK 差分 下降时间 (250 mV)	50	350	ps
5	tj(DDRCLKN) 抖动, 峰峰值周期 DDRCLKN		$0.02 * tc(DDRCLKN)$	ps
5	tj(DDRCLKP) 抖动, 峰峰值周期 DDRCLKP		$0.02 * tc(DDRCLKP)$	ps

表 7-29 结束

图 7-26 DDR3 PLL DDRCLK 时序



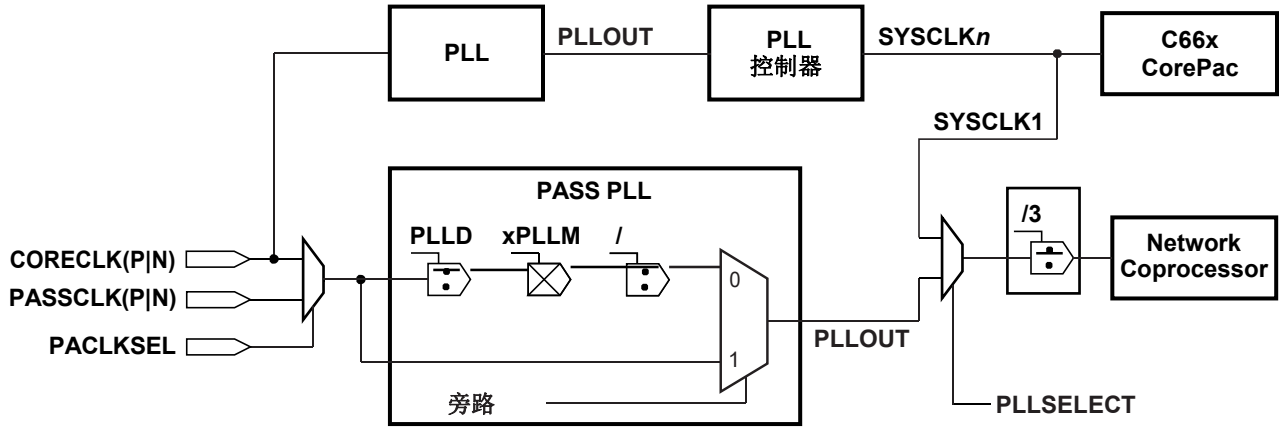
7.8 PASS PLL

PASS PLL 产生接口时钟用于网络协处理器。通过使用 PACLKSEL 引脚用户可以选择 PASS PLL 输入源作为 CORECLK 时钟参考源输出或 PASSCLK 时钟参考源。当退出上电复位后，PASS PLL 作为旁路模式并且必须在被使能和使用之前编程至一个固定频率。

PASS PLL 的供电通过 PASS PLL 供电引脚 (AVDDA3)。一个外部 EMI 滤波器电路必须添加至 PLL 供电。参看 *KeyStone I 设备硬件设计指南“德州仪器相关文档”* 页 72，获取建议细节信息。为了获得最好的性能，为了实现更好的性能。TI 建议所有的 PLL 外部器件 位于板的信号端 没有跳线、开关和其他元件。为了降低 PLL 抖动，在开关信号线路和 PLL 外部部件之间 (C1, C2 和 EMI 滤波器) 最大化空间。

图 7-27 为 PASS PLL。

图 7-27 PASS PLL 模块图



7.8.1 PASS PLL 控制寄存器

PASS PLL，用于驱动网络协处理器，不使用 PLL 控制器。PASS PLL 可以被控制通过使用 PASSPLLCTL0 和 PASSPLLCTL1 寄存器位于引导配置 模块。这些 MMR (内存-映射寄存器) 位于引导配置空间内。为了对这些寄存器进行写操作，软件应该执行一段解锁流程，通过使用 KICK0/KICK1 寄存器。关于建议配置值参看 2.5.4 “PLL 引导 配置 设置” 页 38。参看 3.3.4 “Kicker 机制寄存器 (KICK0 与 KICK1)” 页 80 来获取寄存器的地址定位和 操作寄存器的锁定和解锁流程。此寄存器仅由 POR 复位。

图 7-28 PASS PLL 控制寄存器 0 (PASSPLLCTL0)⁽¹⁾

31	24	23	22	19	18	6	5	0
BWADJ[7:0]			旁路	保留	PLLM			PLLD
RW-0000 1001			RW-0	RW-0001	RW-0000000010011			RW-000000

标注:RW=读/写;-n=复位后的值

1 寄存器仅由 POR 复位。regres, reset 与 bgreset 来自 PLL 都连接至共同的 pll0_ctrl_rst_n。pwrdrn, regpwrdrn, bgpwrdrn 都连接至共同的 pll0_ctrl_to_pll_pwrdrn。

表 7-30 PASSPLL 控制寄存器 0 域描述

位	域	描述
31-24	BWADJ[7:0]	BWADJ[11:8] 和 BWADJ[7:0] 位于 PASSPLLCTL0 和 PASSPLLCTL1 寄存器. 组合 (BWADJ[11:0]) 应编程至一个值相关于 PLLM[12:0] 值基于等式: $BWADJ = ((PLLM+1) >> 1) - 1$
23	旁路	使能旁路模式 0 = 旁路失能 1 = 旁路使能
22-19	保留	保留
18-6	PLLM	A 13-位总线选择 值用于相乘器因数
5-0	PLLD	A 6-位 总线选择值用于参考分频器

表 7-30 结束

图 7-29 PASSPLL 控制寄存器 1 (PASSPLLCTL1)

31	15	14	13	12	7	6	5	4	3	0
保留		PLLST	PLLSELECT	保留		ENSAT	保留		BWADJ[11:8]	
RW-0000000000000000		RW-0	RW-0	RW-000000		RW-0	R-0		RW-0000	

标注: RW = 读/写; -n = 复位后的值

表 7-31 PASSPLL 控制寄存器 1 域描述

位	域	描述
31-15	保留	保留
14	PLLST	PLL 复位 位. 0 = PLL 复位释放 1 = PLL 复位设置
13	PLLSELECT	PASS PLL 选择位注意此位必须置位在以太网子系统配置和使用前. 0 = 保留 1 = PASS PLL 输出 时钟用作输入至 PASS
12-7	保留	保留
6	ENSAT	必须置 1 用于 PLL 的正确操作
5-4	保留	保留
3-0	BWADJ[11:8]	BWADJ[11:8] 和 BWADJ[7:0] 位于 PASSPLLCTL0 和 PASSPLLCTL1 寄存器. 组合 (BWADJ[11:0]) 应编程至一个值相关于 PLLM[12:0] 值基于等式: $BWADJ = ((PLLM+1) >> 1) - 1$

表 7-31 结束

7.8.2 PASS PLL 具体设备信息

如 [图 7-27](#), PASS PLL (PLLOUT) 的输出二分频直接连接至网络协处理器. PASS PLL 受上电复位影响. 在上电复位期间, PASS PLL 的内部时钟所受影响参看 7.5 “[复位 控制器](#)” 页 133. PASS PLL 仅在上电复位期间锁定并在复位 STAT 引脚变为高电平时解锁. 在其他任何复位期间不锁定.

7.8.3 PASS PLL 初始化流程

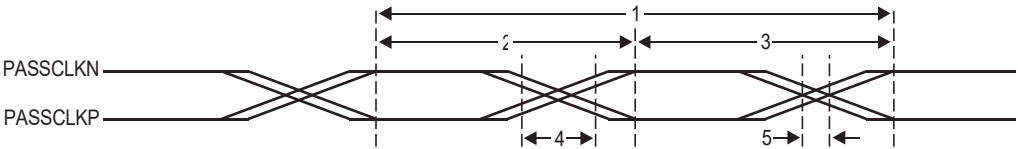
参看 *KeyStone 设备锁相环 (PLL) 用户指南 “德州仪器相关文档”* 页 72 获取更多关于 PASSPLL 初始化流程的细节信息.

7.8.4 PASS PLL 输入 时钟 电气数据/时序

表7-32 PASSPLL时序要求
(参看 图 7-30 和 图 7-22)

编		最小值	最大值	单位
PASSCLK[P:N]				
1	tc(PASSCLKN) 周期时间 _PASSCLKN 周期时间	3.2	25	ns
1	tc(PASSCLKP) 周期时间 _PASSCLKP 周期时间	3.2	25	ns
3	tw(PASSCLKN) 脉冲宽度 _PASSCLKN 高	$0.45 * tc(PASSCLKN)$	$0.55 * tc(PASSCLKN)$	ns
2	tw(PASSCLKN) 脉冲宽度 _PASSCLKN 低	$0.45 * tc(PASSCLKN)$	$0.55 * tc(PASSCLKN)$	ns
2	tw(PASSCLKP) 脉冲宽度 _PASSCLKP 高	$0.45 * tc(PASSCLKP)$	$0.55 * tc(PASSCLKP)$	ns
3	tw(PASSCLKP) 脉冲宽度 _PASSCLKP 低	$0.45 * tc(PASSCLKP)$	$0.55 * tc(PASSCLKP)$	ns
4	tr(PASSCLK_250mv) 转换时间 _PASSCLK 差分 上升时间 (250 mV)	50	350	ps
4	tf(PASSCLK_250mv) 转换时间 _PASSCLK 差分 下降时间 (250 mV)	50	350	ps
5	tj(PASSCLKN) 抖动, 峰峰值周期 PASSCLKN		$0.02 * tc(PASSCLKN)$	ps, pk-pk
5	tj(PASSCLKP) 抖动, 峰峰值周期 PASSCLKP		$0.02 * tc(PASSCLKP)$	ps, pk-pk

图 7-30 PASSPLL时序



7.9 增强直接内存访问 (EDMA3) 控制器

EDMA3 的首要目的是服务用户编程的数据传输在设备内存映射 从机终点之间。EDMA3 服务软件驱动页传输 (例如, 数据移动在外部内存和内部内存之间), 执行多种数据结构的排序和提取, 服务事件驱动外设, 从设备 CPU 分解数据传输

C6678 DSP 有三个 EDMA 通道控制器, EDMA3CC0, EDMA3CC1 和 EDMA3CC2.

- EDMA3CC0 有两个传输控制器: EDMA3TC1 和 EDMA3TC2。
- EDMA3CC1 有四个传输控制器: EDMA3TC0, EDMA3TC1, EDMA3TC2 和 EDMA3TC3。
- EDMA3CC2 有四个传输控制器: EDMA3TC0, EDMA3TC1, EDMA3TC2 和 EDMA3TC3。

在本文当中, EDMA3TC_x 伴随有 EDMA3CC_y, 将作为 EDMA3CC_yTC_x。每个传输控制器有一个直接连接至交换结构。4.2“[交换结构连接](#)”列举了可以由传输控制器访问的外设。

EDMA3CC0 最优化来用于传输至/从/在 MSMC 和 DDR-3 子系统中。其他的则用于保持流量。

每个 EDMA3 通道控制器包含下列特性:

- 完全垂直传输描述
 - 三个传输维度:
 - › 数组 (多个字节)
 - › 帧 (多个数组)
 - › 模块 (多个帧)
 - 单个事件可以触发数组, 帧或整个模块的传输
 - 来源和目的地的独立变址
- 灵活的传输定义:
 - 增长或 FIFO 传输寻址模式
 - 连接机制允许乒乓缓冲器, 循环缓冲器, 和重复/持续传输, 所有都没有 CPU 干预
 - 链结构允许多传输来执行一个事件
- 128 PaRAM 入口用于 EDMA3CC0, 512 每个用于 EDMA3CC1 和 EDMA3CC2
 - 用于定义通道的传输内容
 - 每个 PaRAM 入口可以被用作一个 DMA 入口, QDMA 入口, 或连接入口
- 16 DMA 通道用于 EDMA3CC0, 64 每个用于 EDMA3CC1 和 EDMA3CC2
 - 手动触发 (CPU 写向通道控制器寄存器), 外部事件触发并且链式触发 (完成一个传输从而触发另一个)
- 8 快速 DMA (QDMA) 通到每一个 EDMA3 通道控制器
 - 用于软件-驱动传输
 - 触发写操作向一个单 PaRAM 设置入口
- 两个传输控制器和两个事件队列带有可编程系统级优先级用于 EDMA3CC0, 4 个传输控制器和四个事件队列带有可编程系统级优先级每个通道控制器用于 EDMA3CC1 和 EDMA3CC2
- 中断产生用于传输完成和错误情况

- 调试可视化
 - 队列水位标志/阈值允许检测实践队列的最大使用情况
 - 记录差错与状态用于施行调试

7.9.1 EDMA3 具体设备信息

EDMA 支持两种寻址模式: 常量寻址和增量寻址模式。常量寻址模式应用于一个非常有限的使用情况。对于大多数应用, 必须使用增量模式。关于这两种寻址模式的更多信息, 参看 *KeyStone 设备增强直接内存访问3 (EDMA3) 控制器用户指南*“德州仪器相关文档”页 72。

关于寻址范围包括 EDMA3 通道控制器 (EDMA3CC) 控制寄存器和 EDMA3 传输控制器 (EDMA3TC) 控制寄存器参看表 2-2“内存映射总结”页 17。关于内存偏移以及其他细节信息关于 EDMA3CC 和 EDMA3TC 控制寄存器入口, 参看 *KeyStone 设备增强直接内存访问3 (EDMA3) 控制器用户指南*“德州仪器相关文档”页 72。

7.9.2 EDMA3 通道控制器配置

表 7-33 为设备的每个 EDMA3 通道控制器的配置。

表 7-33 EDMA3 通道控制器配置

描述	EDMA3 CC0	EDMA3 CC1	EDMA3 CC2
通道控制器中 DMA 通道数量	16	64	64
QDMA 通道数量	8	8	8
中断通道数量	16	64	64
PaRAM 设置通道数量	128	512	512
事件队列数量	2	4	4
传输控制器数量	2	4	4
有无内存保护	Yes	Yes	Yes
内存保护和阴影区域数量	8	8	8
表 7-33 结束			

7.9.3 EDMA3 传输控制器配置

设备的每个传输控制器基于性能要求、系统拓扑(例如主 TeraNet 总线宽度, 外部内存总线宽度), 等等的不同考虑来分别进行设计。决定传输控制器 配置的参数为:

- **FIFOSIZE:** 决定数据 FIFO 字节大小为暂时缓冲器用于传输中的数据。数据 FIFO, 来自源终点的读操作返回数据, 读操作通过 TC 读控制器, 数据被存储随后通过 TC 写控制器的写操作到达的目的地终点。
- **BUSWIDTH:** 读与写字节总线字节宽度, 对于 TC 读与写控制器, 相应的。典型地, 这与主 TeraNet 接口总线宽度相等。
- **默认突发大小 (DBS):** DBS 为由传输控制器发起的每个读/写命令的最大字节数量。
- **DSTREGDEPTH:** 这决定了目的地 FIFO 寄存器集的数量。目的地 FIFO 寄存器集的数量对于一个传输控制器决定完整传输请求的最大数量。

上述四个参数在设备设计中是固定的。

表 7-34 为设备的 EDMA3 传输控制器设备的配置。

表 7-34 EDMA3 传输控制器配置

参数	EDMA3 CC0		EDMA3 CC1				EDMA3 CC2			
	TC0	TC1	TC0	TC1	TC2	TC3	TC0	TC1	TC2	TC3
FIFOSIZE	1024 字节	1024 字节	1024 字节	512 字节	1024 字节	512 字节	1024 字节	512 字节	512 字节	1024 字节
BUSWIDTH	32 字节	32 字节	16 字节	16 字节	16 字节	16 字节	16 字节	16 字节	16 字节	16 字节
DSTREGDEPTH	4 入口	4 入口	4 入口	4 入口	4 入口	4 入口	4 入口	4 入口	4 入口	4 入口
DBS	128 字节	128 字节	128 字节	64 字节	128 字节	64 字节	128 字节	64 字节	64 字节	128 字节
表 7-34 结束										

7.9.4 EDMA3 通道同步事件

EDMA3 支持最多 16 DMA 通道对于 EDMA3CC0，64 每个用于 EDMA3CC1 和 EDMA3CC2 可被用于复位系统外设并在系统内存之间移动数据。DMA 通道可以由系统外设产生的同步事件触发。下表列举了伴随每个 EDMA EDMA3CC DMA 通道同步事件的来源。在 C6678 中，每个同步事件的组织以及 DMA 通道是固定的并不能再次进行编程。

关于 EDMA3 模块，EDMA3 事件怎样使能、捕获、处理、优先级化、连接、链化并清除等等相关细节信息。参看 *KeyStone 设备增强直接内存访问 3 (EDMA3) 控制器用户指南 “德州仪器相关文档”* 页 72。

表 7-35 C6678 EDMA3CC0 事件

事件数量	事件	事件描述
0	TINT8L	定时器 中断 低
1	TINT8H	定时器 中断 高
2	TINT9L	定时器 中断 低
3	TINT9H	定时器 中断 高
4	TINT10L	定时器 中断 低
5	TINT10H	定时器 中断 高
6	TINT11L	定时器 中断 低
7	TINT11H	定时器 中断 高
8	CIC3_OUT0	中断 控制器 输出
9	CIC3_OUT1	中断 控制器 输出
10	CIC3_OUT2	中断 控制器 输出
11	CIC3_OUT3	中断 控制器 输出
12	CIC3_OUT4	中断 控制器 输出
13	CIC3_OUT5	中断 控制器 输出
14	CIC3_OUT6	中断 控制器 输出
15	CIC3_OUT7	中断 控制器 输出
表 7-35 结束		

表 7-36 C6678 EDMA3CC1 事件 (表 1/3)

事件数量	事件	事件描述
0	SPIINT0	SPI 中断
1	SPIINT1	SPI 中断
2	SPIX EVT	发送事件
3	SPIR EVT	接收事件

表 7-36 C6678 EDMA3CC1 事件(表 2/3)

事件数量	事件	事件描述
4	I2CREVT	I2C 接收事件
5	I2CXEVT	I2C 发送事件
6	GPINT0	GPIO 中断
7	GPINT1	GPIO 中断
8	GPINT2	GPIO 中断
9	GPINT3	GPIO 中断
10	GPINT4	GPIO 中断
11	GPINT5	GPIO 中断
12	GPINT6	GPIO 中断
13	GPINT7	GPIO 中断
14	SEMINT0	信号量 中断
15	SEMINT1	信号量 中断
16	SEMINT2	信号量 中断
17	SEMINT3	信号量 中断
18	SEMINT4	信号量 中断
19	SEMINT5	信号量 中断
20	SEMIN T6	信号量 中断
21	SEMIN T7	信号量 中断
22	TINT8L	定时器 中断 低
23	TINT8H	定时器 中断 高
24	TINT9L	定时器 中断 低
25	TINT9H	定时器 中断 高
26	TINT10L	定时器 中断 低
27	TINT10H	定时器 中断 高
28	TINT11L	定时器 中断 低
29	TINT11H	定时器 中断 高
30	TINT12L	定时器 中断 低
31	TINT12H	定时器 中断 高
32	TINT13L	定时器 中断 低
33	TINT13H	定时器 中断 高
34	TINT14L	定时器 中断 低
35	TINT14H	定时器 中断 高
36	TINT15L	定时器 中断 低
37	TINT15H	定时器 中断 高
38	CIC2_OUT44	中断 控制器 输出
39	CIC2_OUT45	中断 控制器 输出
40	CIC2_OUT46	中断 控制器 输出
41	CIC2_OUT47	中断 控制器 输出
42	CIC2_OUT0	中断 控制器 输出
43	CIC2_OUT1	中断 控制器 输出
44	CIC2_OUT2	中断 控制器 输出
45	CIC2_OUT3	中断 控制器 输出
46	CIC2_OUT4	中断 控制器 输出
47	CIC2_OUT5	中断 控制器 输出

表 7-36 C6678 EDMA3CC1 事件(表 3/ 3)

事件编号	事件	事件 描述
48	CIC2_OUT6	中断 控制器 输出
49	CIC2_OUT7	中断 控制器 输出
50	CIC2_OUT8	中断 控制器 输出
51	CIC2_OUT9	中断 控制器 输出
52	CIC2_OUT10	中断 控制器 输出
53	CIC2_OUT11	中断 控制器 输出
54	CIC2_OUT12	中断 控制器 输出
55	CIC2_OUT13	中断 控制器 输出
56	CIC2_OUT14	中断 控制器 输出
57	CIC2_OUT15	中断 控制器 输出
58	CIC2_OUT16	中断 控制器 输出
59	CIC2_OUT17	中断 控制器 输出
60	CIC2_OUT18	中断 控制器 输出
61	CIC2_OUT19	中断 控制器 输出
62	CIC2_OUT20	中断 控制器 输出
63	CIC2_OUT21	中断 控制器 输出

表 7-36 结束

表 7-37 C6678 EDMA3CC2 事件(表 1/2)

事件编号	事件	事件描述
0	SPIINT0	SPI 中断
1	SPIINT1	SPI 中断
2	SPIXVT	发送事件
3	SPIREVT	接收事件
4	I2CREVT	I2C 接收事件
5	I2CXEVT	I2C 发送事件
6	GPINT0	GPIO 中断
7	GPINT1	GPIO 中断
8	GPINT2	GPIO 中断
9	GPINT3	GPIO 中断
10	GPINT4	GPIO 中断
11	GPINT5	GPIO 中断
12	GPINT6	GPIO 中断
13	GPINT7	GPIO 中断
14	SEMINT0	信号量 中断
15	SEMINT1	信号量 中断
16	SEMINT2	信号量 中断
17	SEMINT3	信号量 中断
18	SEMINT4	信号量 中断
19	SEMINT5	信号量 中断
20	SEMINT6	信号量 中断
21	SEMINT7	信号量 中断
22	TINT8L	定时器 中断 低

表 7-37 C6678 EDMA3CC2 事件(表 2/ 2)

事件编号	事件	事件描述
23	TINT8H	定时器 中断 高
24	TINT9L	定时器 中断 低
25	TINT9H	定时器 中断 高
26	TINT10L	定时器 中断 低
27	TINT10H	定时器 中断 高
28	TINT11L	定时器 中断 低
29	TINT11H	定时器 中断 高
30	TINT12L	定时器 中断 低
31	TINT12H	定时器 中断 高
32	TINT13L	定时器 中断 低
33	TINT13H	定时器 中断 高
34	TINT14L	定时器 中断 低
35	TINT14H	定时器 中断 高
36	TINT15L	定时器 中断 低
37	TINT15H	定时器 中断 高
38	CIC2_OUT48	中断 控制器 输出
39	CIC2_OUT49	中断 控制器 输出
40	URX EVT	UART 接收事件
41	UTX EVT	UART 发送事件
42	CIC2_OUT22	中断 控制器 输出
43	CIC2_OUT23	中断 控制器 输出
44	CIC2_OUT24	中断 控制器 输出
45	CIC2_OUT25	中断 控制器 输出
46	CIC2_OUT26	中断 控制器 输出
47	CIC2_OUT27	中断 控制器 输出
48	CIC2_OUT28	中断 控制器 输出
49	CIC2_OUT29	中断 控制器 输出
50	CIC2_OUT30	中断 控制器 输出
51	CIC2_OUT31	中断 控制器 输出
52	CIC2_OUT32	中断 控制器 输出
53	CIC2_OUT33	中断 控制器 输出
54	CIC2_OUT34	中断 控制器 输出
55	CIC2_OUT35	中断 控制器 输出
56	CIC2_OUT36	中断 控制器 输出
57	CIC2_OUT37	中断 控制器 输出
58	CIC2_OUT38	中断 控制器 输出
59	CIC2_OUT39	中断 控制器 输出
60	CIC2_OUT40	中断 控制器 输出
61	CIC2_OUT41	中断 控制器 输出
62	CIC2_OUT42	中断 控制器 输出
63	CIC2_OUT43	中断 控制器 输出
表 7-37 结束		

7.10 中断

7.10.1 中断源与中断控制器

C6678 设备的 CPU 中断通过 C66x CorePac 中断 控制器配置。中断控制器允许最多 128 个系统事件编程至任何 12 个 CPU 中断输入(CPUINT4 - CPUINT15)。CPU 额外输入 (EXCEP)。或先进仿真逻辑、128 个系统事件包括内部产生事件 (CorePac 中)和芯片级事件。

额外的系统事件由每个 C66x CorePacs 规划 来提供芯片级事件，不需要由 CPU 中断/特例来规划至中断控制器来作为仿真时间。额外地，差错类事件或不常使用的事件同样通过系统事件规划来解载 C66x CorePac 中断选择器。这通过芯片中断控制器 (CIC) 模块来完成。时钟使用 CPU/6。

事件控制器包含单个组合逻辑 来提供额外的事件至每一个 C66x CorePac，加上 EDMA3CC、CIC0 和 CIC1 提供 17 个额外的事件，就像 8 个广播事件至每一个 C66x CorePacs，CIC2 相应地提供 26 个和 24 个额外的事件至 EDMA3CC1 和 EDMA3CC2，CIC3 相应地提供 8 个和 32 个额外的事件至 EDMA3CC0 和 HyperLink。

有大量芯片级事件。芯片级 CIC 提供一种灵活的方式来组合和重映射这些事件。多个事件可以组合为单个的事件通过芯片级 CIC。然而，来自芯片级 CIC 的一个事件仅被映射为单个事件输出。芯片级 CIC 同样允许软件来触发系统事件通过内存 写。广播事件至 C66x CorePacs 可以用于同步在多个内核或处理器之间通信目的等等。更多关于 CIC 特性的细节信息，参看 *KeyStone 设备芯片中断 控制器 (CIC) 用户指南*“[德州仪器相关文档](#)”页 72。



注—模块例如 MPU，跟踪器和 BOOT_CFG 有级别中断 EOI 抖动接口。对于 MPU，EOI 值为 0，跟踪器和 BOOT_CFG。

图7-31 位C6678中断拓扑。

图 7-31 TMS320C6678 中断拓扑

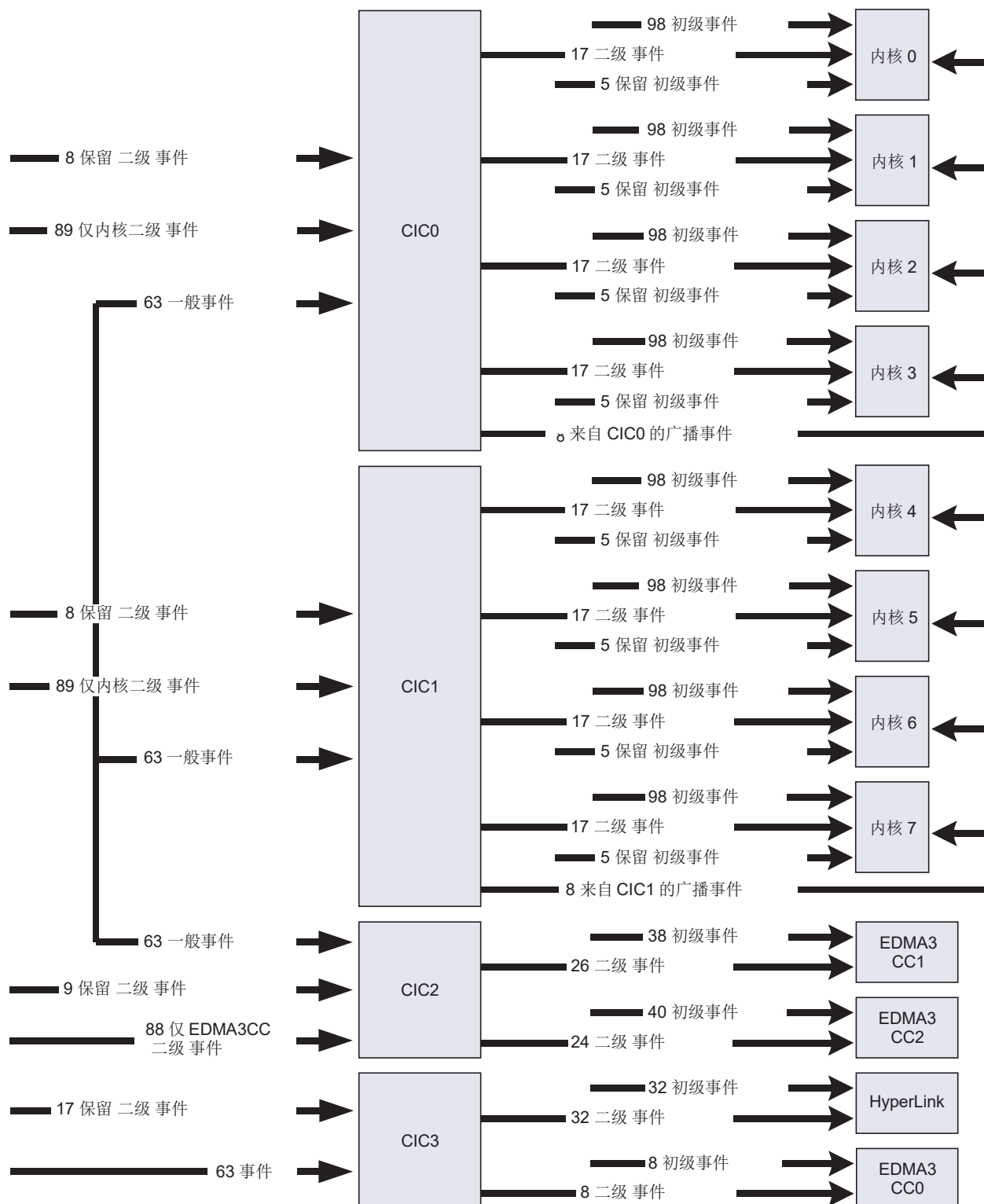


图 7-32 为系统事件映射。更多关于中断控制器的信息，参看 C66x DSP CorePac 用户指南“德州仪器相关文档”页 72。

图 7-32 TMS320C6678 系统事件输入— C66x CorePac 主要中断 (表 1 /4)

输入事件编号	中断事件	描述
0	EVT0	事件 组合器 0 输出
1	EVT1	事件 组合器 1 输出
2	EVT2	事件 组合器 2 输出
3	EVT3	事件 组合器 3 输出
4	TETBHFULLINTn ⁽¹⁾	TETB 半满
5	TETBFULLINTn ⁽¹⁾	TETB 满
6	TETBACQINTn ⁽¹⁾	获取完成
7	TETBOVFLINTn ⁽¹⁾	过流情况中断
8	TETBUNFLINTn ⁽¹⁾	不足流量情况中断
9	EMU_DTDMA	ECM 中断用于: 1. 主机扫描访问 2. DTDMA 传输完成 3. AET 中断
10	MSMC_mpf_errorn ⁽²⁾	本地内核内存 保护错误指示
11	EMU_RTDXX	RTDX 接收完成
12	EMU_RTDXX	RTDX 发送完成
13	IDMA0	IDMA 通道 0 中断
14	IDMA1	IDMA 通道 1 中断
15	SEMERRn ⁽³⁾	信号量错误中断
16	SEMINTn ⁽³⁾	信号量中断
17	PCIExpress_MSI_INTn ⁽⁴⁾	信息信号中断模式
18	TSIPO_ERRINT[n] ⁽⁵⁾	TSIPO 接收/发送 错误中断
19	TSIP1_ERRINT[n] ⁽⁵⁾	TSIP1 接收/发送 错误中断
20	INTDST(n+16) ⁽⁶⁾	SRIO 中断
21	CIC0_OUT(32+0+11*n) ⁽⁷⁾ Or CIC1_OUT(32+0+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
22	CIC0_OUT(32+1+11*n) ⁽⁷⁾ Or CIC1_OUT(32+1+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
23	CIC0_OUT(32+2+11*n) ⁽⁷⁾ Or CIC1_OUT(32+2+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
24	CIC0_OUT(32+3+11*n) ⁽⁷⁾ Or CIC1_OUT(32+3+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
25	CIC0_OUT(32+4+11*n) ⁽⁷⁾ Or CIC1_OUT(32+4+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
26	CIC0_OUT(32+5+11*n) ⁽⁷⁾ Or CIC1_OUT(32+5+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
27	CIC0_OUT(32+6+11*n) ⁽⁷⁾ Or CIC1_OUT(32+6+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
28	CIC0_OUT(32+7+11*n) ⁽⁷⁾ Or CIC1_OUT(32+7+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
29	CIC0_OUT(32+8+11*n) ⁽⁷⁾ Or CIC1_OUT(32+8+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
30	CIC0_OUT(32+9+11*n) ⁽⁷⁾ Or CIC1_OUT(32+9+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
31	CIC0_OUT(32+10+11*n) ⁽⁷⁾ Or CIC1_OUT(32+10+11*(n-4)) ⁽⁷⁾	中断 控制器 输出
32	QM_INT_LOW_0	QM 中断，用于 0~31 队列
33	QM_INT_LOW_1	QM 中断，用于 32~63 队列
34	QM_INT_LOW_2	QM 中断，用于 64~95 队列
35	QM_INT_LOW_3	QM 中断，用于 96~127 队列
36	QM_INT_LOW_4	QM 中断，用于 128~159 队列
37	QM_INT_LOW_5	QM 中断，用于 160~191 队列
38	QM_INT_LOW_6	QM 中断，用于 192~223 队列

图 7-32 TMS320C6678 系统事件输入 — C66x CorePac 主要中断(表 2 / 4)

输入 事件编号	中断 事件	描述
39	QM_INT_LOW_7	QM 中断用于 224~255 队列
40	QM_INT_LOW_8	QM 中断用于 256~287 队列
41	QM_INT_LOW_9	QM 中断用于 288~319 队列
42	QM_INT_LOW_10	QM 中断用于 320~351 队列
43	QM_INT_LOW_11	QM 中断用于 352~383 队列
44	QM_INT_LOW_12	QM 中断用于 384~415 队列
45	QM_INT_LOW_13	QM 中断用于 416~447 队列
46	QM_INT_LOW_14	QM 中断用于 448~479 队列
47	QM_INT_LOW_15	QM 中断用于 480~511 队列
48	QM_INT_HIGH_n ⁽⁸⁾	QM 中断用于队列 704+n ⁸
49	QM_INT_HIGH_(n+8) ⁽⁸⁾	QM 中断用于队列 712+n ⁸
50	QM_INT_HIGH_(n+16) ⁽⁸⁾	QM 中断用于队列 720+n ⁸
51	QM_INT_HIGH_(n+24) ⁽⁸⁾	QM 中断用于队列 728+n ⁸
52	TSIPO_RFSINT[n] ⁽⁵⁾	TSIPO 接收框架同步中断
53	TSIPO_RSFINT[n] ⁽⁵⁾	TSIPO 接收超框架中断
54	TSIPO_XFSINT[n] ⁽⁵⁾	TSIPO 发送 框架同步中断
55	TSIPO_XSFINT[n] ⁽⁵⁾	TSIPO 发送 超框架中断
56	TSIP1_RFSINT[n] ⁽⁵⁾	TSIP1 接收框架同步中断
57	TSIP1_RSFINT[n] ⁽⁵⁾	TSIP1 接收超框架中断
58	TSIP1_XFSINT[n] ⁽⁵⁾	TSIP1 发送 框架同步中断
59	TSIP1_XSFINT[n] ⁽⁵⁾	TSIP1 发送 超框架 中断
60	保留	
61	保留	
62	CIC0_OUT(2+8*n) ⁷ 或 CIC1_OUT(2+8*(n-4)) ⁷	中断 控制器 输出
63	CIC0_OUT(3+8*n) ⁷ 或 CIC1_OUT(3+8*(n-4)) ⁷	中断 控制器 输出
64	TINTLn ⁽⁹⁾	本地定时器 中断 低
65	TINTHn ⁽⁹⁾	本地定时器中断高
66	TINT8L	定时器 中断 低
67	TINT8H	定时器 中断 高
68	TINT9L	定时器 中断 低
69	TINT9H	定时器 中断 高
70	TINT10L	定时器 中断 低
71	TINT10H	定时器 中断 高
72	TINT11L	定时器 中断 低
73	TINT11H	定时器 中断 高
74	TINT12L	定时器 中断 低
75	TINT12H	定时器 中断 高
76	TINT13L	定时器 中断 低
77	TINT13H	定时器 中断 高
78	TINT14L	定时器 中断 低
79	TINT14H	定时器 中断 高
80	TINT15L	定时器 中断 低
81	TINT15H	定时器 中断 高
82	GPINT8	本地 GPIO 中断

图 7-32 TMS320C6678 系统事件输入— C66x CorePac 主要中断(表 3 / 4)

输入 事件 Number	中断 事件	描述
83	GPINT9	本地 GPIO 中断
84	GPINT10	本地 GPIO 中断
85	GPINT11	本地 GPIO 中断
86	GPINT12	本地 GPIO 中断
87	GPINT13	本地 GPIO 中断
88	GPINT14	本地 GPIO 中断
89	GPINT15	本地 GPIO 中断
90	GPINTn ⁽¹⁰⁾	本地 GPIO 中断
91	IPC_LOCAL	内部 DSP 中断 来自 IPCGRn
92	CIC0_OUT(4+8*n) ⁽⁷⁾ 或 1 CIC1_OUT(4+8*(n-4)) ⁽⁷⁾	中断 控制器 输出
93	CIC0_OUT(5+8*n) ⁽⁷⁾ 或 CIC1_OUT(5+8*(n-4)) ⁽⁷⁾	中断 控制器 输出
94	CIC0_OUT(6+8*n) ⁽⁷⁾ 或 CIC1_OUT(6+8*(n-4)) ⁽⁷⁾	中断 控制器 输出
95	CIC0_OUT(7+8*n) ⁽⁷⁾ 或 CIC1_OUT(7+8*(n-4)) ⁽⁷⁾	中断 控制器 输出
96	INTERR	遗落 CPU 中断事件
97	EMC_IDMAERR	非固定 IDMA 参数
98	保留	
99	保留	
100	EFIINTA	EFI 中断来自 A 端
101	EFIINTB	EFI 中断来自 B 端
102	CIC0_OUT0 或 CIC1_OUT0	中断 控制器 输出
103	CIC0_OUT1 或 CIC1_OUT1	中断 控制器 输出
104	CIC0_OUT8 或 CIC1_OUT8	中断 控制器 输出
105	CIC0_OUT9 或 CIC1_OUT9	中断 控制器 输出
106	CIC0_OUT16 或 CIC1_OUT16	中断 控制器 输出
107	CIC0_OUT17 或 CIC1_OUT17	中断 控制器 输出
108	CIC0_OUT24 或 CIC1_OUT24	中断 控制器 输出
109	CIC0_OUT25 或 CIC1_OUT25	中断 控制器 输出
110	MDMAERREVT	VbusM 差错事件
111	保留	
112	EDMA3CC0_EDMACC_AET EVT	EDMA3CC0AET 事件
113	PMC_ED	单个位差错检测在 DMA 读期间
114	EDMA3CC1_EDMACC_AET EVT	EDMA3CC1AET 事件
115	EDMA3CC2_EDMACC_AET EVT	EDMA3CC2AET 事件
116	UMC_ED1	更正位 差错检测
117	UMC_ED2	未更正位差错检测
118	PDC_INT	掉电休眠中断
119	SYS_CMPA	SYS CPU 内存 保护 错误 事件
120	PMC_CMPA	PMC CPU 内存 保护 错误 事件
121	PMC_DMPA	PMC DMA 内存 保护 错误 事件
122	DMC_CMPA	DMC CPU 内存 保护 错误 事件
123	DMC_DMPA	DMC DMA 内存 保护 错误 事件
124	UMC_CMPA	UMC CPU 内存 保护 错误 事件
125	UMC_DMPA	UMC DMA 内存 保护 错误 事件

图 7-32 TMS320C6678 系统事件输入—C66x CorePac 主要中断(表 4 /4)

输入 事件 Number	中断 事件	描述
126	EMC_CMPA	EMC CPU 内存 保护 错误 事件
127	EMC_BUSERR	EMC 总线差错中断

表 7-37 结束

- 1 CorePac[n] 将接收 TETBHFULLINTn, TETBFULLINTn, TETBACQINTn, TETBOVFLINTn 与 TETBUNFLINTn.
- 2 CorePac[n] 将接收 MSMC_mpf_error n.CIC.
- 3 CorePac[n] 将接收 SEMINTn 与 SEMERRn.
- 4 CorePac[n] 将接收 PCIExpress_MSI_INTn.
- 5 CorePac[n] 将接收 TSIPx_xxx[n].
- 6 CorePac[n] 将接收 INTDST(n+16).
- 7 n 为内核编号
- 8 n 为内核编号
- 9 CorePac[n] 将接收 TINTLn 与 TINTHn.
- 10 CorePac[n] 将接收 GPINTn.

表 7-38 CIC0 事件输入(二级 中断关于 C66x CorePacs)(表 1 /5)

CIC 上输入事件#	系统中断	描述
0	EDMA3CC1 CC_ERRINT	EDMA3CC1 差错中断
1	EDMA3CC1 CC_MPINT	EDMA3CC1 内存保护中断
2	EDMA3CC1 TC_ERRINT0	EDMA3CC1 TC0 差错中断
3	EDMA3CC1 TC_ERRINT1	EDMA3CC1 TC1 差错中断
4	EDMA3CC1 TC_ERRINT2	EDMA3CC1 TC2 差错中断
5	EDMA3CC1 TC_ERRINT3	EDMA3CC1 TC3 差错中断
6	EDMA3CC1 CC_GINT	EDMA3CC1 GINT
7	保留	
8	EDMA3CC1 CCINT0	EDMA3CC1 单独 完成 中断
9	EDMA3CC1 CCINT1	EDMA3CC1 单独 完成 中断
10	EDMA3CC1 CCINT2	EDMA3CC1 单独 完成 中断
11	EDMA3CC1 CCINT3	EDMA3CC1 单独 完成 中断
12	EDMA3CC1 CCINT4	EDMA3CC1 单独 完成 中断
13	EDMA3CC1 CCINT5	EDMA3CC1 单独 完成 中断
14	EDMA3CC1 CCINT6	EDMA3CC1 单独 完成 中断
15	EDMA3CC1 CCINT7	EDMA3CC1 单独 完成 中断
16	EDMA3CC2 CC_ERRINT	EDMA3CC2 差错 中断
17	EDMA3CC2 CC_MPINT	EDMA3CC2 内存 保护 中断
18	EDMA3CC2 TC_ERRINT0	EDMA3CC2 TC0 差错 中断
19	EDMA3CC2 TC_ERRINT1	EDMA3CC2 TC1 差错 中断
20	EDMA3CC2 TC_ERRINT2	EDMA3CC2 TC2 差错 中断
21	EDMA3CC2 TC_ERRINT3	EDMA3CC2 TC3 差错 中断
22	EDMA3CC2 CC_GINT	EDMA3CC2 GINT
23	保留	
24	EDMA3CC2 CCINT0	EDMA3CC2 单独 完成 中断
25	EDMA3CC2 CCINT1	EDMA3CC2 单独 完成 中断
26	EDMA3CC2 CCINT2	EDMA3CC2 单独 完成 中断
27	EDMA3CC2 CCINT3	EDMA3CC2 单独 完成 中断
28	EDMA3CC2 CCINT4	EDMA3CC2 单独 完成 中断
29	EDMA3CC2 CCINT5	EDMA3CC2 单独 完成 中断

表 7-38 **CIC0 事件输入(二级中断对于 C66xCorePacs)(表 2/5)**

CIC 上输入事件#	系统 中断	描述
30	EDMA3CC2 CCINT6	EDMA3CC2 单独 完成 中断
31	EDMA3CC2 CCINT7	EDMA3CC2 单独 完成 中断
32	EDMA3CC0 CC_ERRINT	EDMA3CC0 差错 中断
33	EDMA3CC0 CC_MPINT	EDMA3CC0 内存 保护 中断
34	EDMA3CC0 TC_ERRINT0	EDMA3CC0 TC0 差错 中断
35	EDMA3CC0 TC_ERRINT1	EDMA3CC0 TC1 差错 中断
36	EDMA3CC0 CC_GINT	EDMA3CC0 GINT
37	保留	
38	EDMA3CC0 CCINT0	EDMA3CC0 单独 完成 中断
39	EDMA3CC0 CCINT1	EDMA3CC0 单独 完成 中断
40	EDMA3CC0 CCINT2	EDMA3CC0 单独 完成 中断
41	EDMA3CC0 CCINT3	EDMA3CC0 单独 完成 中断
42	EDMA3CC0 CCINT4	EDMA3CC0 单独 完成 中断
43	EDMA3CC0 CCINT5	EDMA3CC0 单独 完成 中断
44	EDMA3CC0 CCINT6	EDMA3CC0 单独 完成 中断
45	EDMA3CC0 CCINT7	EDMA3CC0 单独 完成 中断
46	保留	
47	QM_INT_PASS_TXQ_PEND_12	队列 管理器 挂起事件
48	PCIExpress_ERR_INT	协议 差错 中断
49	PCIExpress_PM_INT	电源管理 中断
50	PCIExpress_Legacy_INTA	传统中断 模式
51	PCIExpress_Legacy_INTB	传统中断 模式
52	PCIExpress_Legacy_INTC	传统中断 模式
53	PCIExpress_Legacy_INTD	传统中断 模式
54	SPIINT0	SPI 中断 0
55	SPIINT1	SPI 中断 1
56	SPIxEVT	发送 事件
57	SPIREVT	接收 事件
58	I2CINT	I ² C 中断
59	I2CREVT	I ² C 接收 事件
60	I2CXEVT	I ² C 发送 事件
61	保留	
62	保留	
63	TETBHFULLINT	TETB 半满
64	TETBFULLINT	TETB 满
65	TETBACQINT	获取完成
66	TETBOVFLINT	过流情况出西安
67	TETBUNFLINT	不足流情况出现
68	MDIO_LINK_INTR0	网络协处理器 MDIO 中断
69	MDIO_LINK_INTR1	网络协处理器 MDIO 中断
70	MDIO_USER_INTR0	网络协处理器 MDIO 中断
71	MDIO_USER_INTR1	网络协处理器 MDIO 中断
72	MISC_INTR	网络协处理器 MISC 中断

表 7-38 C1C0 事件输入(二级中断用于 C66x CorePacs)(表 3/5)

CIC 上输入事件#	系统 中断	描述
73	TRACER_CORE_0_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
74	TRACER_CORE_1_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
75	TRACER_CORE_2_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
76	跟踪器_CORE_3_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
77	跟踪器_DDR_INTD	跟踪器 移动时间窗口 中断, 用于 DDR3 EMIF1
78	跟踪器_MSMC_0_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 0
79	跟踪器_MSMC_1_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 1
80	跟踪器_MSMC_2_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 2
81	跟踪器_MSMC_3_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 3
81	跟踪器_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 CFG0 TeraNet
82	跟踪器_QM_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS CFG
84	跟踪器_QM_DMA_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS 从机
85	跟踪器_SM_INTD	跟踪器 移动时间窗口 中断, 用于信号量
86	PSC_ALLINT	上电/休眠 控制器 中断
87	MSMC_SCRUB_C 差错	可更正(1-位) 软件差错检测在清除 周期期间
88	BOOTCFG_INTD	芯片级 MMR 差错 寄存器
89	保留	
90	MPU0_INTD (MPU0_ADDR_ERR_INT and MPU0_PROT_ERR_INT 组合)	MPU0 寻址冲突中断与保护冲突中断.
91	QM_INT_PASS_TXQ_PEND_13	队列管理器挂起事件
92	MPU1_INTD (MPU1_ADDR_ERR_INT and MPU1_PROT_ERR_INT 组合)	MPU1 寻址冲突中断与保护冲突 中断.
93	QM_INT_PASS_TXQ_PEND_14	队列管理器挂起事件
94	MPU2_INTD (MPU2_ADDR_ERR_INT and MPU2_PROT_ERR_INT 组合)	MPU2 寻址冲突中断与保护冲突 中断.
95	QM_INT_PASS_TXQ_PEND_15	队列管理器挂起事件
96	MPU3_INTD (MPU3_ADDR_ERR_INT and MPU3_PROT_ERR_INT 组合)	MPU3 寻址冲突中断与保护冲突 中断.
97	QM_INT_PASS_TXQ_PEND_16	队列管理器挂起事件
98	MSMC_dedc_c 差错	可更正(1-位) 软差错检测在 SRAM 读
99	MSMC_dedc_nc 差错	非可更正(2-位) 软差错 检测在 SRAM 读
100	MSMC_scrub_nc 差错	非可更正(2-位) 软差错检测于清除周期期间
101	保留	
102	MSMC_mpf_差错 8	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
103	MSMC_mpf_差错 9	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
104	MSMC_mpf_差错 10	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
105	MSMC_mpf_差错 11	内存 保护 错误 指示, 用于 每个 系统 主机 PrivID
105	MSMC_mpf_差错 12	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
107	MSMC_mpf_差错 13	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
108	MSMC_mpf_差错 14	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
109	MSMC_mpf_差错 15	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
110	DDR3_ERR	DDR3 EMIF 差错 中断
111	VUSR_INT_O	HyperLink 中断
112	INTDST0	快速 IO 中断
113	INTDST1	快速 IO 中断

表 7-38 **CIC0 事件输入(二级中断用于 C66xCorePacs)(表 4/5)**

CIC 上输入事件#	系统中断	描述
114	INTDST2	快速 IO 中断
115	INTDST3	快速 IO 中断
116	INTDST4	快速 IO 中断
117	INTDST5	快速 IO 中断
118	INTDST6	快速 IO 中断
119	INTDST7	快速 IO 中断
120	INTDST8	快速 IO 中断
121	INTDST9	快速 IO 中断
122	INTDST10	快速 IO 中断
123	INTDST11	快速 IO 中断
124	INTDST12	快速 IO 中断
125	INTDST13	快速 IO 中断
126	INTDST14	快速 IO 中断
127	INTDST15	快速 IO 中断
128	EASYNERR	EMIF16 差错中断
129	跟踪器_CORE_4_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
130	跟踪器_CORE_5_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
131	跟踪器_CORE_6_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
132	跟踪器_CORE_7_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
133	QM_INT_PKT DMA_0	队列 管理器 中断, 用于包 DMA 饥饿
134	QM_INT_PKT DMA_1	队列 管理器 中断, 用于包 DMA 饥饿
135	快速 IO_INT_PKT DMA_0	快速 IO 中断, 用于包 DMA 饥饿
136	PASS_INT_PKT DMA_0	网络协处理器 中断, 用于包 DMA 饥饿
137	SmartReflex_intrreq0	SmartReflex 传感器 中断
138	SmartReflex_intrreq1	SmartReflex 传感器 中断
139	SmartReflex_intrreq2	SmartReflex 传感器 中断
140	SmartReflex_intrreq3	SmartReflex 传感器 中断
141	VPNoSMPSAck	VPVOLT 上拉 DATE 已经置位但 SMPS 在限定时间间隔内未回复
142	VPEq 值	SRSINTER 上拉 TZ 置位, 但新电压与当前 SMPS 电压相同
143	VP 最大值 Vdd	需要的新电压等于或大于 最大值 Vdd.
144	VP 最小值 Vdd	需要的新电压等于或小于 最小值 Vdd.
145	VPINIDLE	电压 FSM 处理器空闲.
146	VPOPP 更改 one	平均频率差错在可接受范围内.
147	保留	
148	UARTINT	UART 中断
149	URXEVT	UART 接收 事件
150	UTXEVT	UART 发送 事件
151	QM_INT_PASS_TXQ_PEND_17	队列 管理器 挂起事件
152	QM_INT_PASS_TXQ_PEND_18	队列 管理器 挂起事件
153	QM_INT_PASS_TXQ_PEND_19	队列 管理器 挂起事件
154	QM_INT_PASS_TXQ_PEND_20	队列 管理器 挂起事件
155	QM_INT_PASS_TXQ_PEND_21	队列 管理器 挂起事件

表 7-38 CIC0 事件输入(二级中断用于 C66xCorePacs)(表 5/5)

CIC 上输入事件#	系统中断	描述
156	QM_INT_PASS_TXQ_PEND_22	队列管理器挂起事件
157	QM_INT_PASS_TXQ_PEND_23	队列管理器挂起事件
158	QM_INT_PASS_TXQ_PEND_24	队列管理器挂起事件
159	QM_INT_PASS_TXQ_PEND_25	队列管理器挂起事件
表 7-38 结束		

表 7-39 CIC1 事件输入(二级中断 C66xCorePacs)(表 1/4)

CIC 上输入事件#	系统中断	描述
0	EDMA3CC1 CC_ERRINT	EDMA3CC1 差错 中断
1	EDMA3CC1 CC_MPINT	EDMA3CC1 内存 保护 中断
2	EDMA3CC1 TC_ERRINT0	EDMA3CC1 TC0 差错 中断
3	EDMA3CC1 TC_ERRINT1	EDMA3CC1 TC1 差错 中断
4	EDMA3CC1 TC_ERRINT2	EDMA3CC1 TC2 差错 中断
5	EDMA3CC1 TC_ERRINT3	EDMA3CC1 TC3 差错 中断
6	EDMA3CC1 CC_GINT	EDMA3CC1 GINT
7	保留	
8	EDMA3CC1 CCINT0	EDMA3CC1 单独完成中断
9	EDMA3CC1 CCINT1	EDMA3CC1 单独完成中断
10	EDMA3CC1 CCINT2	EDMA3CC1 单独完成中断
11	EDMA3CC1 CCINT3	EDMA3CC1 单独完成中断
12	EDMA3CC1 CCINT4	EDMA3CC1 单独完成中断
13	EDMA3CC1 CCINT5	EDMA3CC1 单独完成中断
14	EDMA3CC1 CCINT6	EDMA3CC1 单独完成中断
15	EDMA3CC1 CCINT7	EDMA3CC1 单独完成中断
16	EDMA3CC2 CC_ERRINT	EDMA3CC2 差错 中断
17	EDMA3CC2 CC_MPINT	EDMA3CC2 内存 保护 中断
18	EDMA3CC2 TC_ERRINT0	EDMA3CC2 TC0 差错 中断
19	EDMA3CC2 TC_ERRINT1	EDMA3CC2 TC1 差错 中断
20	EDMA3CC2 TC_ERRINT2	EDMA3CC2 TC2 差错 中断
21	EDMA3CC2 TC_ERRINT3	EDMA3CC2 TC3 差错 中断
22	EDMA3CC2 CC_GINT	EDMA3CC2 GINT
23	保留	
24	EDMA3CC2 CCINT0	EDMA3CC2 单独完成中断
25	EDMA3CC2 CCINT1	EDMA3CC2 单独完成中断
26	EDMA3CC2 CCINT2	EDMA3CC2 单独完成中断
27	EDMA3CC2 CCINT3	EDMA3CC2 单独完成中断
28	EDMA3CC2 CCINT4	EDMA3CC2 单独完成中断
29	EDMA3CC2 CCINT5	EDMA3CC2 单独完成中断
30	EDMA3CC2 CCINT6	EDMA3CC2 单独完成中断
31	EDMA3CC2 CCINT7	EDMA3CC2 单独完成中断
32	EDMA3CC0 CC_ERRINT	EDMA3CC0 差错 中断
33	EDMA3CC0 CC_MPINT	EDMA3CC0 内存 保护 中断
34	EDMA3CC0 TC_ERRINT0	EDMA3CC0 TC0 差错 中断

表 7-39 **CIC1 事件输入(二级中断 C66xCorePacs)(表 2/4)**

CIC 上输入事件#	系统中断	描述
35	EDMA3CC0 TC_ERRINT1	EDMA3CC0 TC1 差错 中断
36	EDMA3CC0 CC_GINT	EDMA3CC0 GINT
37	保留	
38	EDMA3CC0 CCINT0	EDMA3CC0 单独完成中断
39	EDMA3CC0 CCINT1	EDMA3CC0 单独完成中断
40	EDMA3CC0 CCINT2	EDMA3CC0 单独完成中断
41	EDMA3CC0 CCINT3	EDMA3CC0 单独完成中断
42	EDMA3CC0 CCINT4	EDMA3CC0 单独完成中断
43	EDMA3CC0 CCINT5	EDMA3CC0 单独完成中断
44	EDMA3CC0 CCINT6	EDMA3CC0 单独完成中断
45	EDMA3CC0 CCINT7	EDMA3CC0 单独完成中断
46	保留	
47	QM_INT_PASS_TXQ_PEND_18	队列管理器挂起事件
48	PCIExpress_ERR_INT	协议差错 中断
49	PCIExpress_PM_INT	电源 管理 中断
50	PCIExpress_Legacy_INTA	传统中断模式
51	PCIExpress_Legacy_INTB	传统中断模式
52	PCIExpress_Legacy_INTC	传统中断模式
53	PCIExpress_Legacy_INTD	传统中断模式
54	SPIINT0	SPI 中断 0
55	SPIINT1	SPI 中断 1
56	SPIxEVT	发送 事件
57	SPIREVT	接收 事件
58	I2CINT	I ² C 中断
59	I2CREVT	I ² C 接收 事件
60	I2CXEVT	I ² C 发送 事件
61	保留	
62	保留	
63	TETBHFULLINT	TETB 半满
64	TETBFULLINT	TETB 满
65	TETBACQINT	获取完成
66	TETBOVFLINT	过流情况出现
67	TETBUNFLINT	不足流情况出现
68	MDIO_LINK_INTR0	网络协处理器 MDIO 中断
69	MDIO_LINK_INTR1	网络协处理器 MDIO 中断
70	MDIO_USER_INTR0	网络协处理器 MDIO 中断
71	MDIO_USER_INTR1	网络协处理器 MDIO 中断
72	MISC_INTR	网络协处理器 MISC 中断
73	跟踪器_CORE_0_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
74	跟踪器_CORE_1_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
75	跟踪器_CORE_2_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
76	跟踪器_CORE_3_INTD	跟踪器 移动时间窗口 中断, 用于单独 内核
77	跟踪器_DDR_INTD	跟踪器 移动时间窗口 中断, 用于 DDR3 EMIF1

表 7-39 CIC1 事件输入(二级中断 C66xCorePacs)(表 3/4)

CIC 上输入事件#	系统中断	描述
78	跟踪器_MSMC_0_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 0
79	跟踪器_MSMC_1_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 1
80	跟踪器_MSMC_2_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 2
81	跟踪器_MSMC_3_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 3
82	跟踪器_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 CFG0 TeraNet
83	跟踪器_QM_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS_CFG
84	跟踪器_QM_DMA_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS 从机
85	跟踪器_SM_INTD	跟踪器 移动时间窗口 中断, 用于信号量
86	PSC_ALLINT	上电/休眠控制器 中断
87	MSMC_SCRUB_C 差错	可更正 (1-位) 软件差错检测 在清除周期期间
88	BOOTCFG_INTD	BOOTCFG 中断 BOOTCFG_ERR 和 BOOTCFG_PROT
89	保留	
90	MPU0_INTD (MPU0_ADDR_ERR_INT and MPU0_PROT_ERR_INT 组合)	MPU0 寻址冲突中断 和保护冲突中断.
91	QM_INT_PASS_TXQ_PEND_19	队列管理器挂起事件
92	MPU1_INTD (MPU1_ADDR_ERR_INT and MPU1_PROT_ERR_INT 组合)	MPU1 寻址冲突中断 和保护冲突中断
93	QM_INT_PASS_TXQ_PEND_20	队列管理器挂起事件
94	MPU2_INTD (MPU2_ADDR_ERR_INT and MPU2_PROT_ERR_INT 组合)	MPU2 寻址冲突中断 和保护冲突中断
95	QM_INT_PASS_TXQ_PEND_21	队列管理器挂起事件
96	MPU3_INTD (MPU3_ADDR_ERR_INT and MPU3_PROT_ERR_INT 组合)	MPU3 寻址冲突中断 和保护冲突中断
97	QM_INT_PASS_TXQ_PEND_22	队列管理器挂起事件
98	MSMC_dedc_c 差错	可更正 (1-位) 软件差错检测 在 SRAM 读
99	MSMC_dedc_nc 差错	不可更正 (2-位) 软件差错检测 在 SRAM 读
100	MSMC_scrub_nc 差错	不可更正(2-位) 软件差错检测在清除周期期间
101	保留	
102	MSMC_mpf_差错 8	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
103	MSMC_mpf_差错 9	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
104	MSMC_mpf_差错 10	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
105	MSMC_mpf_差错 11	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
106	MSMC_mpf_差错 12	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
107	MSMC_mpf_差错 13	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
108	MSMC_mpf_差错 14	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
109	MSMC_mpf_差错 15	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
110	DDR3_ERR	DDR3 EMIF 差错 中断
111	VUSR_INT_O	HyperLink 中断
112	INTDST0	快速 IO 中断
113	INTDST1	快速 IO 中断
114	INTDST2	快速 IO 中断
115	INTDST3	快速 IO 中断
116	INTDST4	快速 IO 中断
117	INTDST5	快速 IO 中断
118	INTDST6	快速 IO 中断

表 7-39 **CIC1 事件输入(二级 中断 C66xCorePacs)(表 4/4)**

CIC 上输入事件#	系统中断	描述
119	INTDST7	快速 IO 中断
120	INTDST8	快速 IO 中断
121	INTDST9	快速 IO 中断
122	INTDST10	快速 IO 中断
123	INTDST11	快速 IO 中断
124	INTDST12	快速 IO 中断
125	INTDST13	快速 IO 中断
126	INTDST14	快速 IO 中断
127	INTDST15	快速 IO 中断
128	EASYNCERR	EMIF16 差错 中断
129	跟踪器_CORE_4_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
130	跟踪器_CORE_5_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
131	跟踪器_CORE_6_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
132	跟踪器_CORE_7_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
133	QM_INT_PKTDMMA_0	队列 管理器 中断, 用于 PKTDMA 饥饿
134	QM_INT_PKTDMMA_1	队列 管理器 中断, 用于 PKTDMA 饥饿
135	快速 IO_INT_PKTDMMA_0	快速 IO 中断, 用于 PKTDMA 饥饿
136	PASS_INT_PKTDMMA_0	网络协处理器 中断, 用于 PKTDMA 饥饿
137	SmartReflex_intrreq0	SmartReflex 传感器 中断
138	SmartReflex_intrreq1	SmartReflex 传感器 中断
139	SmartReflex_intrreq2	SmartReflex 传感器 中断
140	SmartReflex_intrreq3	SmartReflex 传感器 中断
141	VPNoSMPSAck	VPVOLT 上拉 DATE 被设置但 SMPS 在规定时间内间隔内未回应
142	VPEq 值	SRSINTER 上拉 TZ 置位,但新电压与当前 SMPS 电压并非不同
143	VP 最大值 Vdd	新电压等于或大于最大值 Vdd
144	VP 最小值 Vdd	新电压等于或下雨 最小值 Vdd
145	VPINIDLE	指示电压 FSM 处理器空闲
146	VPOPP 更改 one	指示平均频率差错载客容许范围内.
147	保留	
148	UARTINT	UART 中断
149	URXEVT	UART 接收 事件
150	UTXEVT	UART 发送 事件
151	QM_INT_PASS_TXQ_PEND_23	队列 管理器 挂起事件
152	QM_INT_PASS_TXQ_PEND_24	队列 管理器 挂起事件
153	QM_INT_PASS_TXQ_PEND_25	队列 管理器 挂起事件
154	QM_INT_PASS_TXQ_PEND_26	队列 管理器 挂起事件
155	QM_INT_PASS_TXQ_PEND_27	队列 管理器 挂起事件
156	QM_INT_PASS_TXQ_PEND_28	队列 管理器 挂起事件
157	QM_INT_PASS_TXQ_PEND_29	队列 管理器 挂起事件
158	QM_INT_PASS_TXQ_PEND_30	队列 管理器 挂起事件
159	QM_INT_PASS_TXQ_PEND_31	队列 管理器 挂起事件
表 7-39 结束		

表 7-40 CIC2 事件输入(二级事件 EDMA3CC1 与 EDMA3CC2)(表 1/4)

CIC 上输入事件#	系统中断	描述
0	GPINT8	GPIO 中断
1	GPINT9	GPIO 中断
2	GPINT10	GPIO 中断
3	GPINT11	GPIO 中断
4	GPINT12	GPIO 中断
5	GPINT13	GPIO 中断
6	GPINT14	GPIO 中断
7	GPINT15	GPIO 中断
8	TETBHFULLINT	系统 TETB 半满
9	TETBFULLINT	系统 TETB 满
10	TETBACQINT	系统 TETB 获取完成
11	TETBHFULLINT0	TETB0 半满
12	TETBFULLINT0	TETB0 满
13	TETBACQINT0	TETB0 获取完成
14	TETBHFULLINT1	TETB1 半满
15	TETBFULLINT1	TETB1 满
16	TETBACQINT1	TETB1 获取完成
17	TETBHFULLINT2	TETB2 半满
18	TETBFULLINT2	TETB2 满
19	TETBACQINT2	TETB2 获取完成
20	TETBHFULLINT3	TETB3 半满
21	TETBFULLINT3	TETB3 满
22	TETBACQINT3	TETB3 获取完成
23	保留	
24	QM_INT_高_16	QM 中断
25	QM_INT_高_17	QM 中断
26	QM_INT_高_18	QM 中断
27	QM_INT_高_19	QM 中断
28	QM_INT_高_20	QM 中断
29	QM_INT_高_21	QM 中断
30	QM_INT_高_22	QM 中断
31	QM_INT_高_23	QM 中断
32	QM_INT_高_24	QM 中断
33	QM_INT_高_25	QM 中断
34	QM_INT_高_26	QM 中断
35	QM_INT_高_27	QM 中断
36	QM_INT_高_28	QM 中断
37	QM_INT_高_29	QM 中断
38	QM_INT_高_30	QM 中断
39	QM_INT_高_31	QM 中断
40	MDIO_LINK_INTR0	网络协处理器 MDIO 中断
41	MDIO_LINK_INTR1	网络协处理器 MDIO 中断
42	MDIO_USER_INTR0	网络协处理器 MDIO 中断

表 7-40 **CIC2事件输入(二级事件 EDMA3CC1与EDMA3CC2)(表 2/4)**

CIC 上输入事件#	系统中断	描述
43	MDIO_USER_INTRO	网络协处理器 MDIO 中断
44	MISC_INTR	网络协处理器 MISC 中断
45	跟踪器_CORE_0_INTD	跟踪器 移动时间窗口 中断，用于单独内核
46	跟踪器_CORE_1_INTD	跟踪器 移动时间窗口 中断，用于单独内核
47	跟踪器_CORE_2_INTD	跟踪器 移动时间窗口 中断，用于单独内核
48	跟踪器_CORE_3_INTD	跟踪器 移动时间窗口 中断，用于单独内核
49	跟踪器_DDR_INTD	跟踪器 移动时间窗口 中断，用于 DDR3 EMIF
50	跟踪器_MSMC_0_INTD	跟踪器 移动时间窗口 中断，用于 MSMC SRAM 块 0
51	跟踪器_MSMC_1_INTD	跟踪器 移动时间窗口 中断，用于 MSMC SRAM 块 1
52	跟踪器_MSMC_2_INTD	跟踪器 移动时间窗口 中断，用于 MSMC SRAM 块 2
53	跟踪器_MSMC_3_INTD	跟踪器 移动时间窗口 中断，用于 MSMC SRAM 块 3
54	跟踪器_CFG_INTD	跟踪器 移动时间窗口 中断，用于 CFG0 TeraNet
55	跟踪器_QM_CFG_INTD	跟踪器 移动时间窗口 中断，用于 QM_SS CFG
56	跟踪器_QM_DMA_INTD	跟踪器 移动时间窗口 中断，用于 QM_SS 从机 端口
57	跟踪器_SM_INTD	跟踪器 移动时间窗口 中断，用于信号量
58	SEMERR0	信号量 中断
59	SEMERR1	信号量 中断
60	SEMERR2	信号量 中断
61	SEMERR3	信号量 中断
62	BOOTCFG_INTD	BOOTCFG中断BOOTCFG_ERR与BOOTCFG_PROT
63	PASS_INT_PKT DMA_0	网络协处理器 中断，用于包 DMA 饥饿
64	MPU0_INTD (MPU0_ADDR_ERR_INT 与 MPU0_PROT_ERR_INT 组合)	MPU0 寻址冲突中断和保护冲突中断.
65	MSMC_scrub_c 差错	可更正(1-位) 软件差错检测在清除周期期间
66	MPU1_INTD (MPU1_ADDR_ERR_INT 与 MPU1_PROT_ERR_INT 组合)	MPU1 寻址冲突中断和保护冲突中断..
67	快速 IO_INT_PKT DMA_0	快速 IO 中断，用于包 DMA 饥饿
68	MPU2_INTD (MPU2_ADDR_ERR_INT 与 MPU2_PROT_ERR_INT 组合)	MPU2 寻址冲突中断和保护冲突中断.
69	QM_INT_PKT DMA_0	QM 中断，用于包 DMA 饥饿
70	MPU3_INTD (MPU3_ADDR_ERR_INT 与 MPU3_PROT_ERR_INT 组合)	MPU3 寻址冲突中断和保护冲突中断.
71	QM_INT_PKT DMA_1	QM 中断，用于包 DMA 饥饿
72	MSMC_dedc_c 差错	可更正(1-位) 软件差错检测在 SRAM 读
73	MSMC_dedc_nc 差错	不可更正(2-位)软件差错检测在 SRAM 读
74	MSMC_scrub_nc 差错	不可更正(2-位)软件差错检测在清除 周期期间
75	保留	
76	MSMC_mpf_差错 0	内存 保护 错误 指示，用于每个 系统 主机 PrivID
77	MSMC_mpf_差错 1	内存 保护 错误 指示，用于每个 系统 主机 PrivID
78	MSMC_mpf_差错 2	内存 保护 错误 指示，用于每个 系统 主机 PrivID
79	MSMC_mpf_差错 3	内存 保护 错误 指示，用于每个 系统 主机 PrivID
80	MSMC_mpf_差错 4	内存 保护 错误 指示，用于每个 系统 主机 PrivID
81	MSMC_mpf_差错 5	内存 保护 错误 指示，用于每个 系统 主机 PrivID
82	MSMC_mpf_差错 6	内存 保护 错误 指示，用于每个 系统 主机 PrivID
83	MSMC_mpf_差错 7	内存 保护 错误 指示，用于每个 系统 主机 PrivID

表 7-40 CIC2 事件输入(二级事件 EDMA3CC1 和 EDMA3CC2)(表 3/4)

CIC 上输入事件#	系统中断	描述
84	MSMC_mpf_差错 8	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
85	MSMC_mpf_差错 9	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
86	MSMC_mpf_差错 10	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
87	MSMC_mpf_差错 11	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
88	MSMC_mpf_差错 12	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
89	MSMC_mpf_差错 13	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
90	MSMC_mpf_差错 14	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
91	MSMC_mpf_差错 15	内存 保护 错误 指示, 用于每个 系统 主机 PrivID
92	保留	
93	INTDST0	快速 IO 中断
94	INTDST1	快速 IO 中断
95	INTDST2	快速 IO 中断
96	INTDST3	快速 IO 中断
97	INTDST4	快速 IO 中断
98	INTDST5	快速 IO 中断
99	INTDST6	快速 IO 中断
100	INTDST7	快速 IO 中断
101	INTDST8	快速 IO 中断
102	INTDST9	快速 IO 中断
103	INTDST10	快速 IO 中断
104	INTDST11	快速 IO 中断
105	INTDST12	快速 IO 中断
106	INTDST13	快速 IO 中断
107	INTDST14	快速 IO 中断
108	INTDST15	快速 IO 中断
109	INTDST16	快速 IO 中断
110	INTDST17	快速 IO 中断
111	INTDST18	快速 IO 中断
112	INTDST19	快速 IO 中断
113	INTDST20	快速 IO 中断
114	INTDST21	快速 IO 中断
115	INTDST22	快速 IO 中断
116	INTDST23	快速 IO 中断
117	EASYNCERR	EMIF16 差错 中断
118	TETBHFULLINT4	TETB4 半满
119	TETBFULLINT4	TETB4 满
120	TETBACQINT4	TETB4 获取完成
121	TETBHFULLINT5	TETB5 半满
122	TETBFULLINT5	TETB5 满
123	TETBACQINT5	TETB5 获取完成
124	TETBHFULLINT6	TETB6 半满
125	TETBFULLINT6	TETB6 满
126	TETBACQINT6	TETB6 获取完成
127	TETBHFULLINT7	TETB7 半满

表 7-40 **CIC2 事件输入(二级事件 EDMA3CC1 与 EDMA3CC2)(表 4/4)**

CIC 上输入事件#	系统 中断	描述
128	TETBFULLINT7	TETB7 满
129	TETBACQINT7	TETB7 获取完成
130	跟踪器_CORE_4_INTD	跟踪器 移动时间窗口 中断，用于单独内 核
131	跟踪器_CORE_5_INTD	跟踪器 移动时间窗口 中断，用于单独内 核
132	跟踪器_CORE_6_INTD	跟踪器 移动时间窗口 中断，用于单独内 核
133	跟踪器_CORE_7_INTD	跟踪器 移动时间窗口 中断，用于单独内 核
134	SEMERR4	信号量 差错 中断
135	SEMERR5	信号量 差错 中断
136	SEMERR6	信号量 差错 中断
137	SEMERR7	信号量 差错 中断
138	QM_INT_高_0	QM 中断
139	QM_INT_高_1	QM 中断
140	QM_INT_高_2	QM 中断
141	QM_INT_高_3	QM 中断
142	QM_INT_高_4	QM 中断
143	QM_INT_高_5	QM 中断
144	QM_INT_高_6	QM 中断
145	QM_INT_高_7	QM 中断
146	QM_INT_高_8	QM 中断
147	QM_INT_高_9	QM 中断
148	QM_INT_高_10	QM 中断
149	QM_INT_高_11	QM 中断
150	QM_INT_高_12	QM 中断
151	QM_INT_高_13	QM 中断
152	QM_INT_高_14	QM 中断
153	QM_INT_高_15	QM 中断
154-159	保留	

表 7-40 结束
表 7-41 **CIC3 事件输入(二级事件 EDMA3CC0 与 HyperLink)(表 1/3)**

CIC 上输入事件#	系统 中断	描述
0	GPINT0	GPIO 中断
1	GPINT1	GPIO 中断
2	GPINT2	GPIO 中断
3	GPINT3	GPIO 中断
4	GPINT4	GPIO 中断
5	GPINT5	GPIO 中断
6	GPINT6	GPIO 中断
7	GPINT7	GPIO 中断
8	GPINT8	GPIO 中断
9	GPINT9	GPIO 中断
10	GPINT10	GPIO 中断
11	GPINT11	GPIO 中断

表 7-41 CIC3 事件输入(二级事件 EDMA3CC0 和HyperLink)(表 2/3)

CIC 上输入事件#	系统 中断	描述
12	GPINT12	GPIO 中断
13	GPINT13	GPIO 中断
14	GPINT14	GPIO 中断
15	GPINT15	GPIO 中断
16	TETBHFULLINT	系统 TETB 半满
17	TETBFULLINT	系统 TETB 满
18	TETBACQINT	系统 TETB 获取完成
19	TETBHFULLINT0	TETB0 半满
20	TETBFULLINT0	TETB0 满
21	TETBACQINT0	TETB0 获取完成
22	TETBHFULLINT1	TETB1 半满
23	TETBFULLINT1	TETB1 满
24	TETBACQINT1	TETB1 获取完成
25	TETBHFULLINT2	TETB2 半满
26	TETBFULLINT2	TETB2 满
27	TETBACQINT2	TETB2 获取完成
28	TETBHFULLINT3	TETB3 半满
29	TETBFULLINT3	TETB3 满
30	TETBACQINT3	TETB3 获取完成
31	跟踪器_CORE_0_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
32	跟踪器_CORE_1_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
33	跟踪器_CORE_2_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
34	跟踪器_CORE_3_INTD	跟踪器 移动时间窗口 中断, 用于单独内核
35	跟踪器_DDR_INTD	跟踪器 移动时间窗口 中断, 用于 DDR3 EMIF1
36	跟踪器_MSMC_0_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 0
37	跟踪器_MSMC_1_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 1
38	跟踪器_MSMC_2_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 2
39	跟踪器_MSMC_3_INTD	跟踪器 移动时间窗口 中断, 用于 MSMC SRAM 块 3
40	跟踪器_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 CFG0 TeraNet
41	跟踪器_QM_CFG_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS CFG
42	跟踪器_QM_DMA_INTD	跟踪器 移动时间窗口 中断, 用于 QM_SS 从机端 口
43	跟踪器_SM_INTD	跟踪器 移动时间窗口 中断, 用于信号量
44	VUSR_INT_O	HyperLink 中断
45	TETBHFULLINT4	TETB4 半满
46	TETBFULLINT4	TETB4 满
47	TETBACQINT4	TETB4 获取完成
48	TETBHFULLINT5	TETB5 半满
49	TETBFULLINT5	TETB5 满
50	TETBACQINT5	TETB5 获取完成
51	TETBHFULLINT6	TETB6 半满
52	TETBFULLINT6	TETB6 满
53	TETBACQINT6	TETB6 获取完成
54	TETBHFULLINT7	TETB7 半满
55	TETBFULLINT7	TETB7 满

表 7-41 **CIC3 事件输入 (二级事件EDMA3CC0 和HyperLink) (表 3/3)**

CIC 上输入事件#	系统 中断	描述
56	TETBACQINT7	TETB7 获取已经完成
57	跟踪器_CORE_4_INTD	跟踪器 移动时间 窗口 中断, 用于单独内核
58	跟踪器_CORE_5_INTD	跟踪器 移动时间 窗口 中断, 用于单独内核
59	跟踪器_CORE_6_INTD	跟踪器 移动时间 窗口 中断, 用于单独内核
60	跟踪器_CORE_7_INTD	跟踪器 移动时间 窗口 中断, 用于单独内核
61	DDR3_ERR	DDR3 EMIF 差错 中断
62-79	保留	
表 7-41 结束		

7.10.2 CIC 寄存器

此部分包括 CIC 寄存器地址偏移. 中断控制寄存器基地址为 CIC0- 0x0260 0000, CIC1- 0x0260 4000, CIC2- 0x0260 8000 和 CIC3- 0x0260 C000.

7.10.2.1 CIC0/CIC1 寄存器 映射

表 7-42 **CIC0/CIC1 寄存器**

地址 偏移	寄存器标记	寄存器名称
0x0	修订_REG	修订 寄存器
0x10	全局_ENABLE_HINT_REG	全局主机初始 使能 寄存器
0x20	状态_SET_INDEX_REG	状态置位变址寄存器
0x24	状态_CLR_INDEX_REG	状态清除变址寄存器
0x28	ENABLE_SET_INDEX_REG	使能置位变址寄存器
0x2C	ENABLE_CLR_INDEX_REG	使能清除变址寄存器
0x34	HINT_ENABLE_SET_INDEX_REG	主机初始 使能 置位变址 寄存器
0x38	HINT_ENABLE_CLR_INDEX_REG	主机初始 使能 清除变址 寄存器
0x200	RAW_STATUS_REG0	Raw 状态寄存器 0
0x204	RAW_STATUS_REG1	Raw 状态寄存器 1
0x208	RAW_STATUS_REG2	Raw 状态寄存器 2
0x20C	RAW_STATUS_REG3	Raw 状态寄存器 3
0x210	RAW_STATUS_REG4	Raw 状态寄存器 4
0x280	ENA_STATUS_REG0	使能 状态寄存器 0
0x284	ENA_STATUS_REG1	使能 状态寄存器 1
0x288	ENA_STATUS_REG2	使能 状态寄存器 2
0x28c	ENA_STATUS_REG3	使能 状态寄存器 3
0x290	ENA_STATUS_REG4	使能 状态寄存器 4
0x300	ENABLE_REG0	使能 寄存器 0
0x304	ENABLE_REG1	使能 寄存器 1
0x308	ENABLE_REG2	使能 寄存器 2
0x30c	ENABLE_REG3	使能 寄存器 3
0x310	ENABLE_REG4	使能 寄存器 4
0x380	ENABLE_CLR_REG0	使能 清除 寄存器 0
0x384	ENABLE_CLR_REG1	使能 清除 寄存器 1
0x388	ENABLE_CLR_REG2	使能 清除 寄存器 2
0x38c	ENABLE_CLR_REG3	使能 清除 寄存器 3

表 7-42 CIC0/CIC1 寄存器

地址偏移	寄存器标记	寄存器名称
0x390	ENABLE_CLR_REG4	使能 清除 寄存器 4
0x400	CH_MAP_REG0	中断 通道 映射 寄存器, 0 至 0+3
0x404	CH_MAP_REG1	中断 通道 映射 寄存器, 4 至 4+3
0x408	CH_MAP_REG2	中断 通道 映射 寄存器, 8 至 8+3
0x40c	CH_MAP_REG3	中断 通道 映射 寄存器, 12 至 12+3
0x410	CH_MAP_REG4	中断 通道 映射 寄存器, 16 至 16+3
0x414	CH_MAP_REG5	中断 通道 映射 寄存器, 20 至 20+3
0x418	CH_MAP_REG6	中断 通道 映射 寄存器, 24 至 24+3
0x41c	CH_MAP_REG7	中断 通道 映射 寄存器, 28 至 28+3
0x420	CH_MAP_REG8	中断 通道 映射 寄存器, 32 至 32+3
0x424	CH_MAP_REG9	中断 通道 映射 寄存器, 36 至 36+3
0x428	CH_MAP_REG10	中断 通道 映射 寄存器, 40 至 40+3
0x42c	CH_MAP_REG11	中断 通道 映射 寄存器, 44 至 44+3
0x430	CH_MAP_REG12	中断 通道 映射 寄存器, 48 至 48+3
0x434	CH_MAP_REG13	中断 通道 映射 寄存器, 52 至 52+3
0x438	CH_MAP_REG14	中断 通道 映射 寄存器, 56 至 56+3
0x43c	CH_MAP_REG15	中断 通道 映射 寄存器, 60 至 60+3
0x440	CH_MAP_REG16	中断 通道 映射 寄存器, 64 至 64+3
0x444	CH_MAP_REG17	中断 通道 映射 寄存器, 68 至 68+3
0x448	CH_MAP_REG18	中断 通道 映射 寄存器, 72 至 72+3
0x44c	CH_MAP_REG19	中断 通道 映射 寄存器, 76 至 76+3
0x450	CH_MAP_REG20	中断 通道 映射 寄存器, 80 至 80+3
0x454	CH_MAP_REG21	中断 通道 映射 寄存器, 84 至 84+3
0x458	CH_MAP_REG22	中断 通道 映射 寄存器, 88 至 88+3
0x45c	CH_MAP_REG23	中断 通道 映射 寄存器, 92 至 92+3
0x460	CH_MAP_REG24	中断 通道 映射 寄存器, 96 至 96+3
0x464	CH_MAP_REG25	中断 通道 映射 寄存器, 100 至 100+3
0x468	CH_MAP_REG26	中断 通道 映射 寄存器, 104 至 104+3
0x46c	CH_MAP_REG27	中断 通道 映射 寄存器, 108 至 108+3
0x470	CH_MAP_REG28	中断 通道 映射 寄存器, 112 至 112+3
0x474	CH_MAP_REG29	中断 通道 映射 寄存器, 116 至 116+3
0x478	CH_MAP_REG30	中断 通道 映射 寄存器, 120 至 120+3
0x47c	CH_MAP_REG31	中断 通道 映射 寄存器, 124 至 124+3
0x480	CH_MAP_REG32	中断 通道 映射 寄存器, 128 至 128+3
0x484	CH_MAP_REG33	中断 通道 映射 寄存器, 132 至 132+3
0x488	CH_MAP_REG34	中断 通道 映射 寄存器, 136 至 136+3
0x48c	CH_MAP_REG35	中断 通道 映射 寄存器, 140 至 140+3
0x490	CH_MAP_REG36	中断 通道 映射 寄存器, 144 至 144+3
0x494	CH_MAP_REG37	中断 通道 映射 寄存器, 148 至 148+3
0x498	CH_MAP_REG38	中断 通道 映射 寄存器, 152 至 152+3
0x49c	CH_MAP_REG39	中断 通道 映射 寄存器, 156 至 156+3
0x800	HINT_MAP_REG0	主机中断映射 寄存器, 0 至 0+3
0x804	HINT_MAP_REG1	主机中断映射 寄存器, 4 至 4+3

表 7-42 **CIC0/CIC1 寄存器**

地址偏移	寄存器标记	寄存器名称
0x808	HINT_MAP_REG2	主机中断映射 寄存器， 8 至 8+3
0x80c	HINT_MAP_REG3	主机中断映射 寄存器， 12 至 12+3
0x810	HINT_MAP_REG4	主机中断映射 寄存器， 16 至 16+3
0x814	HINT_MAP_REG5	主机中断映射 寄存器， 20 至 20+3
0x818	HINT_MAP_REG6	主机中断映射 寄存器， 24 至 24+3
0x81c	HINT_MAP_REG7	主机中断映射 寄存器， 28 至 28+3
0x820	HINT_MAP_REG8	主机中断映射 寄存器， 32 至 32+3
0x824	HINT_MAP_REG9	主机中断映射 寄存器， 36 至 36+3
0x828	HINT_MAP_REG10	主机中断映射 寄存器， 40 至 40+3
0x82c	HINT_MAP_REG11	主机中断映射 寄存器， 44 至 44+3
0x830	HINT_MAP_REG12	主机中断映射 寄存器， 48 至 48+3
0x834	HINT_MAP_REG13	主机中断映射 寄存器， 52 至 52+3
0x838	HINT_MAP_REG14	主机中断映射 寄存器， 56 至 56+3
0x83c	HINT_MAP_REG15	主机中断映射 寄存器， 60 至 60+3
0x840	HINT_MAP_REG16	主机中断映射 寄存器， 64 至 64+3
0x844	HINT_MAP_REG17	主机中断映射 寄存器， 68 至 68+3
0x848	HINT_MAP_REG18	主机中断映射 寄存器， 72 至 72+3
0x1500	ENABLE_HINT_REG0	主机初始 使能 寄存器 0
0x1504	ENABLE_HINT_REG1	主机初始 使能 寄存器 1
0x1508	ENABLE_HINT_REG2	主机初始 使能 寄存器 2
表 7-42 结束		

7.10.2.2 CIC2 寄存器映射

表 7-43 **CIC2 寄存器**

地址偏移	寄存器标记	寄存器名称
0x0	REVISE_REG	修订 寄存器
0x10	全局_ENABLE_HINT_REG	全局 主机初始 使能 寄存器
0x20	状态_SET_INDEX_REG	状态置位变址 寄存器
0x24	状态_CLR_INDEX_REG	状态清除变址 寄存器
0x28	ENABLE_SET_INDEX_REG	使能置位变址 寄存器
0x2c	ENABLE_CLR_INDEX_REG	使能清除变址 寄存器
0x34	HINT_ENABLE_SET_INDEX_REG	主机初始 使能 置位变址 寄存器
0x38	HINT_ENABLE_CLR_INDEX_REG	主机初始 使能 清除变址 寄存器
0x200	RAW_STATUS_REG0	原始状态寄存器 0
0x204	RAW_STATUS_REG1	原始状态寄存器 1
0x208	RAW_STATUS_REG2	原始状态寄存器 2
0x20c	RAW_STATUS_REG3	原始状态寄存器 3
0x210	RAW_STATUS_REG4	原始状态寄存器 4
0x280	ENA_STATUS_REG0	使能状态寄存器 0
0x284	ENA_STATUS_REG1	使能状态寄存器 1
0x288	ENA_STATUS_REG2	使能状态寄存器 2
0x28c	ENA_STATUS_REG3	使能状态寄存器 3
0x290	ENA_STATUS_REG4	使能状态寄存器 4

表 7-43 CIC2 寄存器

地址偏移	寄存器标记	寄存器名称
0x300	ENABLE_REG0	使能 寄存器 0
0x304	ENABLE_REG1	使能 寄存器 1
0x308	ENABLE_REG2	使能 寄存器 2
0x30c	ENABLE_REG3	使能 寄存器 3
0x310	ENABLE_REG4	使能 寄存器 4
0x380	ENABLE_CLR_REG0	使能 清除 寄存器 0
0x384	ENABLE_CLR_REG1	使能 清除 寄存器 1
0x388	ENABLE_CLR_REG2	使能 清除 寄存器 2
0x38c	ENABLE_CLR_REG3	使能 清除 寄存器 3
0x390	ENABLE_CLR_REG4	使能 清除 寄存器 4
0x400	CH_MAP_REG0	中断 通道 映射 寄存器, 0 至 0+3
0x404	CH_MAP_REG1	中断 通道 映射 寄存器, 4 至 4+3
0x408	CH_MAP_REG2	中断 通道 映射 寄存器, 8 至 8+3
0x40c	CH_MAP_REG3	中断 通道 映射 寄存器, 12 至 12+3
0x410	CH_MAP_REG4	中断 通道 映射 寄存器, 16 至 16+3
0x414	CH_MAP_REG5	中断 通道 映射 寄存器, 20 至 20+3
0x418	CH_MAP_REG6	中断 通道 映射 寄存器, 24 至 24+3
0x41c	CH_MAP_REG7	中断 通道 映射 寄存器, 28 至 28+3
0x420	CH_MAP_REG8	中断 通道 映射 寄存器, 32 至 32+3
0x424	CH_MAP_REG9	中断 通道 映射 寄存器, 36 至 36+3
0x428	CH_MAP_REG10	中断 通道 映射 寄存器, 40 至 40+3
0x42c	CH_MAP_REG11	中断 通道 映射 寄存器, 44 至 44+3
0x430	CH_MAP_REG12	中断 通道 映射 寄存器, 48 至 48+3
0x434	CH_MAP_REG13	中断 通道 映射 寄存器, 52 至 52+3
0x438	CH_MAP_REG14	中断 通道 映射 寄存器, 56 至 56+3
0x43c	CH_MAP_REG15	中断 通道 映射 寄存器, 60 至 60+3
0x440	CH_MAP_REG16	中断 通道 映射 寄存器, 64 至 64+3
0x444	CH_MAP_REG17	中断 通道 映射 寄存器, 68 至 68+3
0x448	CH_MAP_REG18	中断 通道 映射 寄存器, 72 至 72+3
0x44c	CH_MAP_REG19	中断 通道 映射 寄存器, 76 至 76+3
0x450	CH_MAP_REG20	中断 通道 映射 寄存器, 80 至 80+3
0x454	CH_MAP_REG21	中断 通道 映射 寄存器, 84 至 84+3
0x458	CH_MAP_REG22	中断 通道 映射 寄存器, 88 至 88+3
0x45c	CH_MAP_REG23	中断 通道 映射 寄存器, 92 至 92+3
0x460	CH_MAP_REG24	中断 通道 映射 寄存器, 96 至 96+3
0x464	CH_MAP_REG25	中断 通道 映射 寄存器, 100 至 100+3
0x468	CH_MAP_REG26	中断 通道 映射 寄存器, 104 至 104+3
0x46c	CH_MAP_REG27	中断 通道 映射 寄存器, 108 至 108+3
0x470	CH_MAP_REG28	中断 通道 映射 寄存器, 112 至 112+3
0x474	CH_MAP_REG29	中断 通道 映射 寄存器, 116 至 116+3
0x478	CH_MAP_REG30	中断 通道 映射 寄存器, 120 至 120+3
0x47c	CH_MAP_REG31	中断 通道 映射 寄存器, 124 至 124+3
0x480	CH_MAP_REG32	中断 通道 映射 寄存器, 128 至 128+3

表 7-43 **CIC2 寄存器**

地址偏移	寄存器标记	寄存器名称
0x484	CH_MAP_REG33	中断通道映射寄存器, 132 至 132+3
0x488	CH_MAP_REG34	中断通道映射寄存器, 136 至 136+3
0x48c	CH_MAP_REG35	中断通道映射寄存器, 140 至 140+3
0x490	CH_MAP_REG36	中断通道映射寄存器, 144 至 144+3
0x494	CH_MAP_REG37	中断通道映射寄存器, 148 至 148+3
0x498	CH_MAP_REG38	中断通道映射寄存器, 152 至 152+3
0x49c	CH_MAP_REG39	中断通道映射寄存器, 156 至 156+3
0x800	HINT_MAP_REG0	主机中断映射寄存器, 0 至 0+3
0x804	HINT_MAP_REG1	主机中断映射寄存器, 4 至 4+3
0x808	HINT_MAP_REG2	主机中断映射寄存器, 8 至 8+3
0x80c	HINT_MAP_REG3	主机中断映射寄存器, 12 至 12+3
0x810	HINT_MAP_REG4	主机中断映射寄存器, 16 至 16+3
0x814	HINT_MAP_REG5	主机中断映射寄存器, 20 至 20+3
0x818	HINT_MAP_REG6	主机中断映射寄存器, 24 至 24+3
0x81c	HINT_MAP_REG7	主机中断映射寄存器, 28 至 28+3
0x820	HINT_MAP_REG8	主机中断映射寄存器, 32 至 32+3
0x824	HINT_MAP_REG9	主机中断映射寄存器, 36 至 36+3
0x828	HINT_MAP_REG10	主机中断映射寄存器, 40 至 40+3
0x82c	HINT_MAP_REG11	主机中断映射寄存器, 44 至 44+3
0x830	HINT_MAP_REG12	主机中断映射寄存器, 48 至 48+3
0x1500	ENABLE_HINT_REG0	主机初始使能寄存器 0
0x1504	ENABLE_HINT_REG1	主机初始使能寄存器 1

表 7-43 结束

7.10.2.3 CIC3 寄存器映射

表 7-44 **CIC3 寄存器**

地址偏移	寄存器标记	寄存器名称
0x0	REVISE_REG	修订寄存器
0x10	GLOBAL_ENABLE_HINT_REG	全局主机初始使能寄存器
0x20	STATUS_SET_INDEX_REG	状态置位变址寄存器
0x24	STATUS_CLR_INDEX_REG	状态清除变址寄存器
0x28	ENABLE_SET_INDEX_REG	使能置位变址寄存器
0x2c	ENABLE_CLR_INDEX_REG	使能清除变址寄存器
0x34	HINT_ENABLE_SET_INDEX_REG	主机初始使能置位变址寄存器
0x38	HINT_ENABLE_CLR_INDEX_REG	主机初始使能清除变址寄存器
0x200	RAW_STATUS_REG0	原始状态寄存器 0
0x204	RAW_STATUS_REG1	原始状态寄存器 1
0x280	ENA_STATUS_REG0	使能状态寄存器 0
0x284	ENA_STATUS_REG1	使能状态寄存器 1
0x300	ENABLE_REG0	使能寄存器 0
0x304	ENABLE_REG1	使能寄存器 1
0x380	ENABLE_CLR_REG0	使能清除寄存器 0
0x384	ENABLE_CLR_REG1	使能清除寄存器 1

表 7-44 CIC3 寄存器

地址偏移	寄存器标记	寄存器名称
0x400	CH_MAP_REG0	中断通道映射寄存器, 0 至 0+3
0x404	CH_MAP_REG1	中断通道映射寄存器, 4 至 4+3
0x408	CH_MAP_REG2	中断通道映射寄存器, 8 至 8+3
0x40c	CH_MAP_REG3	中断通道映射寄存器, 12 至 12+3
0x410	CH_MAP_REG4	中断通道映射寄存器, 16 至 16+3
0x414	CH_MAP_REG5	中断通道映射寄存器, 20 至 20+3
0x418	CH_MAP_REG6	中断通道映射寄存器, 24 至 24+3
0x41c	CH_MAP_REG7	中断通道映射寄存器, 28 至 28+3
0x420	CH_MAP_REG8	中断通道映射寄存器, 32 至 32+3
0x424	CH_MAP_REG9	中断通道映射寄存器, 36 至 36+3
0x428	CH_MAP_REG10	中断通道映射寄存器, 40 至 40+3
0x42c	CH_MAP_REG11	中断通道映射寄存器, 44 至 44+3
0x430	CH_MAP_REG12	中断通道映射寄存器, 48 至 48+3
0x434	CH_MAP_REG13	中断通道映射寄存器, 52 至 52+3
0x438	CH_MAP_REG14	中断通道映射寄存器, 56 至 56+3
0x43c	CH_MAP_REG15	中断通道映射寄存器, 60 至 60+3
0x800	HINT_MAP_REG0	主机中断映射寄存器, 0 至 0+3
0x804	HINT_MAP_REG1	主机中断映射寄存器, 4 至 4+3
0x808	HINT_MAP_REG2	主机中断映射寄存器, 8 至 8+3
0x80c	HINT_MAP_REG3	主机中断映射寄存器, 12 至 12+3
0x810	HINT_MAP_REG4	主机中断映射寄存器, 16 至 16+3
0x814	HINT_MAP_REG5	主机中断映射寄存器, 20 至 20+3
0x818	HINT_MAP_REG6	主机中断映射寄存器, 24 至 24+3
0x81c	HINT_MAP_REG7	主机中断映射寄存器, 28 至 28+3
0x820	HINT_MAP_REG8	主机中断映射寄存器, 32 至 32+3
0x824	HINT_MAP_REG9	主机中断映射寄存器, 36 至 36+3
0x1500	ENABLE_HINT_REG0	主机初始使能寄存器 0
0x1504	ENABLE_HINT_REG1	主机初始使能寄存器 1

表 7-44 结束

7.10.3 处理器内部寄存器映射

表 7-45 IPC 产生寄存器(IPCGRx)(表 1/2)

起始地址	结束地址	大小	寄存器名称	描述
0x02620200	0x02620203	4B	NMIGR0	NMI 事件产生寄存器, 用于 CorePac0
0x02620204	0x02620207	4B	NMIGR1	NMI 事件产生寄存器, 用于 CorePac1
0x02620208	0x0262020B	4B	NMIGR2	NMI 事件产生寄存器, 用于 CorePac2
0x0262020C	0x0262020F	4B	NMIGR3	NMI 事件产生寄存器, 用于 CorePac3
0x02620210	0x02620213	4B	NMIGR4	NMI 事件产生寄存器, 用于 CorePac4
0x02620214	0x02620217	4B	NMIGR5	NMI 事件产生寄存器, 用于 CorePac5
0x02620218	0x0262021B	4B	NMIGR6	NMI 事件产生寄存器, 用于 CorePac6
0x0262021C	0x0262021F	4B	NMIGR7	NMI 事件产生寄存器, 用于 CorePac7
0x02620220	0x0262023F	32B	保留	保留
0x02620240	0x02620243	4B	IPCGR0	IPC 产生寄存器, 用于 CorePac0

表 7-45 IPC 产生 寄存器(IPCGRx)(表 2/2)

起始地址	结束地址	大小	寄存器名称	描述
0x02620244	0x02620247	4B	IPCGR1	IPC 产生 寄存器, 用于 CorePac1
0x02620248	0x0262024B	4B	IPCGR2	IPC 产生 寄存器, 用于 CorePac2
0x0262024C	0x0262024F	4B	IPCGR3	IPC 产生 寄存器, 用于 CorePac3
0x02620250	0x02620253	4B	IPCGR4	IPC 产生 寄存器, 用于 CorePac4
0x02620254	0x02620257	4B	IPCGR5	IPC 产生 寄存器, 用于 CorePac5
0x02620258	0x0262025B	4B	IPCGR6	IPC 产生 寄存器, 用于 CorePac6
0x0262025C	0x0262025F	4B	IPCGR7	IPC 产生 寄存器, 用于 CorePac7
0x02620260	0x0262027B	28B	保留	保留
0x0262027C	0x0262027F	4B	IPCGRH	IPC 产生 寄存器, 用于主机
0x02620280	0x02620283	4B	IPCAR0	IPC 识别寄存器, 用于 CorePac0
0x02620284	0x02620287	4B	IPCAR1	IPC 识别寄存器, 用于 CorePac1
0x02620288	0x0262028B	4B	IPCAR2	IPC 识别寄存器, 用于 CorePac2
0x0262028C	0x0262028F	4B	IPCAR3	IPC 识别寄存器, 用于 CorePac3
0x02620290	0x02620293	4B	IPCAR4	IPC 识别寄存器, 用于 CorePac4
0x02620294	0x02620297	4B	IPCAR5	IPC 识别寄存器, 用于 CorePac5
0x02620298	0x0262029B	4B	IPCAR6	IPC 识别寄存器, 用于 CorePac6
0x0262029C	0x0262029F	4B	IPCAR7	IPC 识别寄存器, 用于 CorePac7
0x026202A0	0x026202BB	28B	保留	保留
0x026202BC	0x026202BF	4B	IPCARH	IPC 识别寄存器, 用于主机
表 7-45 结束				

7.10.4 NMI 与 LRESET

无掩盖中断(NMI)可由芯片级寄存器产生, LRESET 可由软件 写操作向 LPSC 寄存器。

LRESET 与 NMI 也可以由设备引脚或看门狗定时器设置。

一个 NMI 引脚和一个 LRESET 引脚由设备所有 CorePacs 共享。CORESEL[3:0] 引脚可以配置来选择在合适的 CorePacs 之间, 详见表 7-46。

表 7-46 LRESET 与 NMI 解码 (表 1/2)

CORESEL[3:0] 引脚输入	LRESET 引脚输入	NMI 引脚输入	LRESETNMIEN 引脚输入	复位多路选择模块输出
XXXX	X	X	1	非本地 复位 或 NMI 置位
0000	0	X	0	设置本地 复位至 CorePac0
0001	0	X	0	设置本地 复位至 CorePac1
0010	0	X	0	设置本地 复位至 CorePac2
0011	0	X	0	设置本地 复位至 CorePac3
0100	0	X	0	设置本地 复位至 CorePac4
0101	0	X	0	设置本地 复位至 CorePac5
0110	0	X	0	设置本地 复位至 CorePac6
0111	0	X	0	设置本地 复位至 CorePac7
1xxx	0	X	0	设置本地 复位至所有 CorePacs
0000	1	1	0	撤销本地 复位 & NMI 至 CorePac0
0001	1	1	0	撤销本地 复位 & NMI 至 CorePac1
0010	1	1	0	撤销本地 复位 & NMI 至 CorePac2
0011	1	1	0	撤销本地 复位 & NMI 至 CorePac3

表 7-46 LRESET 与 NMI 解码 (表 2/2)

CORESEL[3:0] 引脚输入	LRESET 引脚输入	NMI 引脚输入	LRESETNMIEN 引脚输入	复位多路选择模块输出
0100	1	1	0	撤销本地 复位 & NMI 至 CorePac4
0101	1	1	0	撤销本地 复位 & NMI 至 CorePac5
0110	1	1	0	撤销本地 复位 & NMI 至 CorePac6
0111	1	1	0	撤销本地 复位 & NMI 至 CorePac7
1xxx	1	1	0	撤销本地 复位 & NMI 至 所有 CorePacs
0000	1	0	0	设置 NMI 至 CorePac0
0001	1	0	0	设置 NMI 至 CorePac1
0010	1	0	0	设置 NMI 至 CorePac2
0011	1	0	0	设置 NMI 至 CorePac3
0100	1	0	0	设置 NMI 至 CorePac4
0101	1	0	0	设置 NMI 至 CorePac5
0110	1	0	0	设置 NMI 至 CorePac6
0111	1	0	0	设置 NMI 至 CorePac7
1xxx	1	0	0	设置 NMI 至 所有 CorePacs

表 7-46 结束

7.10.5 外部中断电气数据/时序

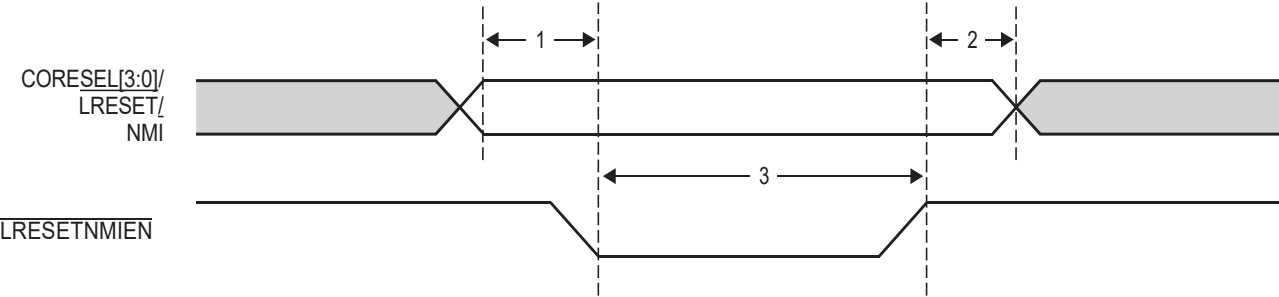
表 7-47 NMI 和本地复位时序要求⁽¹⁾
(参看 图 7-33)

编号		最小值	最大值	单位
1	tsu(LRESET-LRESETNMIENL) 建立时间 - LRESET 固定在 LRESETNMIEN 低之前	12*P		ns
1	tsu(NMI-LRESETNMIENL) 建立时间 - NMI 固定在 LRESETNMIEN 低之后	12*P		ns
1	tsu(CORESELn-LRESETNMIENL) 建立时间 - CORESEL[2:0] 固定在 LRESETNMIEN 低之前	12*P		ns
2	th(LRESETNMIENL-LRESET) 保持时间 - LRESET 固定再 LRESETNMIEN 高之后	12*P		ns
2	th(LRESETNMIENL-NMI) 保持时间 - NMI 固定在 LRESETNMIEN 高之后	12*P		ns
2	th(LRESETNMIENL-CORESELn) 保持时间 - CORESEL[2:0] 固定在 LRESETNMIEN 高之后	12*P		ns
3	tw(LRESETNMIEN) 脉冲宽度 - LRESETNMIEN 低 宽度	12*P		ns

表 7-47 结束

1 P = 1/SYSCLK1 频率以 ns 为单位.

图 7-33 NMI 和本地复位时序



7.10.6 主机中断输出

C66x CorePac 可以设置一个事件至外部主机处理器通过使用 HOUT。表 7-48 为 HOUT 脉冲时序。更多细节参看 3.3.15。

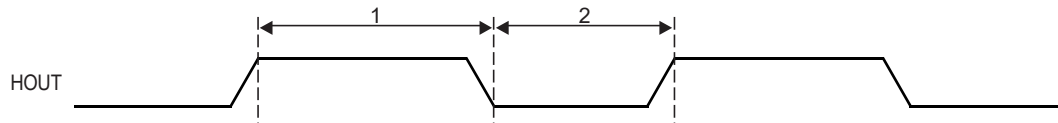
表 7-48 HOUT 转换特性
(参看 图 7-34)

编号		最小值	最大值	单位
1	$t_{w(HOUTH)}$ HOUT 脉冲周期高	$24 \cdot P^{(1)}$		ns
2	$t_{w(HOUTL)}$ HOUT 脉冲周期低	$24 \cdot P$		ns

表 7-48 结束

1 P = 1/SYSCLK1 频率以 ns 为单位。

图 7-34 HOUT 时序



7.11 内存保护单元(MPU)

C6678 支持4个MPU:

- 一个 MPU 用于保护主 CORE/3CFG TeraNet(所有从机设备的 CFG 空间在 TeraNet 上由 MPU 保护).
- 两个 MPU 用于 QM_SS (一个用于 DATA PORT 端口, 一个用于 CFG PORT 端口).
- 一个 MPU 用于信号量.

此部分仅包括 MPU 寄存器映射和具体设备 MPU 寄存器细节。关于 MPU 特性和生成 MPU 寄存器的细节, 参看 *KeyStone 设备内存保护单元(MPU) 用户指南*“德州仪器相关文档” 页 72。

下列表格为 每个 MPU 和内存区域 的配置由每个 MPU 保护.

表 7-49 MPU 默认配置

设置	MPU0 (MAINCFG TeraNet)	MPU1 (QM_SS DATA PORT)	MPU2 (QM_SS CFG PORT)	MPU3 (信号量)
默认允许值	假定允许	假定允许	假定允许	假定允许
支持允许ID 数量	16	16	16	16
支持编程范围数量	16	5	16	1
比较宽度	1KB 粒度	1KB 粒度	1KB 粒度	1KB 粒度
表 7-49 结束				

表 7-50 MPU 内存区域

	内存保护	起始地址	结束地址
MPU0	主 CFG TeraNet	0x01D00000	0x026207FF
MPU1	QM_SS DATA PORT	0x34000000	0x340BFFFF
MPU2	QM_SS CFG PORT	0x02A00000	0x02ABFFFF
MPU3	信号量	0x02640000	0x026407FF

表 7-51 为特权 ID of 每个 CORE 和每一个 主机外设. 表 7-51 同样为设备上每个主机的优先级级别(管理者与 用户), 安全级别(安全与 非安全)和访问类型 (指令读与数据/DMA 读或 写)。在一些情况下, 在访问主机外设置置时, 一个特殊的设置取决于执行软件。

表 7-51 特权ID 设置 (表 1 /2)

特权ID	主机	特权级别	安全级别	访问类型
0	CorePac0	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
1	CorePac1	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
2	CorePac2	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
3	CorePac3	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
4	CorePac4	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
5	CorePac5	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
6	CorePac6	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
7	CorePac7	SW 决定, 由 MSMC 驱动	SW 依赖	DMA
8	网络协处理器包 DMA	用户	非安全	DMA

表 7-51 特权ID 设置(表 2/2)

特权ID	主机	特权 级别	安全级别	访问类型
9	SRIO 包 DMA/SRIO_M	SRIO 模块用户/驱动, 用户模式 和管理者模式由传输前基础决定. 只有传输带有源 ID 匹配值 在管理者 ID 寄存器中被认可的管理者模式.	非安全	DMA
10	QM_SS 包 DMA/QM_SS 二 级	用户	非安全	DMA
11	PCIe	由 PCIe 模块驱动	非安全	DMA
12	调试_SS	由 调试_SS 驱动	由 调试_SS 驱动	DMA
13	HyperLink	由 HyperLink 启动	非安全	DMA
14	HyperLink	管理者	非安全	DMA
15	TSIP0/1	用户	非安全	DMA
表 7-51 结束				

表 7-52 为每个 CorePac 和每个主机外设的主机 ID。主机 ID 用于决定允许的连接在主机和从机之间。不像特权 ID，可以在不同的主机之间共享，主机 ID 对于每个主机是唯一的。

表 7-52 主机ID 设置 (表 1/3)⁽¹⁾

主机 ID	主机
0	CorePac0
1	CorePac1
2	CorePac2
3	CorePac3
4	CorePac4
5	CorePac5
6	CorePac6
7	CorePac7
8	CorePac0_CFG
9	CorePac1_CFG
10	CorePac2_CFG
11	CorePac3_CFG
12	CorePac4_CFG
13	CorePac5_CFG
14	CorePac6_CFG
15	CorePac7_CFG
16	EDMA0_TC0 读
17	EDMA0_TC0 写
18	EDMA0_TC1 读
19	EDMA0_TC1 写
20	EDMA1_TC0 读
21	EDMA1_TC0 写
22	EDMA1_TC1 读
23	EDMA1_TC1 写
24	EDMA1_TC2 读
25	EDMA1_TC2 写

表 7-52 主机 ID 设置(表 2/3)⁽¹⁾

主机 ID	主机
26	EDMA1_TC3 读
27	EDMA1_TC3 写
28	EDMA2_TC0 读
29	EDMA2_TC0 写
30	EDMA2_TC1 读
31	EDMA2_TC1 写
32	EDMA2_TC2 读
33	EDMA2_TC2 写
34	EDMA2_TC3 读
35	EDMA2_TC3 写
36 - 37	保留
38 - 39	SRIO 包 DMA
40 - 47	保留
48	调试 SS
49	EDMA3CC0
50	EDMA3CC1
51	EDMA3CC2
52	MSMC ⁽²⁾
53	PCIe
54	SRIO_主机
55	HyperLink
56 - 59	网络协处理器包 DMA
60 - 85	保留
86	TSIP0
87	TSIP1
88 - 91	队列 管理器 包 DMA
92 - 93	队列管理器 2
94 - 127	保留
128	跟踪器_core_0 ⁽³⁾
129	跟踪器_core_1
130	跟踪器_core_2
131	跟踪器_core_3
132	跟踪器_core_4
133	跟踪器_core_5
134	跟踪器_core_6
135	跟踪器_core_7
136	跟踪器_MSMC0
137	跟踪器_MSMC1
138	跟踪器_MSMC2
139	跟踪器_MSMC3
140	跟踪器_DDR
141	跟踪器_SM
142	跟踪器_QM_CFG

表 7-52 主机 ID 设置 (表 3/3)⁽¹⁾

主机 ID	主机
143	跟踪器_QM_DMA
144	跟踪器_CFG
表 7-52 结束	

- 1 许多基于包 DMA 外设需要多个主机 ID。队列管理器包 DMA 分配有 88, 89, 90, 91 但仅仅 88 - 89 在实际中使用到。对于网络协处理器包 DMA 端口, 56, 57, 58 与 59 分配, 但仅仅一个(56)在实际中使用。有两个主机 ID 值分配给 队列管理器 2 主机端口: 一个主机 ID 用于 外部链接 RAM, 另一个主机 ID 用于 PDSP/MCDM 访问。
- 2 主机 ID 用于 MSMC 来初始化传输 by MSMC 内部 ly 并发送给 DDR.
- 3 所有跟踪都设置了相同的主机 ID, 位 7 of the 主机 ID 必须为 1.

7.11.1 MPU 寄存器

此部分包括 MPU 寄存器的地址偏移以及具体设备 MPU 寄存器的定义。

7.11.1.1 MPU 寄存器映射

表 7-53 MPU0 寄存器(表 1/2)

地址偏移	名称	描述
0h	REVID	修订 ID
4h	CONFIG	配置
10h	IRAWSTAT	中断 原状态/置位
14h	IENSTAT	中断 使能状态/清除
18h	IENSET	中断 使能
1Ch	IENCLR	中断 使能 清除
20h	EOI	中断结束
200h	PROG0_MPSAR	可编程 范围 0, 起始地址
204h	PROG0_MPEAR	可编程 范围 0, 结束地址
208h	PROG0_MPPA	可编程 范围 0, 内存页保护属性
210h	PROG1_MPSAR	可编程 范围 1, 起始地址
214h	PROG1_MPEAR	可编程 范围 1, 结束地址
218h	PROG1_MPPA	可编程 范围 1, 内存页保护特性
220h	PROG2_MPSAR	可编程 范围 2, 起始地址
224h	PROG2_MPEAR	可编程 范围 2, 结束地址
228h	PROG2_MPPA	可编程 范围 2, 内存页保护特性
230h	PROG3_MPSAR	可编程 范围 3, 起始地址
234h	PROG3_MPEAR	可编程 范围 3, 结束地址
238h	PROG3_MPPA	可编程 范围 3, 内存页保护特性
240h	PROG4_MPSAR	可编程 范围 4, 起始地址
244h	PROG4_MPEAR	可编程 范围 4, 结束地址
248h	PROG4_MPPA	可编程 范围 4, 内存页保护特性
250h	PROG5_MPSAR	可编程 范围 5, 起始地址
254h	PROG5_MPEAR	可编程 范围 5, 结束地址
258h	PROG5_MPPA	可编程 范围 5, 内存页保护特性
260h	PROG6_MPSAR	可编程 范围 6, 起始地址
264h	PROG6_MPEAR	可编程 范围 6, 结束地址
268h	PROG6_MPPA	可编程 范围 6, 内存页保护特性
270h	PROG7_MPSAR	可编程 范围 7, 起始地址

表 7-53 MPU0 寄存器(表 2/2)

地址偏移	名称	描述
274h	PROG7_MPEAR	可编程 范围 7, 结束地址
278h	PROG7_MPPA	可编程 范围 7, 内存 页保护特性
280h	PROG8_MPSAR	可编程 范围 8, 起始地址
284h	PROG8_MPEAR	可编程 范围 8, 结束地址
288h	PROG8_MPPA	可编程 范围 8, 内存 页保护特性
290h	PROG9_MPSAR	可编程 范围 9, 起始地址
294h	PROG9_MPEAR	可编程 范围 9, 结束地址
298h	PROG9_MPPA	可编程 范围 9, 内存 页保护特性
2A0h	PROG10_MPSAR	可编程 范围 10, 起始地址
2A4h	PROG10_MPEAR	可编程 范围 10, 结束地址
2A8h	PROG10_MPPA	可编程 范围 10, 内存 页保护特性
2B0h	PROG11_MPSAR	可编程 范围 11, 起始地址
2B4h	PROG11_MPEAR	可编程 范围 11, 结束地址
2B8h	PROG11_MPPA	可编程 范围 11, 内存 页保护特性
2C0h	PROG12_MPSAR	可编程 范围 12, 起始地址
2C4h	PROG12_MPEAR	可编程 范围 12, 结束地址
2C8h	PROG12_MPPA	可编程 范围 12, 内存 页保护特性
2D0h	PROG13_MPSAR	可编程 范围 13, 起始地址
2D4h	PROG13_MPEAR	可编程 范围 13, 结束地址
2Dh	PROG13_MPPA	可编程 范围 13, 内存 页保护特性
2E0h	PROG14_MPSAR	可编程 范围 14, 起始地址
2E4h	PROG14_MPEAR	可编程 范围 14, 结束地址
2E8h	PROG14_MPPA	可编程 范围 14, 内存 页保护特性
2F0h	PROG15_MPSAR	可编程 范围 15, 起始地址
2F4h	PROG15_MPEAR	可编程 范围 15, 结束地址
2F8h	PROG15_MPPA	可编程 范围 15, 内存 页保护特性
300h	FLTADDRR	错误地址
304h	FLTSTAT	错误状态
308h	FLTCLR	错误清除
表 7-53 结束		

表 7-54 MPU1 寄存器(表 1/2)

地址偏移	名称	描述
0h	REVID	修订 ID
4h	CONFIG	配置
10h	IRAWSTAT	中断原状态/置位
14h	IENSTAT	中断 使能状态/清除
18h	IENSET	中断 使能
1Ch	IENCLR	中断 使能清除
20h	EOI	中断结束
200h	PROG0_MPSAR	可编程 范围 0, 起始地址
204h	PROG0_MPEAR	可编程 范围 0, 结束地址
208h	PROG0_MPPA	可编程 范围 0, 内存 页保护特性

表 7-54 MPU1 寄存器(表 2/2)

地址偏移	名称	描述
210h	PROG1_MPSAR	可编程 范围 1, 起始地址
214h	PROG1_MPEAR	可编程 范围 1, 结束地址
218h	PROG1_MPPA	可编程 范围 1, 内存 页保护特性
220h	PROG2_MPSAR	可编程 范围 2, 起始地址
224h	PROG2_MPEAR	可编程 范围 2, 结束地址
228h	PROG2_MPPA	可编程 范围 2, 内存 页保护特性
230h	PROG3_MPSAR	可编程 范围 3, 起始地址
234h	PROG3_MPEAR	可编程 范围 3, 结束地址
238h	PROG3_MPPA	可编程 范围 3, 内存 页保护特性
240h	PROG4_MPSAR	可编程 范围 4, 起始地址
244h	PROG4_MPEAR	可编程 范围 4, 结束地址
248h	PROG4_MPPA	可编程 范围 4, 内存 页保护特性
300h	FLTADDRR	错误地址
304h	FLTSTAT	错误状态
308h	FLTCLR	错误清除
表 7-54 结束		

表 7-55 MPU2 寄存器 (表 1/2)

地址偏移	名称	描述
0h	REVID	修订 ID
4h	CONFIG	配置
10h	IRAWSTAT	中断 原始状态/设置
14h	IENSTAT	中断 使能 状态/清除
18h	IENSET	中断 使能
1Ch	IENCLR	中断 使能 清除
20h	EOI	中断结束
200h	PROG0_MPSAR	可编程 范围 0, 起始地址
204h	PROG0_MPEAR	可编程 范围 0, 结束地址
208h	PROG0_MPPA	可编程 范围 0, 内存 页保护特性
210h	PROG1_MPSAR	可编程 范围 1, 起始地址
214h	PROG1_MPEAR	可编程 范围 1, 结束地址
218h	PROG1_MPPA	可编程 范围 1, 内存 页保护特性
220h	PROG2_MPSAR	可编程 范围 2, 起始地址
224h	PROG2_MPEAR	可编程 范围 2, 结束地址
228h	PROG2_MPPA	可编程 范围 2, 内存 页保护特性
230h	PROG3_MPSAR	可编程 范围 3, 起始地址
234h	PROG3_MPEAR	可编程 范围 3, 结束地址
238h	PROG3_MPPA	可编程 范围 3, 内存 页保护特性
240h	PROG4_MPSAR	可编程 范围 4, 起始地址
244h	PROG4_MPEAR	可编程 范围 4, 结束地址
248h	PROG4_MPPA	可编程 范围 4, 内存 页保护特性
250h	PROG5_MPSAR	可编程 范围 5, 起始地址
254h	PROG5_MPEAR	可编程 范围 5, 结束地址

表 7-55 MPU2 寄存器(表 2/2)

地址偏移	名称	描述
258h	PROG5_MPPA	可编程范围 5, 内存页保护特性
260h	PROG6_MPSAR	可编程范围 6, 起始地址
264h	PROG6_MPEAR	可编程范围 6, 结束地址
268h	PROG6_MPPA	可编程范围 6, 内存页保护特性
270h	PROG7_MPSAR	可编程范围 7, 起始地址
274h	PROG7_MPEAR	可编程范围 7, 结束地址
278h	PROG7_MPPA	可编程范围 7, 内存页保护特性
280h	PROG8_MPSAR	可编程范围 8, 起始地址
284h	PROG8_MPEAR	可编程范围 8, 结束地址
288h	PROG8_MPPA	可编程范围 8, 内存页保护特性
290h	PROG9_MPSAR	可编程范围 9, 起始地址
294h	PROG9_MPEAR	可编程范围 9, 结束地址
298h	PROG9_MPPA	可编程范围 9, 内存页保护特性
2A0h	PROG10_MPSAR	可编程范围 10, 起始地址
2A4h	PROG10_MPEAR	可编程范围 10, 结束地址
2A8h	PROG10_MPPA	可编程范围 10, 内存页保护特性
2B0h	PROG11_MPSAR	可编程范围 11, 起始地址
2B4h	PROG11_MPEAR	可编程范围 11, 结束地址
2B8h	PROG11_MPPA	可编程范围 11, 内存页保护特性
2C0h	PROG12_MPSAR	可编程范围 12, 起始地址
2C4h	PROG12_MPEAR	可编程范围 12, 结束地址
2C8h	PROG12_MPPA	可编程范围 12, 内存页保护特性
2D0h	PROG13_MPSAR	可编程范围 13, 起始地址
2D4h	PROG13_MPEAR	可编程范围 13, 结束地址
2Dh	PROG13_MPPA	可编程范围 13, 内存页保护特性
2E0h	PROG14_MPSAR	可编程范围 14, 起始地址
2E4h	PROG14_MPEAR	可编程范围 14, 结束地址
2E8h	PROG14_MPPA	可编程范围 14, 内存页保护特性
2F0h	PROG15_MPSAR	可编程范围 15, 起始地址
2F4h	PROG15_MPEAR	可编程范围 15, 结束地址
2F8h	PROG15_MPPA	可编程范围 15, 内存页保护特性
300h	FLTADDRR	错误地址
304h	FLTSTAT	错误状态
308h	FLTCLR	错误清除

表 7-55 结束

表 7-56 MPU3 寄存器(表 1/2)

地址偏移	名称	描述
0h	REVID	修订 ID
4h	CONFIG	配置
10h	IRAWSTAT	中断原始状态/设置
14h	IENSTAT	中断使能状态/清除
18h	IENSET	中断使能

表 7-56 MPU3 寄存器 (表 2/2)

地址偏移	Name	描述
1Ch	IENCLR	中断 使能 清除
20h	EOI	中断结束
200h	PROG0_MPSAR	可编程 范围 0, 起始地址
204h	PROG0_MPEAR	可编程 范围 0, 结束地址
208h	PROG0_MPPA	可编程 范围 0, 内存 页保护特性
300h	FLTADDRR	错误 地址
304h	FLTSTAT	错误 状态
308h	FLTCLR	错误 清除
表 7-56 结束		

7.11.1.2 具体设备 MPU 寄存器

7.11.1.2.1 配置 寄存器 (CONFIG)

配置 寄存器 (CONFIG) 包含 MPU 的配置值.

图 7-35 配置 寄存器 (CONFIG)

		31	24	23	20	19	16	15	12	11	1	0
		ADDR_WIDTH		NUM_FIXED		NUM_PROG		NUM_AIDS		保留		ASSUME_ALLOWED
复位值	MPU0	R-0		R-0		R-16		R-16		R-0		R-1
	MPU1	R-0		R-0		R-5		R-16		R-0		R-1
	MPU2	R-0		R-0		R-16		R-16		R-0		R-1
	MPU3	R-0		R-0		R-1		R-16		R-0		R-1

标注: R = 只读; -n = 复位后的值

表 7-57 配置 寄存器 (CONFIG) 域描述

位	域	描述
31 – 24	ADDR_WIDTH	地址排列用于范围检测 0 = 1KB 排列 6 = 64KB 排列
23 – 20	NUM_FIXED	固定地址范围数量
19 – 16	NUM_PROG	可编程地址范围数量
15 – 12	NUM_AIDS	支持 AID 数量
11 – 1	保留	保留. 这些位读总为 0.
0	ASSUME_AL 低 ED	假定允许位. 当一个地址不包括通过任何 MPU 保护范围, 此位 决定是否传输被假定允许. 0 = 假定失能 1 = 假定允许
表 7-57 结束		

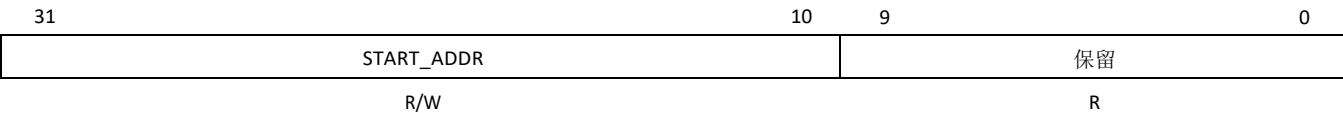
7.11.2 MPU 可编程范围寄存器

7.11.2.1 可编程范围 n 起始地址寄存器(PROG n _MPSAR)

可编程地址起始寄存器保持起始地址的范围。此寄存器仅由管理者入口可写。如果 NS=0(非安全模式)在相应的 MPPA 寄存器，然后寄存器仅由安全入口可写。

起始地址必须排列至页边界。页的大小 1K 字节。页的大小决定了地址域的宽度 在 MPSAR 和 MPEAR 中。

图 7-36 可编程范围 n 起始地址 寄存器(PROG n _MPSAR)



标注:R = 只读;R/W = 读/写

表 7-58 可编程范围 n 起始地址 寄存器(PROG n _MPSAR)域描述

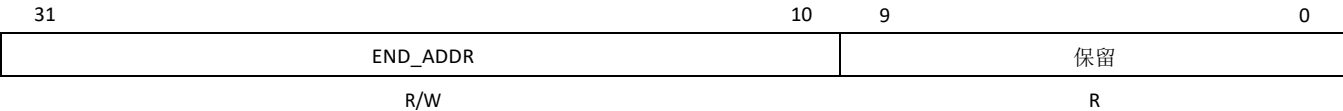
位	域	描述
31 – 10	START_ADDR	起始地址范围 n .
9 – 0	保留	保留 并且这些位读为 0.
表 7-58 结束		

7.11.2.2 可编程范围 n 结束地址寄存器 (PROG n _MPEAR)

可编程结束地址寄存器保持了范围的结束地址。此寄存器仅由管理者入口可写。如果 NS=0(非安全模式)在相应的 MPPA 寄存器，然后寄存器仅由安全入口可写。

结束地址必须排列至页边界。页的大小取决于 MPU 的数量。页的大小对于 MPU1 为 1K 字节，对于 MPU2 为 64K 字节。页的大小决定了地址域的宽度 在MPSAR 和MPEAR 中。

图 7-37 可编程范围 n 结束地址 寄存器(PROG n _MPEAR)



标注:R = 只读;R/W = 读/写

表 7-59 可编程范围 n 结束地址 寄存器(PROG n _MPEAR)域描述

位	域	描述
31 – 10	END_ADDR	结束地址范围 n .
9 – 0	保留	保留 并且这些位读总为 3FFh.
表 7-59 结束		

7.11.2.3 可编程范围 n 内存保护页特性寄存器 (PROG $_n$ _MPPA)

可编程地址内存保护页特性寄存器保持了允许范围. 此寄存器仅由非调试管理者入口可写。如果 NS=0(安全模式), 然后寄存器同样仅由非调试安全入口可写。NS 位仅由非调试安全入口可写。对于调试访问, 寄存器仅当 NS=1 或 EMU=1 时可写。

图 7-38 可编程范围 n 内存保护页特性寄存器 (PROG $_n$ _MPPA)

31				26		25	24	23	22	21	20	19	18	17	16	15	
保留						AID15	AID14	AID13	AID12	AID11	AID10	AID9	AID8	AID7	AID6	AID5	
R						R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
14		13		12	11	10	9	8		7	6	5	4	3	2	1	0
AID4	AID3	AID2	AID1	AID0	AIDX	保留		NS	EMU	SR	SW	SX	UR	UW	UX		
R/W	R/W	R/W	R/W	R/W	R/W	R		R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	

标注: R = 只读; R/W = 读/写

表 7-60 可编程范围 n 内存保护页特性寄存器 (PROG $_n$ _MPPA) 域描述(表 1/2)

位	域	描述
31 – 26	保留	保留. 这些位读总为 0.
25	AID15	控制允许检查, fID = 15 0 = AID 不检查允许 1 = AID 检查允许
24	AID14	控制允许检查, ID = 14 0 = AID 不检查允许 1 = AID 检查允许
23	AID13	控制允许检查, ID = 13 0 = AID 不检查允许 1 = AID 检查允许
22	AID12	控制允许检查, ID = 12 0 = AID 不检查允许 1 = AID 检查允许
21	AID11	控制允许检查, ID = 11 0 = AID 不检查允许 1 = AID 检查允许
20	AID10	控制允许检查, ID = 10 0 = AID 不检查允许 1 = AID 检查允许
19	AID9	控制允许检查, ID = 9 0 = AID 不检查允许 1 = AID 检查允许
18	AID8	控制允许检查, ID = 8 0 = AID 不检查允许 1 = AID 检查允许
17	AID7	控制允许检查, ID = 7 0 = AID 不检查允许 1 = AID 检查允许
16	AID6	控制允许检查, ID = 6 0 = AID 不检查允许 1 = AID 检查允许

表 7-60 可编程范围 n 内存保护页特性寄存器 (PROG $_n$ _MPPA) 域描述 (表 2/2)

位	域	描述
15	AID5	控制允许检查, ID = 5 0 = AID 不检查允许 1 = AID 检查允许
14	AID4	控制允许检查, ID = 4 0 = AID 不检查允许 1 = AID 检查允许
13	AID3	控制允许检查, ID = 3 0 = AID 不检查允许 1 = AID 检查允许
12	AID2	控制允许检查, ID = 2 0 = AID 不检查允许 1 = AID 检查允许
11	AID1	控制允许检查, ID = 1 0 = AID 不检查允许 1 = AID 检查允许
10	AID0	控制允许检查, ID = 0 0 = AID 不检查允许 1 = AID 检查允许
9	AIDX	控制允许检查, ID > 15 0 = AID 不检查允许 1 = AID 检查允许
8	保留	读总为 0.
7	NS	非安全访问允许 0 = 仅安全访问允许. 1 = 非安全访问允许.
6	EMU	仿真 (调试) 访问 允许.如果 NS = 1, 此位忽视 0 = 不允许调试访问. 1 = 允许调试访问
5	SR	管理者读操作允许 0 = 不允许访问 1 = 允许访问.
4	SW	管理者写操作允许 0 = 不允许访问 1 = 允许访问.
3	SX	管理者执行允许 0 = 不允许访问 1 = 允许访问.
2	UR	用户读操作允许 0 = 不允许访问 1 = 允许访问.
1	UW	用户写操作允许 0 = 不允许访问 1 = 允许访问.
0	UX	用户执行允许 0 = 不允许访问 1 = 允许访问.
表 7-60 结束		

7.11.2.4 MPU 寄存器复位值

表 7-61 可编程范围 n 寄存器复位值 MPU0

可编程范围	MPU0(MAIN CFG TeraNet)			
	起始地址 (PROGn_MPSAR)	结束地址 (PROGn_MPEAR)	内存页保护特性 (PROGn_MPPA)	内存 保护
PROG0	0x01D0_0000	0x01D8_03FF	0x03FF_FCB6	跟踪器
PROG1	0x01F0_0000	0x01F7_FFFF	0x03FF_FC80	保留
PROG2	0x0200_0000	0x0209_FFFF	0x03FF_FCB6	NETCP
PROG3	0x01E0_0000	0x01EB_FFFF	0x03FF_FCB6	TSIP
PROG4	0x021C_0000	0x021E_0FFF	0x03FF_FC80	保留
PROG5	0x021F_0000	0x021F_7FFF	0x03FF_FC80	保留
PROG6	0x0220_0000	0x022F_03FF	0x03FF_FCB6	定时器
PROG7	0x0231_0000	0x0231_03FF	0x03FF_FCB4	PLL
PROG8	0x0232_0000	0x0232_03FF	0x03FF_FCB4	GPIO
PROG9	0x0233_0000	0x0233_03FF	0x03FF_FCB4	SmartReflex
PROG10	0x0235_0000	0x0235_0FFF	0x03FF_FCB4	PSC
PROG11	0x0240_0000	0x024B_3FFF	0x03FF_FCB6	DEBUG_SS, 跟踪器格式程序
PROG12	0x0250_0000	0x0252_03FF	0x03FF_FCB4	保留
PROG13	0x0253_0000	0x0254_03FF	0x03FF_FCB6	I ² C, UART
PROG14	0x0260_0000	0x0260_FFFF	0x03FF_FCB4	CICs
PROG15	0x0262_0000	0x0262_07FF	0x03FF_FCB4	芯片级寄存器
表 7-61 结束				

表 7-62 可编程范围 n 寄存器复位值 MPU1

可编程 范围	MPU1(QM_SSDATA PORT)			
	起始地址 (PROGn_MPSAR)	结束地址 (PROGn_MPEAR)	内存 页保护特性 (PROGn_MPPA)	内存 保护
PROG0	0x3400_0000	0x3401_FFFF	0x03FF_FC80	队列 管理器子系统数据
PROG1	0x3402_0000	0x3405_FFFF	0x000F_FCB6	
PROG2	0x3406_0000	0x3406_7FFF	0x03FF_FCB4	
PROG3	0x3406_8000	0x340B_7FFF	0x03FF_FC80	
PROG4	0x340B_8000	0x340B_FFFF	0x03FF_FCB6	
表 7-62 结束				

表 7-63 可编程范围 n 寄存器复位值 MPU2

可编程 范围	MPU2 (QM_SS CFG PORT)			
	起始地址 (PROGn_MPSAR)	结束地址 (PROGn_MPEAR)	内存页保护特性 (PROGn_MPPA)	内存 保护
PROG0	0x02A0_0000	0x02A1_FFFF	0x03FF_FCA4	队列管理器子系统 配置
PROG1	0x02A2_0000	0x02A3_FFFF	0x000F_FCB6	
PROG2	0x02A4_0000	0x02A5_FFFF	0x000F_FCB6	
PROG3	0x02A6_0000	0x02A6_7FFF	0x03FF_FCB4	
PROG4	0x02A6_8000	0x02A6_8FFF	0x03FF_FCB4	
PROG5	0x02A6_9000	0x02A6_9FFF	0x03FF_FCB4	
PROG6	0x02A6_A000	0x02A6_AFFF	0x03FF_FCB4	
PROG7	0x02A6_B000	0x02A6_BFFF	0x03FF_FCB4	
PROG8	0x02A6_C000	0x02A6_DFFF	0x03FF_FCB4	
PROG9	0x02A6_E000	0x02A6_FFFF	0x03FF_FCB4	
PROG10	0x02A8_0000	0x02A8_FFFF	0x03FF_FCA4	
PROG11	0x02A9_0000	0x02A9_FFFF	0x03FF_FCB4	
PROG12	0x02AA_0000	0x02AA_7FFF	0x03FF_FCB4	
PROG13	0x02AA_8000	0x02AA_FFFF	0x03FF_FCB4	
PROG14	0x02AB_0000	0x02AB_7FFF	0x03FF_FCB4	
PROG15	0x02AB_8000	0x02AB_FFFF	0x03FF_FCB6	
表 7-63 结束				

表 7-64 可编程范围 n 寄存器复位值 MPU3

可编程 范围	MPU3 (信号量)			
	起始地址 (PROGn_MPSAR)	结束地址 (PROGn_MPEAR)	内存页保护特性 (PROGn_MPPA)	内存 保护
PROG0	0x0264_0000	0x0264_07FF	0x0003_FCB6	信号量
表 7-64 结束				

7.12 DDR3 内存控制器

TMS320C6678 的 64-位 DDR3 内存控制器总线用于作为与 JEDEC 标准兼容 DDR3 SDRAM 设备的接口。DDR3 外部总线接口仅用于 DDR3 SDRAM 设备；不与任何其他类型外设共用总线。

7.12.1 DDR3 内存控制器具体设备信息

TMS320C6678 包含一个 64-位宽 1.5-V DDR3 SDRAM EMIF 接口。DDR3 接口操作可以以 800 兆传输每秒(MTS)，1066 MTS，1333 MTS 以及 1600 MTS。

由于接口的复杂特性，限定数量的拓扑应支持提供一个 16-位、32-位或 64-位接口。

DDR3 电气要求详细描述在 DDR Jedec 规范 JESD79-3C。标准 DDR3 SDRAM 可用 8-和 16-位版本，允许下列存储库拓扑由接口支持：

- 72-位: 五个 16-位 SDRAM (包括 ECC 8 位)
- 72-位: 九个 8-位 SDRAM (包括 ECC 8 位)
- 36-位: 三个 16-位 SDRAM (包括 ECC 4 位)
- 6-位: 五个 8-位 SDRAM (包括 ECC 4 位)
- 64-位: 四个 16-位 SDRAM
- 64-位: 八个 8-位 SDRAM
- 32-位: 两个 16-位 SDRAM
- 32-位: 四个 8-位 SDRAM
- 16-位: 一个 16-位 SDRAM
- 16-位: 两个 8-位 SDRAM

DDR3 内存具体设定接口时序总线的方法与其他接口不同，例如 I²C 或 SPI。对于其他接口，设备时序规范化根据手册具体内容和 I/O 缓冲器信息详细(IBIS)模型。对于 DDR3 内存总线，方法是具体兼容 DDR3 设备并且提供直接面向用户印刷电路板(PCB) 解决方案和指导。

7.12.2 DDR3 内存控制器竞争情况考虑

一个竞争情况可能存在当某些主机写数据向 DDR3 内存控制器。举例说明，如果主机 A 传递一个软件信息通过一个缓冲器在外部内存中并且不等待写完成的任何指示，在信号通向主机 B 表示着信息准备好，当主机 B 试图读软件信息，然后主机 B 读也许会旁路主机 A 写并且因此主机 B 也许读状态数据并且因此接收一个不正确的信息。

一些主机外设(例如，EDMA3 传输控制器伴随 TCCMOD=0)将总等待写至完成在信号传递中断至系统，从而阻止此竞争状态。对于主机没有写-读顺序硬件具体，可能有必要通过软件具体制定数据顺序。

如果主机 A 并不等待指示写操作完成,则必须执行下列手续:

1. 执行所需要的写至 DDR3 内存空间.
2. 执行一个空写至 DDR3 内存控制器模块 ID 和修订寄存器.
3. 执行一个空读至 DDR3 内存控制器模块 ID 和修订寄存器.
4. 指示至主机 B 数据准备好被读再度操作完成在步骤3。读操作完成在步骤3确保先前的写操作完成。

7.12.3 DDR3 内存 控制器电气数据/时序

KeyStone 设备 DDR3 设计要求 “[德州仪器相关文档](#)” 页 72 具体描述了一个完成 DDR3 接口解决方案，类似一个兼容 DDR3 设备的列表。DDR3 电气 要求在 DDR3 Jedec 规范 JESD79-3C 中进行了详细地阐述。TI 完成了仿真和系统特性化 确保满足所有 DDR3 接口时序的解决方案； 因此，没有电气数据/时序关于接口的信息为在此处提供。



注—TI 仅支持符合应用报告中板级设计指导的设计。

7.13 I²C 外设

内部集成电路(I²C)模块提供一个接口在DSP和其他设备之间兼容飞利浦半导体内部-IC总线(I²C总线)具体版本 2.1 并且以一个I²C总线的方式连接。外部元件连接至这个2-线串行总线可以发送/接收最多8-位数据至/从 DSP 通过 I²C 模块。

7.13.1 I²C 具体设备信息

TMS320C6678 设备包括一个I²C外设模块。



注—当使用一个I²C模块时，确保外部上拉电阻在SDA和SCL引脚。

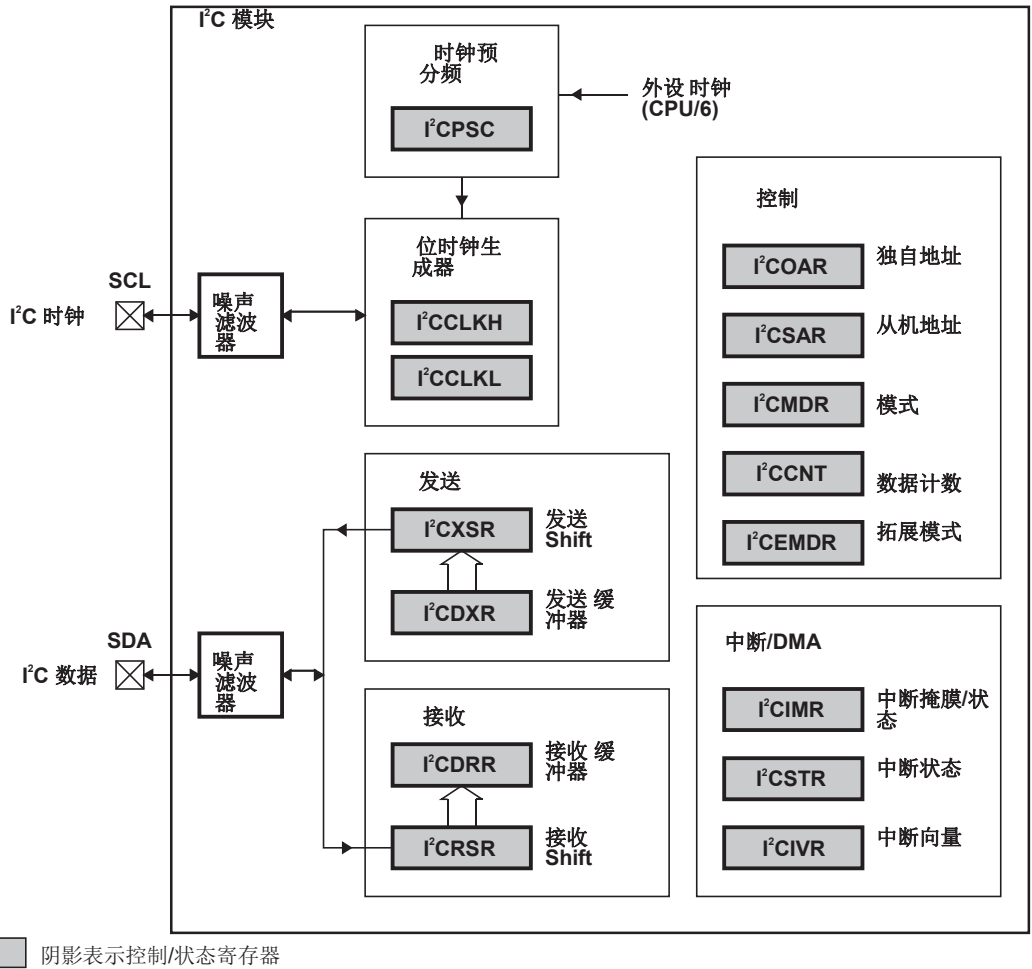
C6678 的 I²C 模块通过 DSP 使用来控制本地外设 IC (DAC、ADC 等等)或可能用于与其它控制器在一个系统相互交流或用于执行一个用户接口。

I²C 端口与飞利浦I²C具体修订 2.1(2000 二月) 兼容并且支持:

- 快速模式最大 400 Kbps (无故障安全 I/O 缓冲器)
- 噪声滤波器来消除噪声 50 ns 或更少
- 7-位和 10-位 设备寻址模式
- 多-主机 (发送/接收) 和从机 (发送/接收)功能
- 事件: DMA, 中断或轮询
- 电压转换速率 限制开漏输出缓冲器

图 7-39 为 I²C 模块模块图。

图 7-39 I²C 模块模块图



7.13.2 I²C 外设寄存器描述

表 7-65 I²C 寄存器 (表 1/2)

16 进制地址范围	寄存器	寄存器名称
0253 0000	ICOAR	I ² C 独自地址 寄存器
0253 0004	ICIMR	I ² C 中断掩膜/状态寄存器
0253 0008	ICSTR	I ² C 中断状态寄存器
0253 000C	ICCLKL	I ² C 时钟低值分频器 寄存器
0253 0010	ICCLKH	I ² C 时钟高值分频器 寄存器
0253 0014	ICCNT	I ² C 数据计数寄存器
0253 0018	ICDRR	I ² C 数据接收寄存器
0253 001C	ICSAR	I ² C 从机 地址 寄存器
0253 0020	ICDXR	I ² C 数据发送寄存器
0253 0024	ICMDR	I ² C 模式 寄存器
0253 0028	ICIVR	I ² C 中断向量寄存器
0253 002C	ICEMDR	I ² C 拓展模式 寄存器

表 7-65 **I²C 寄存器(表 2/2)**

16 进制地址范围	寄存器	寄存器名称
0253 0030	ICPSC	I ² C 预分频寄存器
0253 0034	ICPID1	I ² C 外设识别寄存器 1 [值: 0x0000 0105]
0253 0038	ICPID2	I ² C 外设识别寄存器 2 [值: 0x0000 0005]
0253 003C - 0253 007F	-	保留

表 7-65 结束

7.13.3 I²C 电气数据/时序

7.13.3.1 内部集成电路 (I²C) 时序

表 7-66 **I²C 时序要求⁽¹⁾**

参看 [图 7-40](#))

编		标准模式		快速模式		单位
		最小值	最大值	最小值	最小值	
1	t _{C(SCL)} 周期时间, SCL	10		2.5		μs
2	t _{su(SCLH-SDAL)} 建立时间, SCL 高在 SDA 低之前 (对于一个重复的 START 情况)	4.7		0.6		μs
3	t _{h(SDAL-SCLL)} 保持时间, SCL 低在 SDA 低之后 (对于一个 START 和一个重复的 START 情况)	4		0.6		μs
4	t _{w(SCLL)} 脉冲宽度, SCL 低	4.7		1.3		μs
5	t _{w(SCLH)} 脉冲宽度, SCL 高	4		0.6		μs
6	t _{su(SDAV-SCLH)} 建立时间, SDA 固定在 SCL 高之前	250		100 ⁽²⁾		ns
7	t _{h(SCLL-SDAV)} 保持时间, SDA 固定在 SCL 低之后 (对于 I ² C 总线设备)	0 ⁽³⁾	3.45	0 ⁽³⁾	0.9 ⁽⁴⁾	μs
8	t _{w(SDAH)} 脉冲宽度, SDA 高在 STOP 与 START 情况之间	4.7		1.3		μs
9	t _{r(SDA)} 上升时间, SDA		1000	20 + 0.1C _b ⁽⁵⁾	300	ns
10	t _{r(SCL)} 上升时间, SCL		1000	20 + 0.1C _b ⁽⁵⁾	300	ns
11	t _{f(SDA)} 下降时间, SDA		300	20 + 0.1C _b ⁽⁵⁾	300	ns
12	t _{f(SCL)} 下降时间, SCL		300	20 + 0.1C _b ⁽⁵⁾	300	ns
13	t _{su(SCLH-SDAH)} 建立时间, SCL 高在 SDA 高之前 (对于 STOP 情况)	4		0.6		μs
14	t _{w(SP)} 脉冲宽度, 尖峰 (必须被抑制)			0	50	ns
15	C _b ⁽⁵⁾ 每个总线上的容性负载		400		400	pF

表 7-66 结束

1 I²C 引脚 SDA 与 SCL 不支持故障安全 I/O 缓冲器。这些引脚可以当设备掉电时潜在的吸收电流。

2 一个快速模式 I²C-bus™ 设备可以用于标准模式 I²C-bus™ 系统。但必须要求要求 t_{su(SDA-SCLH)} ≥ 250 ns。

如果设备未延长 SCL 信号低电平周期, 将自动变为上述情形。

2

如果这样一个设备未延长 SCL 信号低电平周期, 则必须输出下一个数据位至 SDA 线 t_r 最大值 + t_{su(SDA-SCLH)} = 1000 + 250 = 1250 ns (根据标准模式 I²C-总线规范) 在 SCL 线释放之前。

3 一个设备必须内部地提供至少 300 ns 的保持时间用于 SDA 信号 (参考 SCL 信号的 V_{IH} 最小值) 至衔接 SCL 下降沿的未定义区域。

4 必须满足最大值 t_{h(SDA-SCLL)} 仅当设备未延长 SCL 信号低电平时 [t_{w(SCLL)}]。

5 C_b = 一条总线电容总量, 以 pF 为单位。如果混合了 HS-模式设备, 将允许快速下降时间。

图 7-40 I²C 接收时序

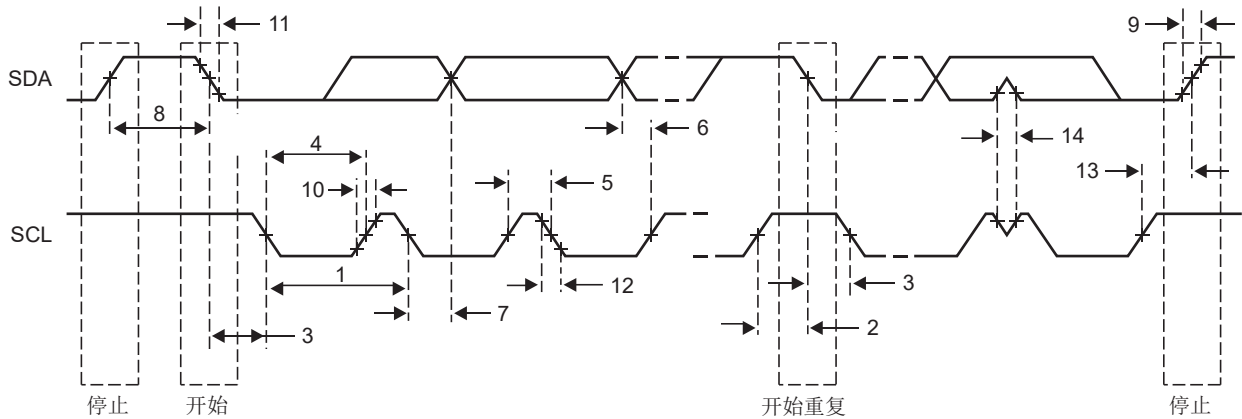


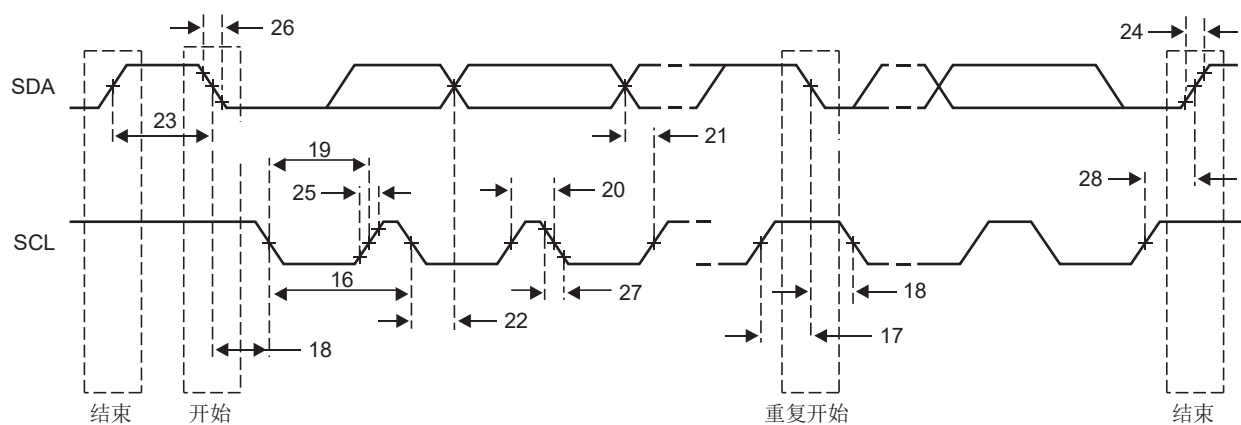
表 7-67 I²C 开关特性⁽¹⁾
(参看 图 7-41)

编号.	参数	标准模式		快速模式		单位
		最小值	最大值	最小值	最大值	
16	$t_{c(SCL)}$ 周期时间, SCL	10		2.5		ms
17	$t_{su(SCLH-SDAL)}$ 建立时间, SCL 高 至 SDA 低 (对于一个重复 START 情况)	4.7		0.6		ms
18	$t_h(SDAL-SCLL)$ 保持时间, SDA 低在 SCL 低电平之后 (对于一个 START 和一个重复 START 情况)	4		0.6		ms
19	$t_w(SCLL)$ 脉冲宽度, SCL 低	4.7		1.3		ms
20	$t_w(SCLH)$ 脉冲宽度, SCL 高	4		0.6		ms
21	$t_d(SDAV-SDLH)$ 延迟时间, SDA 固定 至 SCL 高	250		100		ns
22	$t_v(SDLL-SDAV)$ 固定时间, SDA 固定在 SCL 低 (对于 I ² C 总线设备)	0		0	0.9	ms
23	$t_w(SDAH)$ 脉冲宽度, SDA 高在结束和开始情况之间	4.7		1.3		ms
24	$t_r(SDA)$ 上升时间, SDA		1000	$20 + 0.1C_b^{(1)}$	300	ns
25	$t_r(SCL)$ 上升时间, SCL		1000	$20 + 0.1C_b^{(1)}$	300	ns
26	$t_f(SDA)$ 下降时间, SDA		300	$20 + 0.1C_b^{(1)}$	300	ns
27	$t_f(SCL)$ 下降时间, SCL		300	$20 + 0.1C_b^{(1)}$	300	ns
28	$t_d(SCLH-SDAH)$ 延迟时间, SCL 高至 SDA 高 (对于 STOP 情况)	4		0.6		ms
29	C_p 每个 I ² C 引脚电容量		10		10	pF

表 7-67 结束

1 C_b = 一条总线电容总量, 以 pF 为单位。如果混合了 HS-模式设备, 将允许快速下降时间。

图 7-41 I²C 发送时序



7.14 SPI 外设

串行外设互连(SPI) 模块 提供一个接口在 DSP 和其他 SPI-兼容设备之间。接口的首要内容是允许连接至一个 SPI ROM 用于引导。C6678 的 SPI 模块仅由主机 模式支持。额外的 芯片-级元件同样可以被包括,例如温度传感器或一个 I/O 拓展器。

C6678 SPI 支持两种模式,3-引脚和 4-引脚.对于4-引脚芯片-选择模式, C6678 支持最多两种芯片选择。

7.14.1 SPI 电气数据/时序

7.14.1.1 SPI 时序

表 7-68 SPI 时序要求
(参看 图 7-42)

编		最小值	最大值	单位
主机模式时序图 s—基础时序用于 3 引脚模式				
7	tsu(SDI-SPC) 输入 建立时间, SPIDIN 固定在 SPICLK 接收沿之前. 极性 = 0 相位 = 0	2		ns
7	tsu(SDI-SPC) 输入 建立时间, SPIDIN 固定在 SPICLK 接收沿之前. 极性 = 0 相位 = 1	2		ns
7	tsu(SDI-SPC) 输入 建立时间, SPIDIN 固定在 SPICLK 接收沿之前. 极性 = 1 相位 = 0	2		ns
7	tsu(SDI-SPC) 输入 建立时间, SPIDIN 固定在 SPICLK 接收沿之前. 极性 = 1 相位 = 1	2		ns
8	th(SPC-SDI) 输入 保持时间, SPIDIN 固定在 SPICLK 接收沿之后. 极性 = 0 相位 = 0	5		ns
8	th(SPC-SDI) 输入 保持时间, SPIDIN 固定在 SPICLK 接收沿之后. 极性 = 0 相位 = 1	5		ns
8	th(SPC-SDI) 输入 保持时间, SPIDIN 固定在 SPICLK 接收沿之后. 极性 = 1 相位 = 0	5		ns
8	th(SPC-SDI) 输入 保持时间, SPIDIN 固定在 SPICLK 接收沿之后. 极性 = 1 相位 = 1	5		ns
表 7-68 结束				

表 7-69 SPI 转换特性(表 1/2)
(参看 图 7-42 和 图 7-43)

编	参数	最小值	最大值	单位
主机模式时序图—基础时序对于 3 引脚模式				
1	tc(SPC) 周期时间, SPICLK, 所有主机 模式	$3 \cdot P2^{(1)}$		ns
2	tw(SPCH) 脉冲宽度 高, SPICLK, 所有主机模式	$0.5 \cdot tc - 1$		ns
3	tw(SPCL) 脉冲宽度 低, SPICLK, 所有主机模式	$0.5 \cdot tc - 1$		ns
4	td(SDO-SPC) 建立(延迟), 起始数据位 固定在 SPIDOUT 至 SPICLK 初始化边沿. 极性 = 0, 相位 = 0.	5		ns
4	td(SDO-SPC) 建立(延迟), 起始数据位固定在 SPIDOUT 至 SPICLK 初始化边沿. 极性 = 0, 相位 = 1.	5		ns
4	td(SDO-SPC) 建立(延迟), 起始数据位固定在 SPIDOUT 至 SPICLK 初始化边沿极性 = 1, 相位 = 0	5		ns
4	td(SDO-SPC) 建立(延迟), 起始数据位固定在 SPIDOUT 至 SPICLK 初始化边沿极性 = 1, 相位 = 1	5		ns
5	td(SPC-SDO) 建立(延迟), 跟随数据位固定在 SPIDOUT 至 SPICLK 初始化边沿. 极性 = 0 相位 = 0	2		ns
5	td(SPC-SDO) 建立(延迟), 跟随数据位固定在 SPIDOUT 至 SPICLK 初始化边沿, 极性 = 0 相位 = 1	2		ns
5	td(SPC-SDO) 建立(延迟), 跟随数据位固定在 SPIDOUT 至 SPICLK 初始化边沿, 极性 = 1 相位 = 0	2		ns
5	td(SPC-SDO) 建立(延迟), 跟随数据位固定在 SPIDOUT 至 SPICLK 初始化边沿, 极性 = 1 相位 = 1	2		ns

表 7-69 SPI 转换特性 (表 2/2)
 (参看图 7-42 和 图 7-43)

编	参数		最小值	最大值	单位
6	toh(SPC-SDO)	输出 保持时间, SPIDOUT 固定在 SPICLK 接收沿之后除了最终位. 极性 = 0 相位 = 0	0.5*tc - 2		ns
6	toh(SPC-SDO)	输出 保持时间, SPIDOUT 固定在 SPICLK 接收沿之后除了最终位. 极性 = 0 相位 = 1	0.5*tc - 2		ns
6	toh(SPC-SDO)	输出 保持时间, SPIDOUT 固定在 SPICLK 接收沿之后除了最终位. 极性 = 1 相位 = 0	0.5*tc - 2		ns
6	toh(SPC-SDO)	输出 保持时间, SPIDOUT 固定在 SPICLK 接收沿之后除了最终位. 极性 = 1 相位 = 1	0.5*tc - 2		ns
额外 SPI 主机时序—4 引脚模式带有芯片选择选项					
19	td(SCS-SPC)	延迟 从 $\overline{\text{SPISCS}}[n]$ 有效至起始 SPICLK. 极性 = 0 相位 = 0	2*P2 - 5	2*P2 + 5	ns
19	td(SCS-SPC)	延迟 从 $\overline{\text{SPISCS}}[n]$ 有效至起始 SPICLK. 极性 = 0 相位 = 1	0.5*tc + (2*P2) - 5	0.5*tc + (2*P2) + 5	ns
19	td(SCS-SPC)	延迟 从 $\overline{\text{SPISCS}}[n]$ 有效至起始 SPICLK. 极性 = 1 相位 = 0	2*P2 - 5	2*P2 + 5	ns
19	td(SCS-SPC)	延迟 从 $\overline{\text{SPISCS}}[n]$ 有效至起始 SPICLK. 极性 = 1 相位 = 1	0.5*tc + (2*P2) - 5	0.5*tc + (2*P2) + 5	ns
20	td(SPC-SCS)	延迟从最后 SPICLK 沿至主机取消置位 SPISCS[n]. 极性 = 0 相位 = 0	1*P2 - 5	1*P2 + 5	ns
20	td(SPC-SCS)	延迟从最后 SPICLK 沿至主机取消置位 SPISCS[n]. 极性 = 0 相位 = 1	0.5*tc + (1*P2) - 5	0.5*tc + (1*P2) + 5	ns
20	td(SPC-SCS)	延迟从最后 SPICLK 沿至主机取消置位 SPISCS[n]. 极性 = 1 相位 = 0	1*P2 - 5	1*P2 + 5	ns
20	td(SPC-SCS)	延迟从最后 SPICLK 沿至主机取消置位 SPISCS[n]. 极性 = 1 相位 = 1	0.5*tc + (1*P2) - 5	0.5*tc + (1*P2) + 5	ns
	tw(SCSH)	最小无效时间在 $\overline{\text{SPISCS}}[n]$ 引脚在两个传输之间当 SPISCS[n] 未保持使用 CS 保持 特性.	2*P2 - 5		ns

表 7-69 结束

1 $P2 = 1/\text{SYSCLK7}$

图 7-42 SPI 主机模式时序图—3 引脚模式基础时序

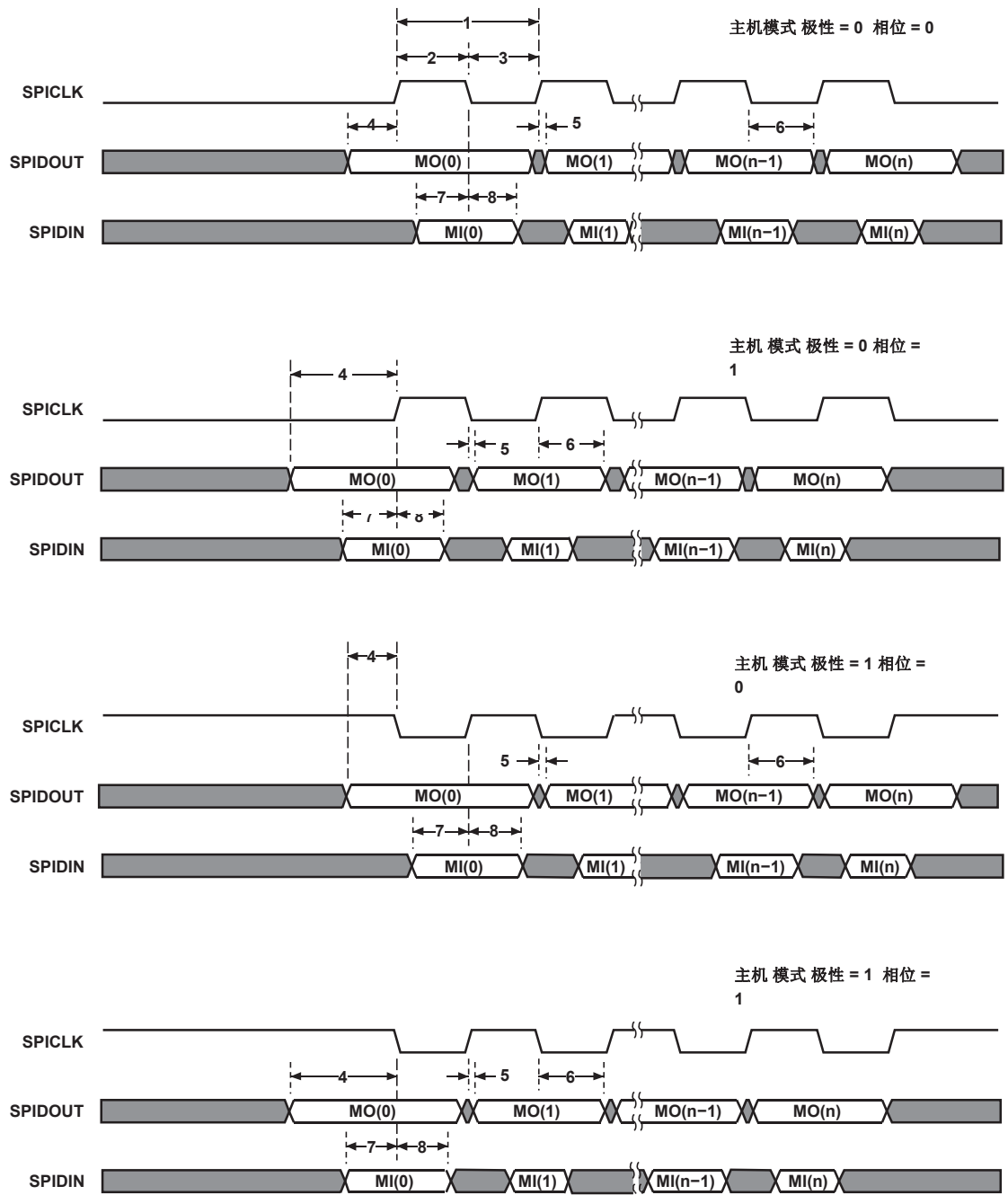
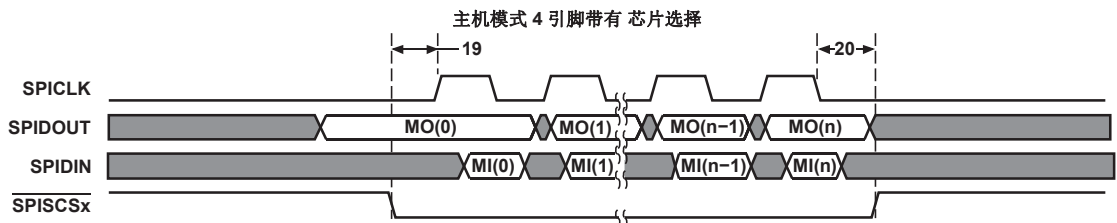


图 7-43 SPI 4 引脚主机模式额外时序，带有芯片选择选项



7.15 HyperLink 外设

TMS320C6678 包括HyperLink 总线用于协助芯片/硅片接口。这是四通道SerDes 接口用于操作最大12.5 Gbaud 每个通道。支持的数据速率速率包括 1.25 Gbaud、3.125 Gbaud、6.25 Gbaud、10 Gbaud 和 12.5 Gbaud。接口用于与外部加速器连接。HyperLink 连接必须与DC 耦合相连。

接口包括串行站点管理接口用于发送功耗管理 和流信息在设备之间。其包含四个 LVCMOS 输入和四个 LVCMOS 输出配置作为两个 2-线 输出总线和两个2-线输入总线。每个2-线总线包括一个数据总线和一个时钟信号。

7.15.1 HyperLink 具体设备中断事件

HyperLink 有 64 输入 事件。事件0 至31 来自芯片级中断控制器 和事件 32 至 63 来自队列-挂起信号来自队列管理器来监控一些传输队列状态。

表 7-70 C6678 HyperLink 事件(表 1/2)

事件编号	事件	事件 描述
0	CIC3_OUT8	中断 控制器 输出
1	CIC3_OUT9	中断 控制器 输出
2	CIC3_OUT10	中断 控制器 输出
3	CIC3_OUT11	中断 控制器 输出
4	CIC3_OUT12	中断 控制器 输出
5	CIC3_OUT13	中断 控制器 输出
6	CIC3_OUT14	中断 控制器 输出
7	CIC3_OUT15	中断 控制器 输出
8	CIC3_OUT16	中断 控制器 输出
9	CIC3_OUT17	中断 控制器 输出
10	CIC3_OUT18	中断 控制器 输出
11	CIC3_OUT19	中断 控制器 输出
12	CIC3_OUT20	中断 控制器 输出
13	CIC3_OUT21	中断 控制器 输出
14	CIC3_OUT22	中断 控制器 输出
15	CIC3_OUT23	中断 控制器 输出
16	CIC3_OUT24	中断 控制器 输出
17	CIC3_OUT25	中断 控制器 输出
18	CIC3_OUT26	中断 控制器 输出
19	CIC3_OUT27	中断 控制器 输出
20	CIC3_OUT28	中断 控制器 输出
21	CIC3_OUT29	中断 控制器 输出
22	CIC3_OUT30	中断 控制器 输出
23	CIC3_OUT31	中断 控制器 输出
24	CIC3_OUT32	中断 控制器 输出
25	CIC3_OUT33	中断 控制器 输出
26	CIC3_OUT34	中断 控制器 输出
27	CIC3_OUT35	中断 控制器 输出
28	CIC3_OUT36	中断 控制器 输出
29	CIC3_OUT37	中断 控制器 输出

表 7-70 C6678 HyperLink 事件(表 2/2)

事件编号	事件	事件 描述
30	CIC3_OUT38	中断 控制器 输出
31	CIC3_OUT39	中断 控制器 输出
32	QM_INT_PEND_864	队列 管理器 挂起事件
33	QM_INT_PEND_865	队列 管理器 挂起事件
34	QM_INT_PEND_866	队列 管理器 挂起事件
35	QM_INT_PEND_867	队列 管理器 挂起事件
36	QM_INT_PEND_868	队列 管理器 挂起事件
37	QM_INT_PEND_869	队列 管理器 挂起事件
38	QM_INT_PEND_870	队列 管理器 挂起事件
39	QM_INT_PEND_871	队列 管理器 挂起事件
40	QM_INT_PEND_872	队列 管理器 挂起事件
41	QM_INT_PEND_873	队列 管理器 挂起事件
42	QM_INT_PEND_874	队列 管理器 挂起事件
43	QM_INT_PEND_875	队列 管理器 挂起事件
44	QM_INT_PEND_876	队列 管理器 挂起事件
45	QM_INT_PEND_877	队列 管理器 挂起事件
46	QM_INT_PEND_878	队列 管理器 挂起事件
47	QM_INT_PEND_879	队列 管理器 挂起事件
48	QM_INT_PEND_880	队列 管理器 挂起事件
49	QM_INT_PEND_881	队列 管理器 挂起事件
50	QM_INT_PEND_882	队列 管理器 挂起事件
51	QM_INT_PEND_883	队列 管理器 挂起事件
52	QM_INT_PEND_884	队列 管理器 挂起事件
53	QM_INT_PEND_885	队列 管理器 挂起事件
54	QM_INT_PEND_886	队列 管理器 挂起事件
55	QM_INT_PEND_887	队列 管理器 挂起事件
56	QM_INT_PEND_888	队列 管理器 挂起事件
57	QM_INT_PEND_889	队列 管理器 挂起事件
58	QM_INT_PEND_890	队列 管理器 挂起事件
59	QM_INT_PEND_891	队列 管理器 挂起事件
60	QM_INT_PEND_892	队列 管理器 挂起事件
61	QM_INT_PEND_893	队列 管理器 挂起事件
62	QM_INT_PEND_894	队列 管理器 挂起事件
63	QM_INT_PEND_895	队列 管理器 挂起事件
表 7-70 结束		

7.15.2 HyperLink 电气数据/时序

下列图表描述了 HyperLink 外设的时序要求和转换特性。

表 7-71 HyperLink 外设时序要求

参看 图 7-44,图 7-45,图 7-46

编			最小值	最大值	单位
FL Interface					
1	tc(MCMTXFLCLK)	时钟周期 - MCMTXFLCLK (C1)	6.4		ns
2	tw(MCMTXFLCLKH)	高脉冲宽度 - MCMTXFLCLK	0.4*C1	0.6*C1	ns
3	tw(MCMTXFLCLKL)	低脉冲宽度 - MCMTXFLCLK	0.4*C1	0.6*C1	ns
6	tsu(MCMTXFLDAT-MCMTXFLCLKH)	建立时间 - MCMTXFLDAT 固定在 MCMTXFLCLK 高之前	1		ns
7	th(MCMTXFLCLKH-MCMTXFLDAT)	保持时间 - MCMTXFLDAT 固定在 MCMTXFLCLK 高之前	1		ns
6	tsu(MCMTXFLDAT-MCMTXFLCLKL)	建立时间 - MCMTXFLDAT 固定在 MCMTXFLCLK 低之前	1		ns
7	th(MCMTXFLCLKL-MCMTXFLDAT)	保持时间 - MCMTXFLDAT 固定在 MCMTXFLCLK 低之前	1		ns
PMInterface					
1	tc(MCMRXPCLK)	时钟周期 - MCMRXPCLK (C3)	6.4		ns
2	tw(MCMRXPCLK)	高脉冲宽度 - MCMRXPCLK	0.4*C3	0.6*C3	ns
3	tw(MCMRXPCLK)	低脉冲宽度 - MCMRXPCLK	0.4*C3	0.6*C3	ns
6	tsu(MCMRXPMDAT-MCMRXPCLKH)	建立时间 - MCMRXPMDAT 固定在 MCMRXPCLK 高之前	1		ns
7	th(MCMRXPCLKH-MCMRXPMDAT)	保持时间 - MCMRXPMDAT 固定在 MCMRXPCLK 高之后	1		ns
6	tsu(MCMRXPMDAT-MCMRXPCLKL)	建立时间 - MCMRXPMDAT 固定在 MCMRXPCLK 低之前	1		ns
7	th(MCMRXPCLKL-MCMRXPMDAT)	保持时间 - MCMRXPMDAT 固定在 MCMRXPCLK 低之后	1		ns

表 7-71 结束

表 7-72 HyperLink 外设转换特性

参看 图 7-44,图 7-45,图 7-46

编	参数		最小值	最大值	单位
FL 接口					
1	tc(MCMRXFLCLK)	时钟周期 - MCMRXFLCLK (C2)	6.4		ns
2	tw(MCMRXFLCLKH)	高脉冲宽度 - MCMRXFLCLK	0.4*C2	0.6*C2	ns
3	tw(MCMRXFLCLKL)	低脉冲宽度 - MCMRXFLCLK	0.4*C2	0.6*C2	ns
4	tsu(MCMRXFLDAT-MCMRXFLCLKH)	建立时间 - MCMRXFLDAT 固定在 MCMRXFLCLK 高之前	0.25*C2-0.4		ns
5	toh(MCMRXFLCLKH-MCMRXFLDAT)	保持时间 - MCMRXFLDAT 固定在 MCMRXFLCLK 高之后	0.25*C2-0.4		ns
4	tsu(MCMRXFLDAT-MCMRXFLCLKL)	建立时间 - MCMRXFLDAT 固定在 MCMRXFLCLK 低之前	0.25*C2-0.4		ns
5	toh(MCMRXFLCLKL-MCMRXFLDAT)	保持时间 - MCMRXFLDAT 固定在 MCMRXFLCLK 低之后	0.25*C2-0.4		ns
PMInterface					
1	tc(MCMTXPMCLK)	时钟周期 - MCMTXPMCLK (C4)	6.4		ns
2	tw(MCMTXPMCLK)	高脉冲宽度 - MCMTXPMCLK	0.4*C4	0.6*C4	ns
3	tw(MCMTXPMCLK)	低脉冲宽度 - MCMTXPMCLK	0.4*C4	0.6*C4	ns
4	tsu(MCMTXPMDAT-MCMTXPMCLKH)	建立时间 - MCMTXPMDAT 固定在 MCMTXPMCLK 高之前	0.25*C4-0.4		ns
5	toh(MCMTXPMCLKH-MCMTXPMDAT)	保持时间 - MCMTXPMDAT 固定在 MCMTXPMCLK 高之后	0.25*C4-0.4		ns
4	tsu(MCMTXPMDAT-MCMTXPMCLKL)	建立时间 - MCMTXPMDAT 固定在 MCMTXPMCLK 低之前	0.25*C4-0.4		ns
5	toh(MCMTXPMCLKL-MCMTXPMDAT)	保持时间 - MCMTXPMDAT 固定在 MCMTXPMCLK 低之后	0.25*C4-0.4		ns

表 7-72 结束

图 7-44 HyperLink 站点管理时钟时序

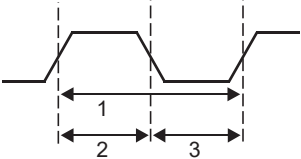
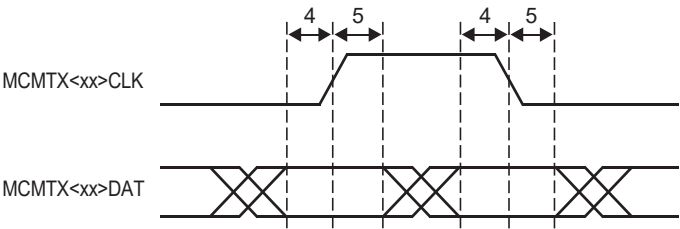
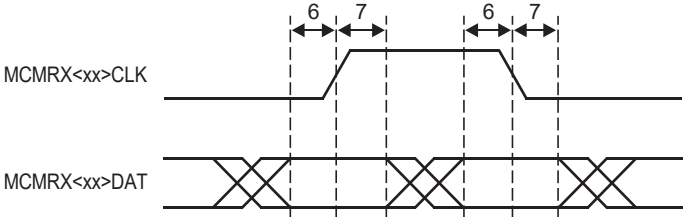


图 7-45 HyperLink 站点管理发送时序



<xx>代表接口正在使用: PM 或 FL

图 7-46 HyperLink 站点管理接收时序



<xx>代表接口正在使用: PM 或 FL

7.16 UART 外设

统一异步接收器/发送器(UART)模块 提供一个接口，在DSP 和UART 终点接口或其他基于 UART 外设之间。UART 基于工业标准TL16C550 异步通信要素，反过来，也是 TL16C450 的功能升级。功能上与TL16C450 相似在上电方面(单个特性或 TL16C450 模式)，UART 可以被放置在一个可改变FIFO (TL16C550) 模式。这缓解了 DSP 的过多软件 开销缓冲接收和发送的特性。接收器和发送器 FIFO 储存最多 16 字节包括差错状态的三个额外位每个字节用于接收方FIFO。

UART 执行串行至并行转换 on 数据接收从一个外设设备和并行至串行转换在数据接收来自 DSP。DSP 可以读 UART 状态任何时间。UART 包括控制能力和一个处理器中断 系统可为通信连接的最小化软件管理定制。更多关于 UART 的信息，参看 *KeyStone 设备统一异步接收器/发送器 (UART) 用户指南“德州仪器相关文档”* 页 72。

表 7-73 UART时序要求
(参看 图 7-47 和 图 7-48)

编号		最小值	最大值	单位
接收 时序				
4	tw(RXSTART) 脉冲宽度, 接收 起始位	0.96U ⁽¹⁾	1.05U	ns
5	tw(RXH) 脉冲宽度, 接收 数据/奇偶校验位高	0.96U	1.05U	ns
5	tw(RXL) 脉冲宽度, 接收 数据/奇偶校验位低	0.96U	1.05U	ns
6	tw(RXSTOP1) 脉冲宽度, 接收 停止位 1	0.96U	1.05U	ns
6	tw(RXSTOP15) 脉冲宽度, 接收停止位 1.5	1.5*(0.96U)	1.5*(1.05U)	ns
6	tw(RXSTOP2) 脉冲宽度, 接收停止位 2	2*(0.96U)	2*(1.05U)	ns
自动流时序要求				
8	td(CTSL-TX) 延迟时间, CTS 设置至 START 位 发送	P ⁽²⁾	5P	ns

1 U = UART 波特时间 = 1/编程波特速率
2 P = 1/SYSCLK7

图 7-47 UART 接收时序波形

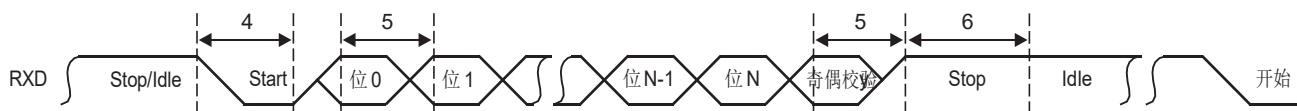


图 7-48 UART CTS (清除以发送输入) — 自动流 时序 波形

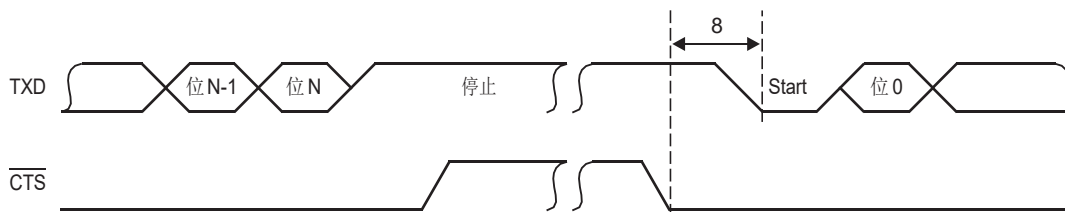


表 7-74 UART 转换特性
(参看 图 7-49 和 图 7-50)

编号	参数	最小值	最大值	单位
发送 时序				
1	tw(TXSTART) 脉冲宽度, 发送 起始位	$U^{(1)} - 2$	$U + 2$	ns
2	tw(TXH) 脉冲宽度, 发送 数据/奇偶校验位高	$U - 2$	$U + 2$	ns
2	tw(TXL) 脉冲宽度, 发送 数据/奇偶校验位低	$U - 2$	$U + 2$	ns
3	tw(TXSTOP1) 脉冲宽度, 发送停止位 1	$U - 2$	$U + 2$	ns
3	tw(TXSTOP15) 脉冲宽度, 发送停止位 1.5	$1.5 * (U - 2)$	$1.5 * (U + 2)$	ns
3	tw(TXSTOP2) 脉冲宽度, 发送停止位 2	$2 * (U - 2)$	$2 * (U + 2)$	ns
自动流时序要求				
7	td(RX-RTSH) 延迟时间, STOP 位 接收至 RTS 取消设置	$p^{(2)}$	5P	ns

表 7-74 结束

1 U = UART 波特时间 = $1/\text{编程波特速率}$
2 $P = 1/\text{SYSCLK7}$

图 7-49 UART 发送时序波形

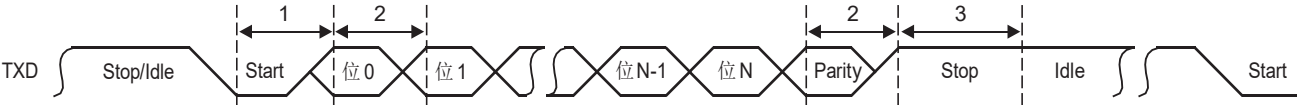
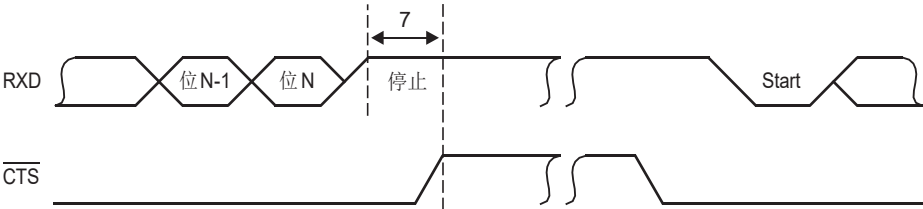


图 7-50 UART RTS (请求并发送 输出) — 自动流时序波形



7.17 PCIe 外设

设备中的双通道 PCI 总线 (PCIe) 模块 提供一个在 DSP 和其他 PCIe-兼容设备接口。PCI 总线模块 提供 低-引脚-计数、高-可靠性、高-速度 数据传输以速率 5.0 GBaud 每个通道在串行连接上。更多信息, 参看 *KeyStone 设备外设元件互连总线(PCIe) 用户指南“德州仪器相关文档”* 页 72。PCIe 电气要求的详细阐述在 PCI 总线 基础特性 PCI-SIG 修订版本 2.0。TI 已经完成了仿真和系统特性来确保满足解决方案中的 PCIe 接口 时序; 因此, 没有电气数据/时序信息关于此接口在这里提供。

7.18 TSIP 外设

电信串行接口端口 (TSIP) 模块 提供一个无粘接接口至一个常用的电信串行数据流。更对相关信息， 参看 C66x DSP 电信串行接口端口(TSIP) 用户指南“德州仪器相关文档” 页 72。

7.18.1 TSIP 电气数据/时序

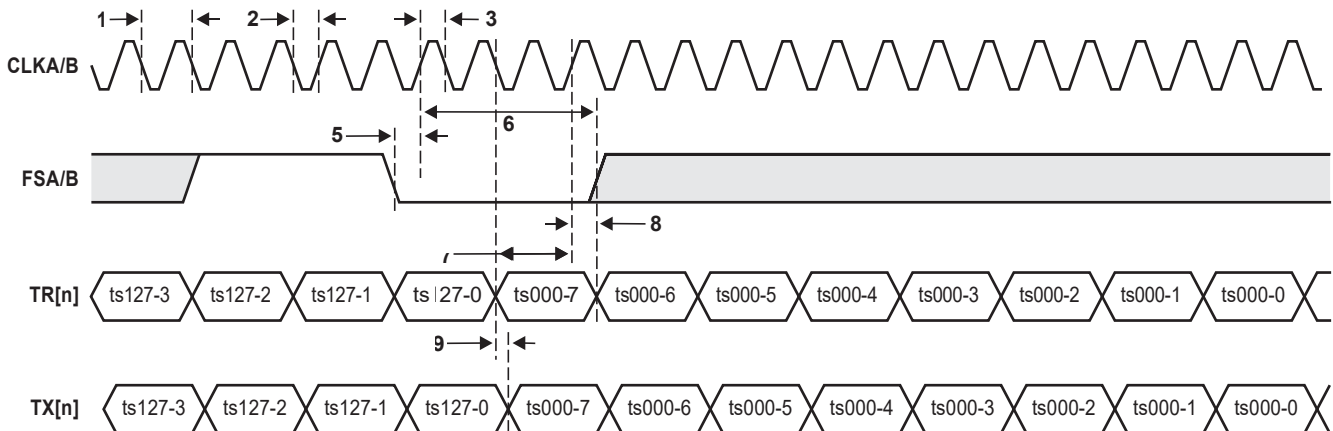
表 7-75 时序要求 TSIP2x 模式⁽¹⁾
(参看 图 7-51)

编号		最小值	最大值	单位
1	$t_c(\text{CLK})$ 周期时间, CLK 上升沿至下一个 CLK 上升沿	61 ⁽²⁾		ns
2	$t_w(\text{CLKL})$ 脉冲宽度, CLK 低	$0.4 \times t_c(\text{CLK})$		ns
3	$t_w(\text{CLKH})$ 脉冲宽度, CLK 高	$0.4 \times t_c(\text{CLK})$		ns
4	$t_t(\text{CLK})$ 转换时间, CLK 高 to 低 or CLK 低至 高		2	ns
5	$t_{su}(\text{FS-CLK})$ 建立时间, FS 固定在 CLK 上升之前	5		ns
6	$t_h(\text{CLK-FS})$ 保持时间, FS 固定在 CLK 上升之前	5		ns
7	$t_{su}(\text{TR-CLK})$ 建立时间, TR 固定在 CLK 上升之前	5		ns
8	$t_h(\text{CLK-TR})$ 保持时间, TR 固定在 CLK 上升之后	5		ns
9	$t_d(\text{CLKL-TX})$ 延迟时间, CLK 低至 TX 固定	1	12	ns
10	$t_{dis}(\text{CLKH-TXZ})$ 失能 time, CLK 低至 TX 高阻	2	10	ns

表 7-75 结束

- 1 奇偶校验关于 XMTFSYNCP = 0b, XMTFCLKP = 0, XMTDCLKP = 1b, RCVFSYNCP = 0, RCVFCLKP = 0, RCVDCCLKP = 0. 如果任何信号的奇偶校验位反转, 然后时序参考信号同样反转。
- 2 图示时序为 8.192 Mbps 连接。时序对于 16.384 Mbps 和 32.768 Mbps 连接为 30.5 ns 与 15.2 ns, 相应地。

图 7-51 TSIP2x 时序图⁽¹⁾



- 1 示例 时间槽 编号用于 8.192 Mbps 连接; 16.384 Mbps 连接编号从 0 至 255, 32.768 Mbps 连接有时间槽编号从 0 到 511. 图示数据时序关联于时钟 和帧同步信号将需要一个 RCVDATD=1 和一个 XMTDATD=1

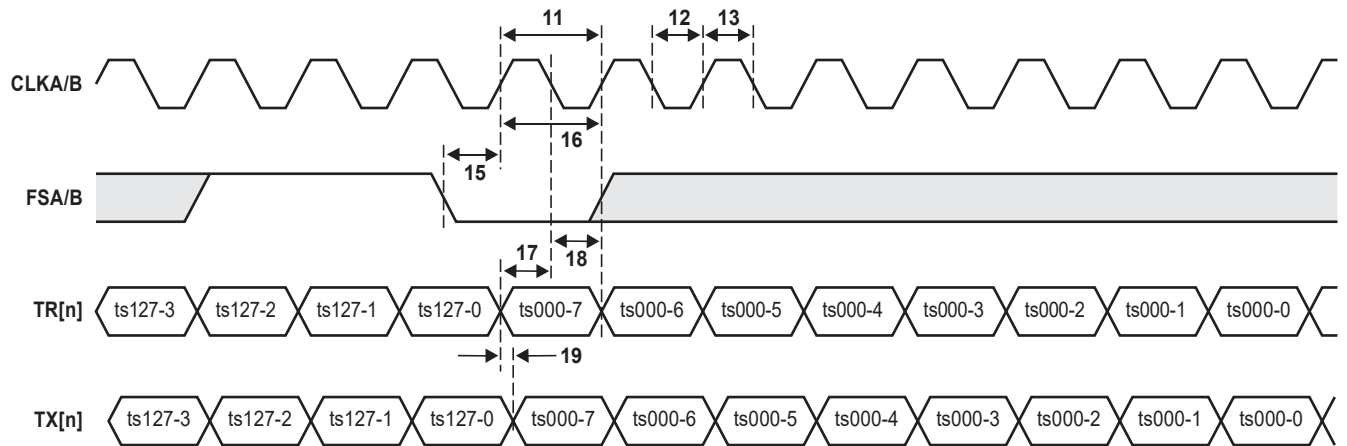
表 7-76 时序要求 TSIP 1x 模式⁽¹⁾
参看图 7-52)

编号		最小值	最大值	单位
11	$t_c(\text{CLK})$ 周期时间, CLK 上升沿至下一个 CLK 上升沿	122.1 ⁽²⁾		ns
12	$t_w(\text{CLKL})$ 脉冲宽度, CLK 低	$0.4 \times t_c(\text{CLK})$		ns
13	$t_w(\text{CLKH})$ 脉冲宽度, CLK 高	$0.4 \times t_c(\text{CLK})$		ns
14	$t_t(\text{CLK})$ 转换时间, CLK 高至低或 CLK 低至高		2	ns
15	$t_{su}(\text{FS-CLK})$ 建立时间, FS 固定在 CLK 上升之前	5		ns
16	$t_h(\text{CLK-FS})$ 保持时间, FS 固定在 CLK 上升之后	5		ns
17	$t_{su}(\text{TR-CLK})$ 建立时间, TR 固定在 CLK 上升之前	5		ns
18	$t_h(\text{CLK-TR})$ 保持时间, TR 固定在 CLK 上升之后	5		ns
19	$t_d(\text{CLKL-TX})$ 延迟时间, CLK 低至 TX 固定	1	12	ns
20	$t_{dis}(\text{CLKH-TXZ})$ 失能 time, CLK 低至 TX Hi-Z	2	10	ns

表 7-76 结束

- 1 奇偶校验关于 XMTFSYNCP = 0b, XMTFCLKP = 0, XMTDCLKP = 0b, RCVFSYNCP = 0, RCVFCLKP = 0, RCVCLKP = 1. 如果任何信号的奇偶校验位反转, 然后时序参考信号同样反转。
- 2 图示时序为 8.192 Mbps 连接。时序对于 16.384 Mbps 和 32.768 Mbps 连接为 61ns 与 30.5 ns, 相应地。

图 7-52 TSIP 1x 时序图⁽¹⁾



- 1 示例时间槽编号为 8.192 Mbps 连接; 16.384 Mbps 连接时间槽编号为从 0 到 255, 32.768 Mbps 连接时间槽编号为从 0 到 511. 图示数据时序关于时钟和帧同步信号将需要一个 RCVDATD=1023 和一个 XMTDATD=1023.

7.19 EMIF16 外设

TheEMIF16模块提供一个接口在 DSP 和外部内存之间例如 NAND 和NOR 闪存。更多信息，参看 *KeyStone 设备外部内存接口(EMIF16)用户指南“德州仪器相关文档”* 页 72.

7.19.1 EMIF16 电气数据/时序

表 7-77 **EMIF16 异步内存 时序 要求⁽¹⁾⁽²⁾**
 (参看 图 7-53 和 图 7-54)

编号		最小值	最大值	单位
通用时序				
2	$t_w(\text{WAIT})$ 脉冲宽度, WAIT 置位与撤销最小时间		2E	ns
28	$t_d(\text{WAIT-WEH})$ 建立时间, WAIT 在 WE 高之前置位		4E + 3	ns
14	$t_d(\text{WAIT-OEH})$ 建立时间, WAIT 在 OE 高之前置位		4E + 3	ns
读 时序				
3	$t_c(\text{CEL})$ EMIF 读 周期时间, 当 $ew = 0$, 不是在拓展等待模式	$(RS+RST+RH+3) * E-3$	$(RS+RST+RH+3) * E+3$	ns
3	$t_c(\text{CEL})$ EMIF 读 周期时间, 当 $ew = 1$, 使能拓展等待模式	$(RS+RST+WAIT+RH+3) * E-3$	$(RS+RST+WAIT+RH+3) * E+3$	ns
4	$t_{osu}(\text{CEL-OEL})$ 输出 建立时间从 CE 低至 OE 低. $SS = 0$, 不在选择选通模式中	$(RS+1) * E-3$	$(RS+1) * E+3$	ns
5	$t_{oh}(\text{OEH-CEH})$ 输出 保持时间 从 OE 高至 CE 高. $SS = 0$, 不在选择选通模式中	$(RH+1) * E-3$	$(RH+1) * E+3$	ns
4	$t_{osu}(\text{CEL-OEL})$ 输出 建立时间 从 CE 低至 OE 低, 在选择选通模式中, $SS = 1$	$(RS+1) * E-3$	$(RS+1) * E+3$	ns
5	$t_{oh}(\text{OEH-CEH})$ 输出 保持时间 从 OE 高至 CE 高, 在选择选通模式中, $SS = 1$	$(RH+1) * E-3$	$(RH+1) * E+3$	ns
6	$t_{osu}(\text{BEV-OEL})$ 输出 建立时间 从 BE 固定至 OE 低	$(RS+1) * E-3$	$(RS+1) * E+3$	ns
7	$t_{oh}(\text{OEH-BEIV})$ 输出 保持时间 从 OE 高至 BE 不固定	$(RH+1) * E-3$	$(RH+1) * E+3$	ns
8	$t_{osu}(\text{AV-OEL})$ 输出 建立时间 从 A 固定至 OE 低	$(RS+1) * E-3$	$(RS+1) * E+3$	ns
9	$t_{oh}(\text{OEH-AIV})$ 输出 保持时间从 OE 高至 A 不固定	$(RH+1) * E-3$	$(RH+1) * E+3$	ns
10	$t_w(\text{OEL})$ OE 有效时间低, 当 $ew = 0$. 拓展等待模式失能.	$(RST+1) * E-3$	$(RST+1) * E+3$	ns
10	$t_w(\text{OEL})$ OE 有效时间低, 当 $ew = 1$. 拓展等待模式使能.	$(RST+1) * E-3$	$(RST+1) * E+3$	ns
11	$t_d(\text{WAITH-OEH})$ 延迟时间 从 WAIT 取消置位至 OE# 高		4E + 3	ns
12	$t_{su}(\text{D-OEH})$ 输入 建立时间 从 D 固定至 OE 高	3		ns
13	$t_h(\text{OEH-D})$ 输入 保持时间 从 OE 高至 D 不固定	0.5		ns
写 时序				
15	$t(\text{CEL})$ EMIF 写 周期时间, 当 $ew = 0$, 不是在拓展等待模式	$(WS+WST+WH+3) * E-3$	$(WS+WST+WH+3) * E+3$	ns
15	$t(\text{CEL})$ EMIF 写 周期时间, 当 $ew = 1$, 使能拓展等待模式	$(WS+WST+WAIT+WH+3) * E-3$	$(WS+WST+WAIT+WH+3) * E+3$	ns
16	$t_{osu}(\text{CEL-WEL})$ 输出 建立时间 从 CE 低至 WE 低. $SS = 0$, 不在选择选通模式中	$(WS+1) * E-3$		ns
17	$t_{oh}(\text{WEH-CEH})$ 输出 保持时间从 WE 高至 CE 高. $SS = 0$, 不在选择选通模式中	$(WH+1) * E-3$		ns
16	$t_{osu}(\text{CEL-WEL})$ 输出 建立时间 从 CE 低至 WE 低 在选择选通模式中, $SS = 1$	$(WS+1) * E-3$		ns
17	$t_{oh}(\text{WEH-CEH})$ 输出 保持时间 从 WE 高到 CE 高 在选择选通模式中, $SS = 1$	$(WH+1) * E-3$		ns
18	$t_{osu}(\text{RNW-WEL})$ 输出 建立时间从 RNW 固定至 WE 低	$(WS+1) * E-3$		ns
19	$t_{oh}(\text{WEH-RNW})$ 输出 保持时间 从 WE 高到 RNW 不固定	$(WH+1) * E-3$		ns
20	$t_{osu}(\text{BEV-WEL})$ 输出 建立时间从 BE 固定至 WE 低	$(WS+1) * E-3$		ns
21	$t_{oh}(\text{WEH-BEIV})$ 输出 保持时间 从 WE 高到 BE 不固定	$(WH+1) * E-3$		ns
22	$t_{osu}(\text{AV-WEL})$ 输出 建立时间从 A 固定至 WE 低	$(WS+1) * E-3$		ns
23	$t_{oh}(\text{WEH-AIV})$ 输出 保持时间 从 WE 高到 A 不固定	$(WH+1) * E-3$		ns

表 7-77 EMIF16 异步内存时序要求⁽¹⁾⁽²⁾
(参看 图 7-53 与 图 7-54)

编号			最小值	最大值	单位
24	$t_w(\text{WEL})$	WE 有效时间低, 当 ew = 0. 拓展等待模式失能.	$(\text{WST}+1) * E - 3$		ns
24	$t_w(\text{WEL})$	WE 有效时间低, 当 ew = 1. 拓展等待模式使能.	$(\text{WST}+1) * E - 3$		ns
26	$t_{\text{osU}}(\text{DV-WEL})$	输出 建立时间, 从 D 固定至 WE 低	$(\text{WS}+1) * E - 3$		ns
27	$t_{\text{oh}}(\text{WEH-DIV})$	输出 保持时间, 从 WE 高 至 D 不固定	$(\text{WH}+1) * E - 3$		ns
25	$t_d(\text{WAITH-WEH})$	延迟时间, 从 WAIT 取消置位到 WE# 高		4E + 3	ns

表 7-77 结束

1 E = 1/SYCLK7, RS = 读 启动, RST = 读 选通 e, RH = 读 保持, WS = 写 启动, WST = 写 选通, WH = 写 保持.
2 WAIT = 设置的等待周期数在选通时间和等待撤销之间的可编程终点。

图 7-53 EMIF16 异步内存读时序图

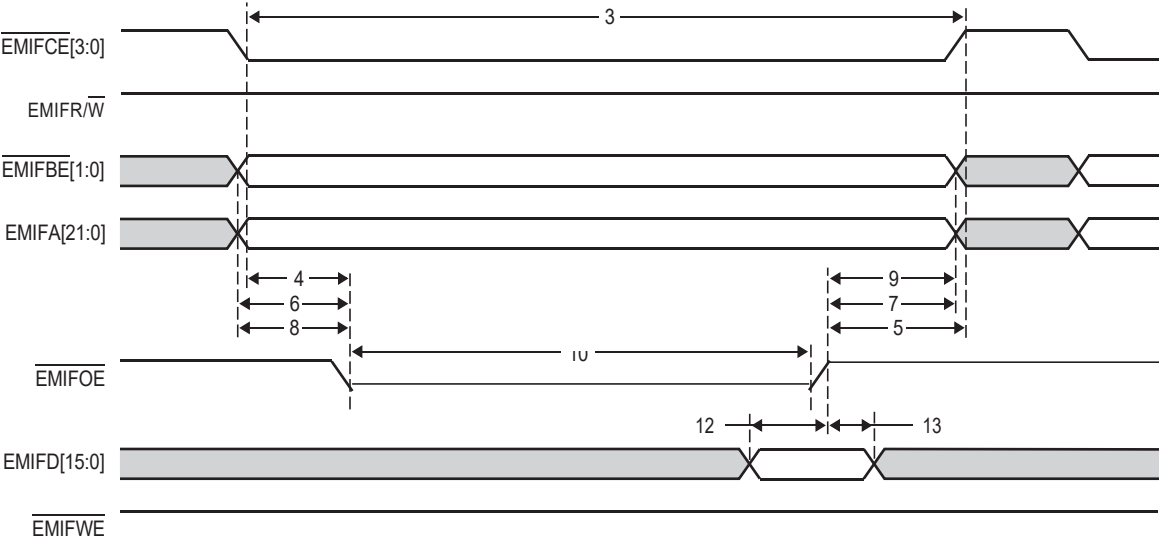


图 7-54 EMIF16 异步内存写时序图

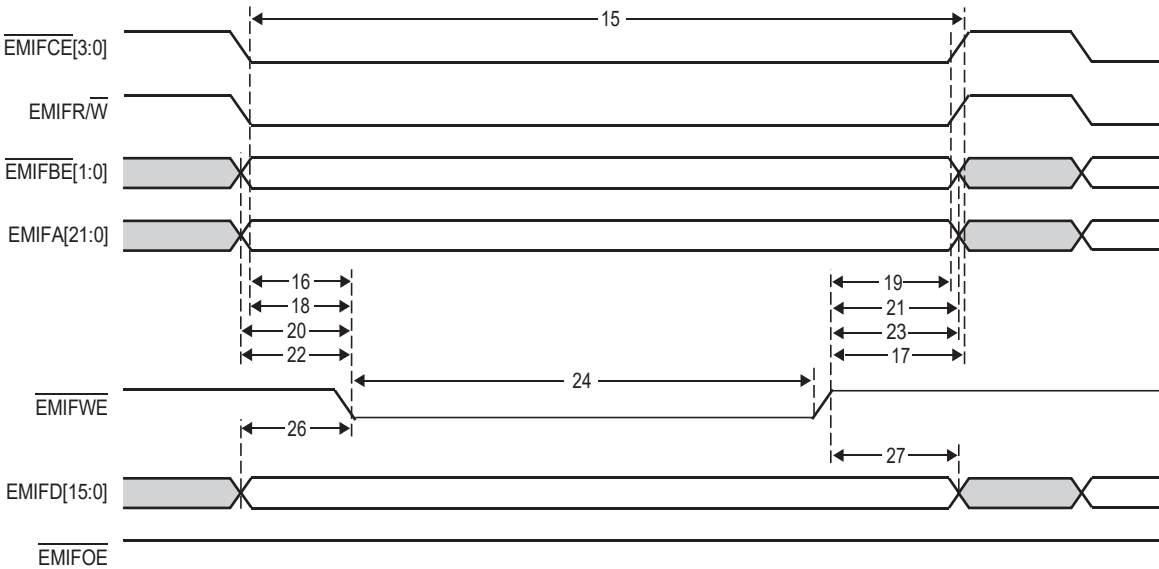


图 7-55 EMIF16 EM_WAIT 读时序图

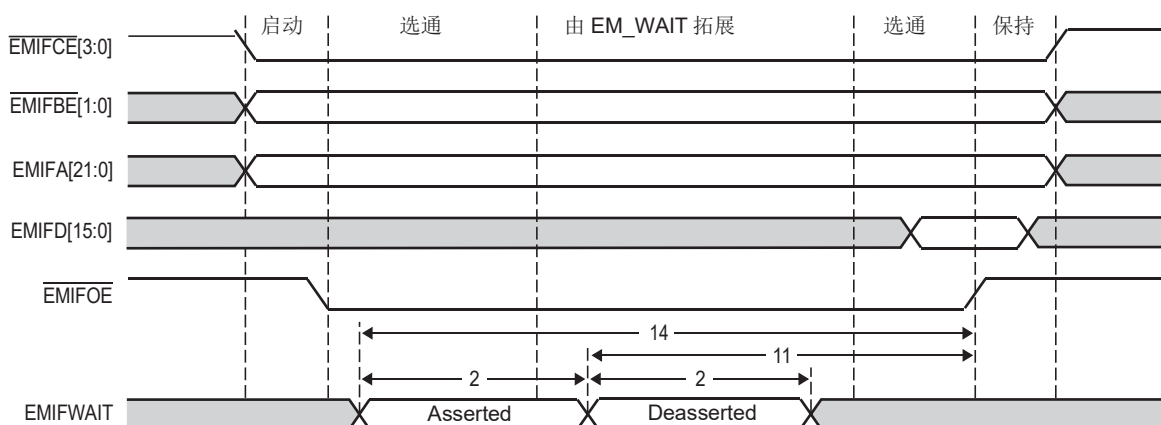
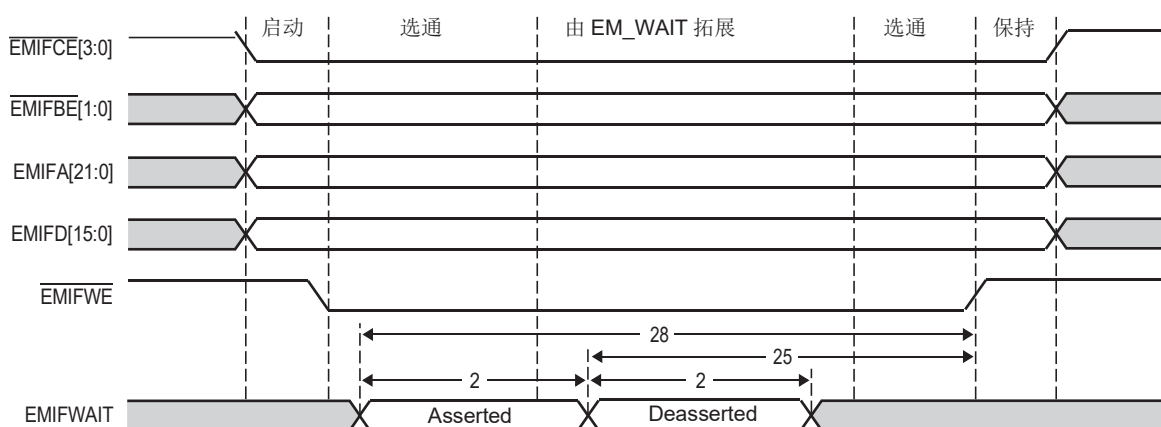


图 7-56 EMIF16 EM_WAIT 写时序图



7.20 包加速器

包加速器提供 L2 至 L4 分级功能。它支持分级用于以太网，VLAN，MPLS 不包含以太网、IPv4/6、GRE 不包含 IP 和其他部分识别不包括 IP，像 TCP 和 UDP 端口。它包含 8K 多输入，对输出硬 队列。它同样提供了一个校验和能力类似于一些 QoS 能力。它使能了单个 IP 地址用于多核设备。它能处理最高 1.5 Mpps。包加速器伴随网络协处理器。相关更多信息，参看 *KeyStone 设备包加速器 (PA) 用户指南*“德州仪器相关文档” 页 72。

7.21 安全加速器

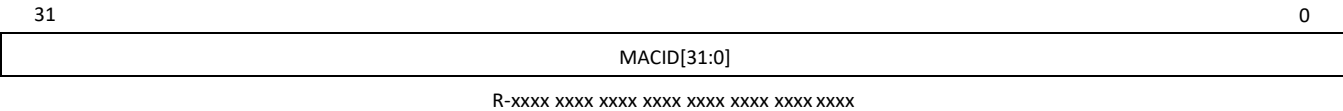
安全加速器提供线-速度处理在 1-Gbps 以太网流量在 IPSec、SRTP 和 3GPP Air 接口安全协议上。它作用于包等级带有包和相应的安全内容为上述三种类型中的一种。安全加速器伴随网络协处理器，接收包 描述符包含安全内容在缓冲器描述符中，并且数据用于加密/解密位于连接缓冲器描述符中。更多相关信息，参看 *KeyStone 设备安全加速器 (SA) 用户指南*“德州仪器相关文档” 页 72。

7.22 千兆位以太网 (GbE)转换子系统

千兆位以太网 (GbE)转换子系统提供一个高效接口在 TMS320C6678 DSP 和网络站点之间。GbE 转换子系统支持 10Base-T (10 M 位/秒[Mbps])和 100BaseTX (100 Mbps)。在半双工或全双工模式，以及 1000BaseT (1000 Mbps) 在全双工模式，伴随硬件流控制和服务质量 (QOS) 支持。GbE 转换子系统伴随网络协处理器。更多相关信息，参看 *KeyStone 设备千兆位以太网 (GbE) 转换子系统用户指南*“德州仪器相关文档” 页 72。

每个设备有一个独一无二的MAC 地址。有两个寄存器来保持这些值，MACID1 (0x02620110)和MACID2 (0x02620114)。下列定义了这些寄存器的位：

图 7-57 MACID1 寄存器



标注: R = 只读; -x, 值不可决定

表 7-78 MACID1 寄存器 域 描述

位	域	描述
31-0	MAC ID[31-0]	MAC ID. A 范围将分配至这个设备. 每个 设备将仅使用一个 MAC 地址.

表 7-78 结束

图 7-58 MACID2 寄存器



标注: R = 只读; -x, 值不确定

表 7-79 MACID2 寄存器 域 描述

位	域	描述
31-24	保留	保留. 值将改变.
23-18	保留	保留. 读作为 0.
17	F 低	MAC 流控制 0 = 关闭 1 = 开启
16	BCAST	默认 m/b-广播接收 0 = 广播 1 = 失能
15-0	MAC ID[47-0]	MAC ID

表 7-79 结束

一次同步(CPTS) 子模块在以太网 转换模块中用于时序同步。编程设置这些寄存器选择时钟时钟源作为 CPTS_RFTCLK。参看 *KeyStone 设备千兆位以太网 (GbE) 转换子系统 用户指南“德州仪器相关文档”* 页 72 关于寄存器 地址和其他细节关于一次同步模块。寄存器 CPTS_RFTCLK_SEL 用于参考时钟 选择时间同步子模块的相关信息见 图 7-59。

图 7-59 CPTS_RFTCLK_SEL 寄存器

31		3	2	0
保留			CPTS_RFTCLK_SEL	
R-0			RW-0	

标注: R = 只读; -x, 值不确定

表 7-80 CPTS_RFTCLK_SEL 寄存器域描述

位	域	描述
31-3	保留	保留. 读 as 0.
2-0	CPTS_RFTCLK_SEL	参考时中选择. 此信号用于 控制一个外部多路选择器选择 8 时钟中的一个用于时间同步参考(RFTCLK). 此 CPTS_RFTCLK_SEL 值 可写仅当 CPTS_EN 位清除为 0 在 TS_CTL 寄存器中. 000 = SYSCLK2 001 = SYSCLK3 010=TIMI0 011=TIMI1 100 = TSIP0CLK_A 101 = TSIP0 CLK_B 110 = TSIP1CLK_A 111 = TSIP1 CLK_B
表 7-80 结束		

7.23 管理数据输入/输出 (MDIO)

管理数据输入/输出 (MDIO) 模块施行 802.3 串行管理接口来询问并控制最多 32 以太网 PHY(s) 连接至设备，通过使用一个共享的双线总线。应用软件使用 MDIO 模块来配置自动协商每个连接至 GbE 转换子系统 PHY 参数，检索协商结果，并配置 GbE 转换子系统模块所需的参数用于正确操作。模块设计用于允许 MDIO 接口几乎透明的操作，使用很少的内核处理器占用。更多相关信息，参看 *KeyStone 设备千兆以太网 (GbE) 转换子系统用户指南* “[德州仪器相关文档](#)” 页 72。

表 7-81 MDIO 时序要求

参看 图 7-60

编号		最小值	最大值	单位
1	tc(MDCLK) 周期时间, MDCLK	400		ns
2	tw(MDCLKH) 脉冲宽度, MDCLK 高	180		ns
3	tw(MDCLKL) 脉冲宽度, MDCLK 低	180		ns
4	tsu(MDIO-MDCLKH) 建立时间, MDIO 数据输入 固定在 MDCLK 高之前	10		ns
5	th(MDCLKH-MDIO) 保持时间, MDIO 数据输入 固定在 MDCLK 高之后	0		ns
	tt(MDCLK) 转换时间, MDCLK		5	ns

表 7-81 结束

图 7-60 MDIO 输入时序

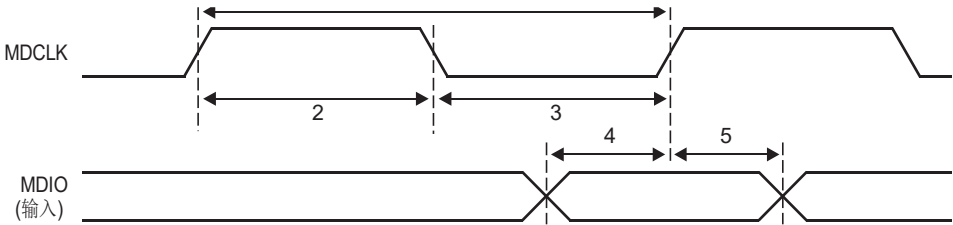


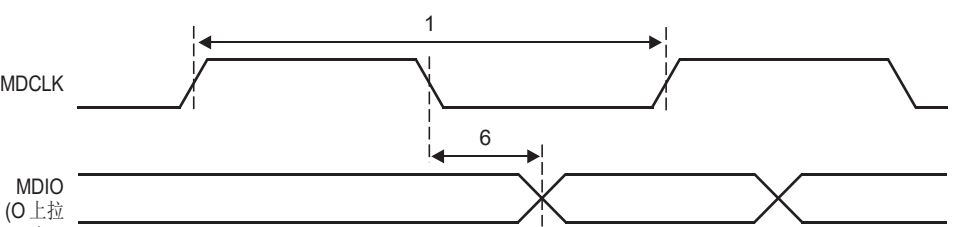
表 7-82 MDIO 转换特性

参看 图 7-61

编号	参数	最小值	最大值	单位
6	td(MDCLKL-MDIO) 延迟时间, MDCLK 低至 MDIO 数据输出 固定		100	ns

表 7-82 结束

图 7-61 MDIO 输出时序



7.24 定时器

定时器可以用于时间事件、计数事件、生成脉冲、中断 CPU 和发送同步事件至 EDMA3 通道控制器。

7.24.1 定时器具体设备信息

TMS320C6678 设备共有 16 个 64-位 定时器。定时器 0 到定时器 7 分别用于每 8 个 CorePacs 作为一个看门狗定时器并且可以被用作通用定时器。其他每 8 个定时器仅可被配置作为通用定时器，每个定时器配置作为一个 64-位定时器或作为两个分离的 32-位 定时器。

当以 64-位 模式工作时，定时器计数 VBUS 时钟周期或输入 (TINPLx) 脉冲(上升沿) 并产生一个输出脉冲/波形 (TOUTLx) 加上一个内部事件 (TINTLx) 在一个软件可编程期间。

当以 32-位 模式工作时，定时器划分成为两个独立的 32-位 定时器。每个定时器由两个 32-位 计数器组成：一个高位计数器和一个低位计数器。定时器引脚 TINPLx 和 TOUTLx 连接至低位计时器。定时器 引脚 TINPHx 和 TOUTHx 连接至高位计数器。

当以看门狗 模式工作时，定时器倒数至 0 并产生一个时间。要求软件写至定时器在计数用完之前，在计数再次开始之后。如果计数器到达 0, 定时器 时间输出设置。复位初始通过一个看门狗 定时器设置 通过编程“[复位 类型 状态寄存器 \(RS 类型\)](#)” 页 147 和复位初始类型可以设置通过编程 “[复位 配置 寄存器 \(RSTCFG\)](#)” 页 148。更多相关信息，参看 *KeyStone 设备定时器 64P 用户指南*“[德州仪器相关文档](#)” 页 72。

7.24.2 定时器电气数据/时序

下列图表描述了定时器 0 至定时器 15 外设时序要求和转换特性

表 7-83 定时器 输入时序要求⁽¹⁾
(参看 [图7-62](#))

编号		最小值	最大值	单位
1	$t_{w(TINPH)}$ 脉冲宽度, 高	12C		ns
2	$t_{w(TINPL)}$ 脉冲宽度, 低	12C		ns
表 7-83 结束				

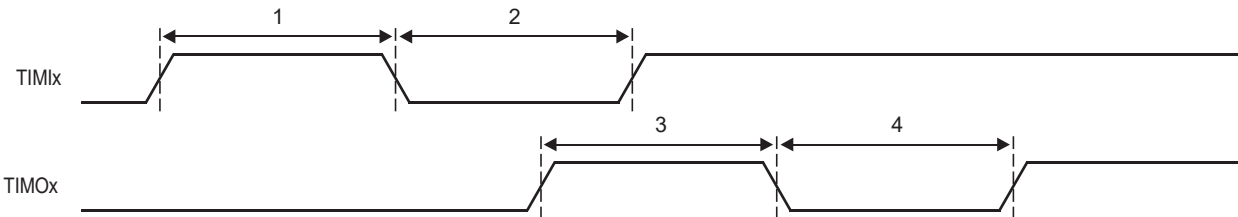
1 C = 1/SYSCLK1 频率以 ns 为单位.

表 7-84 定时器 输出转换特性⁽¹⁾
(参看 [图7-62](#))

编号	参数	最小值	最大值	单位
3	$t_{w(TOUTH)}$ 脉冲宽度, 高	12C - 3		ns
4	$t_{w(TOURL)}$ 脉冲宽度, 低	12C - 3		ns
表 7-84 结束				

1 C = 1/SYSCLK1 频率以 ns 为单位.

图 7-62 定时器 时序



7.25 串行快速 IO(SRIO)端口

TMS320C6678 设备的 SRIO 端口是一个高性能、低引脚数量的互联旨在嵌入式市场、快速 IO 互联的使用在一个基带板设计中可以创造一个均质互联环境, 提供更多连接和控制在部件之间。快速 IO 基于内存和设备处理器总线寻址概念, 即由硬件完全管理传输过程。使能快速 IO 互联来降低系统开销通过提供更低延迟, 减小包数据开销处理、提高系统带宽, 所有的这些都是无线接口的关键。更多相关信息, 参看 *KeyStone 设备串行快速 IO (SRIO) 用户指南*“[德州仪器相关文档](#)” 页 72.

7.26 通用输入/输出(GPIO)

7.26.1 GPIO 具体设备信息

TMS320C6678 之中，GPIO 外设引脚 GP[15:0]同样用于锁存配置引脚。更多关于设备/外设配置和 C6678 设备 引脚多路复用的相关信息，参看“[设备配置](#)”页 73. 更多相关信息 GPIO，参看 *KeyStone 设备通用输入/输出(GPIO) 用户指南*“[德州仪器相关文档](#)”页 72.

7.26.2 GPIO 电气数据/时序

表 7-85 GPIO 输入 时序要求

编号		最小值	最大值	单位
1	$t_{w(GPOH)}$ 脉冲宽度, GPOx 高	12C ⁽¹⁾		ns
2	$t_{w(GPOL)}$ 脉冲宽度, GPOx 低	12C		ns
表 7-85 结束				

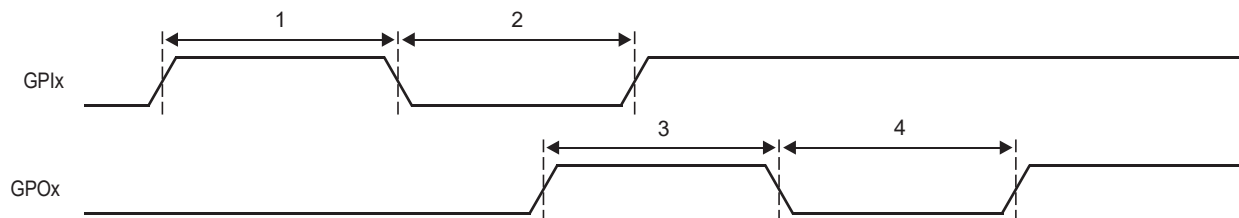
1 C = 1/SYSCLK1 频率以 ns 为单位

表 7-86 GPIO 输出转换特性

编号	参数	最小值	最大	单位
3	$t_{w(GPOH)}$ 脉冲宽度, GPOx 高	36C ⁽¹⁾ - 8		ns
4	$t_{w(GPOL)}$ 脉冲宽度, GPOx 低	36C - 8		ns
表 7-86 结束				

1 C = 1/SYSCLK1 频率以 ns 为单位

图 7-63 GPIO 时序



7.27 信号量 2

设备包含一个增强信号量模块用于管理 DSP C66x CorePacs 的共享资源。信号量增强了原子访问至共享芯片级资源因此读-修改-写流程并没有违背。信号量模块有一个唯一的中断至每个内核来识别何时内核需要资源。

模块中的信号量资源不与具体的硬件资源相联系。分配信号量资源至硬件资源是软件的要求。

信号量模块支持8主机并包含使用系统中的32个信号量 s。

信号量模块仅由主机来进行访问通过特权 ID(privID)0至7，意味着仅仅 CorePac0 至7 或 EDMA 传输由 CorePac0 至7 初始化可以访问信号量模块。

如果远程设备想要访问信号量模块，HyperLink 配置寄存器必须进行正确配置，因此远程设备可以发送传输带有需要的 privID 值至本地信号量模块。更多关于 HyperLink 配置的信息，参看 *KeyStone 设备 HyperLink 用户指南*“德州仪器相关文档”页 72。

访问一个信号量资源有两种方法:

- **直接访问:**一个内核直接访问一个信号量资源。如果空闲，信号量将被允许。如果忙碌,信号量将不会被允许。
- **间接访问:**一个内核间接访问一个信号量资源通过对其进行写操作。一旦其空闲，将产生一个中断通知 CPU 可以进行使用 0。

7.28 仿真特性和功能

7.28.1 先进事件触发 (AET)

TMS320C6678 设备支持先进事件触发 (AET). 此功能可以用于调试复杂问题 例如了解用户应用的性能特性. AET 提供下列功能:

- **硬件程序断点:** 指定地址或地址范围，可以产生事件例如 挂起处理器或触发跟踪器捕获.
- **数据断点:** 指定数据变量地址, 地址范围, 或数据值可以产生事件例如挂起 处理器或触发跟踪器捕获.
- **计数器:** 一个事件或执行监控周期的计数出现.
- **状态流程:** 硬件 程序断点和数据观测点来准确产生用于复杂流程的事件的允许组合

更多关于 AET 的信息, 参看下列文档“德州仪器相关文档”页 72:

- 使用先进事件 触发来发现和弥补断续实时漏洞应用报告
- 使用先进事件 触发来调试实时问题在高速嵌入式微处理器系统中应用报告

7.28.2 跟踪器

C6678 设备支持跟踪器。跟踪器是一种调试技术，提供一个细节的、历史的记录关于 应用代码执行、时序和数据访问。跟踪器收集、压缩并输出调试信息用于分析。跟踪器工作在实时环境下并且不影响系统的执行。

更多信息关于跟踪器先进仿真板级设计指南，参看 *仿真和跟踪器标头技术参考手册*“德州仪器相关文档” 页 72.

7.28.2.1 跟踪器电气数据/时序

表 7-87 DSP 跟踪器转换特性⁽¹⁾
(参看 图 7-64)

编	参数	最小值 最	单位
1	$t_w(\text{EMUnH})$ 脉冲宽度, EMUn 高, 检测于 50% Voh	2.4	ns
1	$t_w(\text{EMUnH})90\%$ 脉冲宽度, EMUn 高, 检测于 90% Voh	1.5	ns
2	$t_w(\text{EMUnL})$ 脉冲宽度, EMUn 低, 检测于 50% Voh	2.4	ns
2	$t_w(\text{EMUnL})10\%$ 脉冲宽度, EMUn 低, 检测于 10% Voh	1.5	ns
3	$t_{sko}(\text{EMUn})$ 输出 转换速率, 在 EMUn 引脚配置作为跟踪器之间的时间延迟差别	-1 1	ns
	$t_{sldp_o}(\text{EMUn})$ 输出 转换速率 EMUn	3.3	V/ns

表 7-87 结束

1 超出推荐操作条件

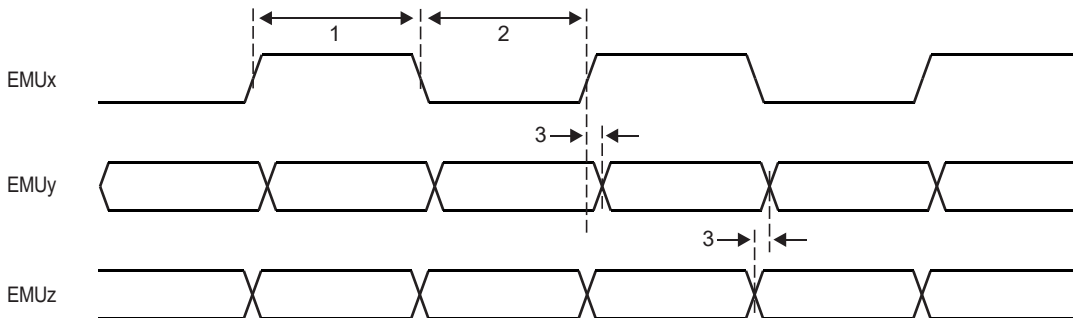
表 7-88 STM 跟踪器转换特性⁽¹⁾
(参看 图 7-64)

编	参数	最小值 最	单位
1	$t_w(\text{EMUnH})$ 脉冲宽度, EMUn 高, 检测于 50% Voh, 60/40 占空比	4	ns
1	$t_w(\text{EMUnH})90\%$ 脉冲宽度, EMUn 高, 检测于 90% Voh	3.5	ns
2	$t_w(\text{EMUnL})$ 脉冲宽度, EMUn 低, 检测于 50% Voh, 60/40 占空比	4	ns
2	$t_w(\text{EMUnL})10\%$ 脉冲宽度, EMUn 低, 检测于 10% Voh	3.5	ns
3	$t_{sko}(\text{EMUn})$ 输出转换时间,在 EMUn 引脚配置作为跟踪器之间的时间延迟差别	-1 1	ns
	$t_{sldp_o}(\text{EMUn})$ 输出转换速率 EMUn	3.3	V/ns

表 7-88 结束

1 超出推荐操作条件

图 7-64 跟踪器时序



EMUx 表示 EMU 输出引脚配置作为跟踪器时钟输出.

EMUy 与 EMUz 表示所有跟踪器 输出数据引脚.

7.28.3 IEEE 1149.1 JTAG

JTAG 接口用于支持边界扫描和设备仿真。所支持的边界扫描允许一个异步 TRST 和仅 5 基线 JTAG 信号(例如, 无 EMU[1:0])需要用于边界扫描。设备上的大多数接口遵循边界扫描测试规范(IEEE1149.1), 所有 SerDes (SRIO 和 SGMII) 支持交流耦合网络测试定义于交流耦合网络测试细节(IEEE1149.6)。

期望条件下所有匹配的设备连接至相同的 JTAG 接口, 在菊花链方式里, 与规定向一致。JTAG 接口使用 1.8-V LVCMOS 缓冲器, 与非终止数字集成电路供电电压和接口标准规范(EAI/JESD8-5)相兼容。

7.28.3.1 IEEE 1149.1 JTAG 兼容性声明

为了达到最大的可靠性, C6678 DSP 包含一个内部下拉 (IPD) 在 TRST 引脚上来确保 TRST 将总是保持上电并且 DSP 内部 仿真逻辑将被正确初始化, 当引脚没有布线时。德州仪器的 JTAG 控制器动态地驱动 TRST 高。然而, 一些第三方 JTAG 控制器将不会驱动 TRST 高而是使用一个外部上拉电阻在 TRST 上。当使用此种类型的 JTAG 控制器时, 设置 TRST 来初始化 DSP 在在试图执行任何仿真和边界扫描操作之前上电和 外部驱动 TRST 高。

7.28.3.2 JTAG 电气数据/时序

表 7-89 JTAG 测试端口时序要求
(参看 图 7-65)

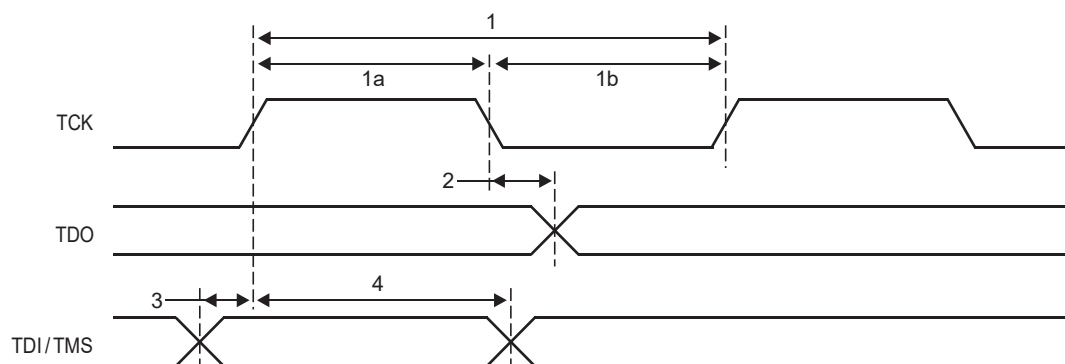
编号		最小值	最大	单位
1	$t_c(TCK)$ 周期时间, TCK	34		ns
1a	$t_w(TCKH)$ 脉冲宽度, TCK 高 (40% of t_c)	13.6		ns
1b	$t_w(TCKL)$ 脉冲宽度, TCK 低(40% of t_c)	13.6		ns
3	$t_{su}(TDI-TCK)$ 输入 建立时间, TDI 固定至 TCK 高	3.4		ns
3	$t_{su}(TMS-TCK)$ 输入 建立时间, TMS 固定至 TCK 高	3.4		ns
4	$t_h(TCK-TDI)$ 输入 保持时间, TDI 固定从 TCK 高	17		ns
4	$t_h(TCK-TMS)$ 输入 保持时间, TMS 固定从 TCK 高	17		ns
表 7-89 结束				

表 7-90 JTAG 测试端口转换特性⁽¹⁾
(参看 图 7-65)

编号	参数	最小值	最大	单位
2	$t_d(TCKL-TDOV)$ 延迟时间, TCK 低至 TDO 固定		13.6	ns
表 7-90 结束				

1 超出推荐操作条件

图 7-65 JTAG 测试端口时序



8 修订历史

修订 E

更新 EDMA 寻址模式描述.(页 160)
更新 BWADJ 值 设置 描述在主/DDR3/PASS PLL 寄存器 中(页 150)
增加 输出 时钟信息至 1.8-V LVCMOS 信号传输级部分 (页 120)
更新 主 PLL and PLL 控制器 图: 移除 /2 标号从 PLL 项目中 (页 140)
更新 上升下降转换时间电压参考电平图 来包含下部分传输的标号 (页 120)
说明 SmartReflex pin 输出类型 (页 53)
说明表符号以及起始列标头(页 167)
更正 SmartReflex 外设 I/O 缓冲器 类型从 LVCMOS 目录改为开漏 (页 119)
修订主 PLL 时钟 输入 转换时间 图 (页 152)
更正 EMIF16 引导设备 配置 位域 (页 26)
增加整个文档中 C6678 设备的 1.4-GHz 支持(页 1)
增加 GYP 封装至设备特性表 (页 13)
增加 GYP 封装至机械数据 张杰 (页 241)
修复参数 信息部分 (页 120)
更新内核在 IO 上电之前时序图,更改时钟 信号 SYSCLK1P&N 为 REFCLK1P&N (页 123)
更新 IO 在内核上电之前时序图,更改时钟 信号 SYSCLK1P&N 为 REFCLK1P&N (页 125)
更新 PASS PLL 模块图 (页 156)
更新跟踪器时序图 (页 233)
更新 参数表变址位域 在 I2C 引导配置中(页 29)
更新 参数表变址位域 在 SPI 引导配置中(页 30)
更新 PKTDMA_PRI_ALLOC 寄存器为 CHIP_MSIC_CTL 寄存器, 并且位域增加.(页 77)
更新 OUTPUT_分频错误值 和 PLL 时钟格式, 在 PLL 设置部分 (页 38)
更新低级外设在SYSCLK7 描述中 (页 142)
更新 芯片选择域 描述在SPI 引导设备配置表中(页 30)
增加 DSP_SUSP_CTL 寄存器 部分(页 77)

修订 D

更正 NMI7-0 从位域 23-16 改为位域 15-8 在 LRSTNMIPINSTAT 与 LRSTNMIPINSTAT_CLR 寄存器中(页 80)
增加 拓展引导模式表 在引导设备 域部分中 (页 25)
更新事件 PO_VP_SMPACK_INTR 至保留在CIC3 事件表中(页 183)
更新跟踪器电气时序表与 时序图 (页 233)
更新事件 PO_VCON_SMPACK_INTR 为保留在CIC0/1 事件输入表中(页 172)
增加引导参数表部分(页 31)
增加新部分关于 DDR3 内存 控制器竞争状态考虑来包含起先位于 7.11.1 的最后 3 部分(页 205)
增加 REFCLK 描述 在上电时序部分中 (页 122)
增加引导加载器部分表在 L2 SRAM 的引导流程部分中(页 23)
更新 SYSCLK1 至 REFCLK 在上电时序部分, 来为主 PLL 时钟源提供参考(页 123)
更新上电时序, 每个 供电必须平滑上升并且必须在 20 ms 内达到一个固定电平的标注 (页 123)
更正差分 时钟上升和下降时间在 PLL 时序表中, 用于时钟 输入提供给 LUCB 时钟 缓冲器(页 151)
更改加注参考从 CORECLK 至 SYSCLK1 (页 231)
更新 PCIe 特权级别 从 "管理者" 至 "由 PCIe 模块驱动" (页 193)
更正"保留" 为 "设置本地 复位至所有 CorePacs"在 LRESET and NMI 解码表 (页 189)
增加 MPU 寄存器复位 值部分页 203)
增加 "初始启动" 行对于 CVDD 推荐操作条件表 (页 117)
增加 DDR3PLLCTL1 与 PASSPLLCTL1 寄存器至设备 状态控制寄存器表(页 76)
更新所有 SerDes 时钟至离散频率, 在时钟 输入 时序 要求表中 (页 151)
更正 $t_j(\text{CORECLKN/P})$ 最大值从 100 至 $0.02 \cdot t_c(\text{CORECLKN/P})$ (页 151)
更正 $t_j(\text{DDRCLKN/P})$ 最大值从 $0.025 \cdot t_c(\text{DDRCLKN/P})$ 至 $0.02 \cdot t_c(\text{DDRCLKN/P})$ (页 155)

更正 $t_j(\text{PASSCLKN/P})$ 最大值从 100 到 $0.02 \cdot t_c(\text{PASSCLKN/P})$ (页 158)
更新信号量 模块怎样访问 (页 232)
增加调试子系统 配置区域至内存 映射表 (页 19)
增加 HOUT 时序 图 在主机中断输出部分 (页 191)
增加 DDR3 PLL 初始流程的标注 (页 154)
更正 MPU0 内存 保护 结束地址从 0x026203FF 到 0x026207FF (页 192)
修订 IPCGRH 寄存器 描述 (页 88)
更正 DDR3 传输速率 从 1033 MTS 至 1066 MTS (页 205)
增加 CVDD 和 SmartReflex 电压参数在 SmartReflex 交换器表中 (页 128)
移除 DDR3 PLL 初始化流程从数据手册至 PLL 控制器 用户指南 (页 154)
移除 PASS PLL 初始化流程从数据手册至 PLL 控制器 用户指南 (页 157)
更新 芯片选择从 CS[5:2] 至 CE[3:0] 在 EMIF16 外设部分 汇中 (页 223)
更新 EMIF 芯片选择从 CS[5:2] 至 CE[3:0] 在 内存映射 总结表 中 (页 23)
更新 DDR3 PLL 初始化流程 (页 155)
增加 DDR3 EMIF 数据在 内存映射 总结表 中的脚注 (页 23)
更新 数据手册中的跟踪器 描述 (页 17)
更正 PASSCLK(N/P) 最大值 周期时间 从 6.4 ns 至 25 ns (页 158)
更新定时器 编号, 整个文档范围 (页 18)
更正 PASS PLL 时钟至 SRIOSGMII CLK, 在关于以太网的引导设备 值表中. (页 25)
增加复位 STATz 输入电流的声明 (页 118)
增加仅可用于调试目的的 VCNTLID 寄存器的标注 (页 131)
增加 STM 跟踪器 交换器特性表 (页 233)
移除不正确的 16-位 EMIF 特性部分描述 (页 1)
更新 $t_h(\text{MDCLKH-MDIO})$ 值 从 10 ns 至 0 ns 在 MDIO 时序 要求表 (页 228)
更新 NAND 内存映射 总结表 中脚注的描述 (页 23)
更新 $t_w(\text{DPnH})$ 与 $t_w(\text{DPnL})$ 描述, 在跟踪器 交换器特性表 中 (页 233)
更新 I2C 主机 模式表的位 [9:8] 来用于模式选择 (页 28)
更新 I2C 被动模式表的位 [9:8] 来用于模式选择, 总线上的实际 值为 0x19+位 [7:5] (页 29)
更新 I2C 数据速率 配置 描述, 在 I2C 主机 模式 配置表 中 (页 28)
增加 PLLSELECT 位 至 PASSPLLCTL1 寄存器 (页 157)
增加 SPI 具体设备支持细节 (页 212)
更正 PCIe MMR 黏着位将在软复位后保持 (页 136)

修订 C

增加所有 SGMII 都可以用于引导的声明 (页 27)
更新 DDR3 MMR 描述, 删除不相关的用于软复位的 PCIe MMR 描述. (页 136)
更正 DDR3 EMIF 配置/数据的物理 36-位 地址 (页 23)
增加 TeraNet 连接图, 增加 桥数目至连接表. (页 99)
限制 SECCTL 寄存器的输出分频器至最大值为二分频 (页 144)
更新 DEV 速度 寄存器, 对于硅片版本 1.0 和 2.0 (页 96)
移除 RESETFULLz 参数从 4b 时序 描述中 (页 124)
增加 HyperLink 支持数据速率 (页 215)
更改 芯片级中断 控制器名称从 INTC 改为 CIC (页 165)
更改 TPCC 为 EDMA3CC, TPTC 为 EDMA3TC (页 159)
增加 PLLRST 位到 DDR3PLLCTL1 寄存器 (页 154) 增
加 PLLRST 位到 PASSPLLCTL1 寄存器 (页 157)
删除 INTC0 寄存器 映射 地址 地址偏移 0x4 和 0x8, 之前保留 (页 183)
更正 SGMII SerDes 时钟为 PASS 时钟在 PASS PLL 配置 描述中 (页 38)
更正 PASS PLL 时钟从 SRIOSGMII CLK 改为 PASSCLK 在以太网引导设备 值表中. (页 25)
更正 SPI 与 DDR3/HyperLink 配置结束地址 (页 23)
增加 DDR3 PLL 初始流程 (页 154)
增加主 PLL 与 PLL 控制器 初始流程 (页 151)
增加 PASS PLL 初始流程 (页 157)

增加 HyperLink 中断事件部分(页 215)
增加事件 #144-159 至 INTC2 事件输入表(页 178)
增加 DEV 速度寄存器部分.(页 96)
增加更多描述至引导流程部分(页 23)
更正一个打印错误,更改 DDRCLKN 为 DDRCLKP(页 155)

修订 B

移除 7.1 参数 信息部分(页 120)
更正 PASS PLL 时钟源描述从主 PLL 多路选择器至 CORECLK 时钟 参考源(页 156)
更正 MACID2 地址从 0x02600114 改为 0x02620114(页 226)
增加 EMIF16 电气数据/时序部分(页 223)
增加 TSIP 电气数据/时序部分(页 221)
更新 SPI 时序部分(页 212)
更改 数据速率 3 至保留的 12.5GB, 在 HyperLink 配置 域表中(页 30)
更正设备 ID 域的位 5 为 3, 在以太网配置 域图与表(页 27)
更正无引导/EMIF16 配置 域图与表的域位(页 26)

修订 A

增加引导过程时 RSISO 寄存器中 SRIOISO 与 SRISO 将由引导 ROM 代码设置的批注(页 149)
移除 AIF2ISO, 从复位隔离寄存器中(页 149)
增加 信息关于片上分频器(=3), 对于 PA 在 PLL Boot 配置设置部分中(页 38)
更改"不支持 MSI"为"支持传统 INTx"对于 PCIe 在传统 EP 模式描述, 设备状态寄存器域描述表中(页 78)
更改"不支持 MSI"为"支持传统 INTx"对于 PCIe 传统端点描述, 设备配置 引脚表中(页 73)
增加"包 加速器伴随网络协处理器"在包 加速器部分中(页 225)
增加 网络协处理器文档链接(页 72)
更改 2 至输出_分频在时钟格式, PLL 引导配置 设置部分中(页 38)
更改 EMAC 为 GbE 交换器 子系统(页 226)
更改 EMAC 为千兆位以太网(GbE)交换器 子系统(页 228)
更改 EMAC 为千兆位以太网交换机(页 72)
更改 EMAC 为网络协处理器 包 DMA(页 98)
更改 PA_SS 为网络协处理器 包 DMA, 在设备 主机 设置表中(页 192)
更改 PA_SS 为 PASS, 在时钟 流程表中(页 127)
更改包 加速器为网络协处理器并且更正内存地址在内存映射总结表中(页 17)
更改包 加速器为网络协处理器在安全加速器部分中(页 225)
更改包 加速器为网络协处理器在设备配置引脚表中.(页 73)
更改包 加速器子系统为网络协处理器(页 156)
更改包 子系统为网络协处理器 (PASS PLL) 在引脚功能表(页 44)
更改 PASS 为网络协处理器(PASS)(页 141)
更改 PS_SS_CLK PLL 为 PASS_CLK PLL 在引脚功能表中(页 44)
删除 5.5 "C66x CorePac 复位" 来避免混淆, 复位 细节包含在 "复位 控制器" 部分(页 108)
移除 EMAC, 在设备处理器特性表中(页 13)
增加 BGA 封装 行至处理器特性表表(页 13)
更正 DDR3 EMIF 配置部分特性表的末尾, 在内存 映射总结表中(页 17)
更正 BAR 数目从 BAR1/2 改为 BAR2/3, BAR3/4 改为 BAR4/5 在 PCIe 窗口大小表中(页 28)
删除 EDMA3 外设寄存器描述 部分,此部分包含在 EDMA 用户指南(页 159)
增加 SerDes PLL 状态与配置寄存器(页 74)
增加 "至 DDR3 内存空间" 为第一个工作环节(页 205)
增加 "TCCMOD=0" 在 "示例 EDMA3 传输控制器"中(页 205)
增加 CPTS_RFTCLK_SEL 寄存器 in GbE 交换器 子系统部分(页 226)
更改"DSP/2"为"CPU/2", "DSP/3"为"CPU/3"(页 98)
更改"可以"为"必须"在"大多数应用增量 模式可以使用" 来表明这是必须遵守的规则.(页 160)

[更正 tw\(RXSTOP15\) 与 tw\(RXSTOP2\) 值, UART 时序要求表中\(页 219\)](#)
[更改 "休眠引导" 为 "无引导", 无引导/EMIF16 配置位域描述表子模式域中\(页 26\)](#)
[更改 2.5.2.1 标题, 从 "休眠/EMIF16" 改为 "无引导/EMIF16" \(页 26\)](#)
[更正应用至 I2C 被动模式设备配置位域 \(页 29\)](#)
[更正应用至 I2C 被动模式设备配置域描述 \(页 29\)](#)
[修正描述值 0 关于 EMIF16/无引导, 在设备值表中 \(页 25\)](#)
[更正 SRIO 配置内存映射从 0x02900000~0x02907FFF 改为 0x02900000~0x02920FFF \(页 17\)](#)
[增加 温度值 至热电阻特性表. \(页 241\)](#)
[增加 DDR3PLLCTL1 寄存器与域描述表\(页 154\)](#)
[增加 更多描述 至引脚 PTV15 在终端功能表\(页 45\)](#)
[增加 PASSPLLCTL1 寄存器 与域描述 \(页 157\)](#)
[增加主机 ID 设置表 \(页 193\)](#)
[增加外设 I/O 映射供电表 \(页 119\)](#)
[更改 PROGn_MPEAR 寄存器表格式与复位值格式\(页 200\)](#)
[更改 PROGn_MPSAR 寄存器表格式与复位值格式 \(页 200\)](#)
[修正 SmartReflex 4-引脚 VID 接口时序图 \(页 128\)](#)
[修正 SmartReflex 4-引脚 VID 接口交换器特性表 \(页 128\)](#)
[增加 PROG4 寄存器, 在 MPU1 寄存器表 \(页 196\)](#)
[更改 可编程 范围数值, 支持从 4 至 5 对于 MPU1 \(页 192\)](#)
[修正复位值, 在 MPU 配置寄存器表中\(页 199\)](#)
[修正表 2-13 以包含 1000 MHz 与 1250 MHz 条目. \(页 38\)](#)
[增加 BWADJ\[11:8\]至主 PLLCTL1 寄存器表与描述. \(页 150\)](#)
[更改 特权 ID, 从第二条目至第一条目\(页 192\)](#)
[更改 PROG3_MPEA 为 PROG3_MPEAR, 在 MPU1 寄存器表中 \(页 196\)](#)
[更改 可编程 范围列举从基于 1-N 改为基于 0-N, 在 MPU 寄存器映射中.\(页 195\)](#)
[更改 SRIO_CPPI 与 SRIO_M 行至单行\(页 192\)](#)
[更改主机从保留 至带有 特权 ID 13 与 14 HyperLink \(页 192\)](#)
[修正 BWADJ 描述, 在主 PLLCTL0 与主 PLLCTL1 寄存器中 \(页 150\)](#)
[修正标注中 SECCTL 寄存器参考部分.\(页 151\)](#)
[更正时钟 流程表-移除 ALTCORECLK 参考,更正 SYSCLK 为 CORECLK.\(页 127\)](#)
[修正应用至 I2C 引导设备配置位域\(页 28\)](#)
[修正应用至休眠/EMIF16 引导设备 配置位域\(页 26\)](#)
[更新 设备 配置引脚表;PACLKSEL 功能描述 \(页 73\)](#)
[更新 复位 电气数据 / 时序部分. 包含更新复位要求. \(页 138\)](#)
[更新 复位电气数据; 包含更新复位要求. \(页 138\)](#)
[更新表 2-3 引导模式引脚: 以太网 \(SGMII\) 引导的引导设备值描述. \(页 25\)](#)
[移除 SRIOSMGIICLK, MCMCLK 与 PCIECLK 转换时序 值, 对应于 VOH 与 VOL, 在主 PLL 控制器 时序要求中. \(页 151\)](#)
[更新 引脚描述-TSIP 引脚 \(页 54\)](#)
[更新 EMIF16 时序要求表 \(页 223\)](#)
[增加主 PLLCTL1, 重命名 DDR3PLLCTL0 为 DDR3PLLCT, 重命名 PAPLLCTL0 为 PAPLLCTL \(页 74\)](#)
[更正对于 4 个内核的 TETB 大小从 16k 至 4k \(页 17\)](#)
[更正对于 4 个内核的 TETB 大小从 16k 至 4k \(页 17\)](#)
[更新完成上电时序部分. 复位 FULL 必须总是撤销在 POR 之后 \(页 122\)](#)
[增加 NMI 与 LRSET 部分.\(页 189\)](#)
[更正拓展温度范围 - 更改 105C 为 100C 对于顶部末端. \(页 1\)](#)
[增加 BWADJ 位 域 至 DDR3 PLL 控制寄存器. \(页 153\)](#)
[增加 BWADJ 位 域 至 PASS PLL 控制寄存器.\(页 156\)](#)
[增加主 PLLCTL1 寄存器表与描述.\(页 150\)](#)
[增加 更多细节信息对于固定电平, CLK 与 IO 在上电流程期间.\(页 122\)](#)
[增加电平中断与 EOI 握手使用的标注.\(页 165\)](#)
[更正 I2C MMR 地址范围 \(页 208\)](#)
[更正 PACLKSEL 位域 描述 \(页 78\)](#)

更正 RSV01 应拉至最高 1.8 V 和 RSV08 应连接至 GND (页 55)

更改 CVDD 范围;更正 CVDD 和 CVDD1 描述 (CVDD: 内核供电->SR 内核供电) (CVDD1: SR 内核供电->内核供电) (页 117)

增加 更多细节信息 在上电流程期间固定电平对于 CLK 与 IO 部分. (页 122)

增加表"引脚功能-功能信号与控制", 信号 - RSV0A 和 RSV0B. (页 44)

更正时序指向来指引正确的图 (页 138)

更改内存映射总结中不准确的保留地址- 02780400 -> 02778400 (页 17)

更正商用温度范围 - 更改 100C 为 85C , 对于顶端末尾部分. (页 1)

9 机械数据

9.1 热学数据

表 9-1 为 CYP PBGA 841-引脚封装，无铅硅片与无铅锡球的热电阻特性。

表 9-1 热电阻特性， CYP (PBGA 841-引脚封装)

编号		°C/W
1	$R\theta_{JC}$ 结点到外壳	0.18
2	$R\theta_{JB}$ 结点到板	3.71
表 9-1 结束		

表 9-2 为 CYP PBGA 841-引脚封装，无铅硅片与含铅锡球的热电阻特性。

表 9-2 热电阻特性， GYP (PBGA 841-引脚封装)

编号		°C/W
1	$R\theta_{JC}$ 结点到外壳	0.18
2	$R\theta_{JB}$ 结点到板	3.71
表 9-2 结束		

9.2 封装信息

下列封装信息反映了大多数当前发行、可获得的数据用于设计设备. 没有通知的数据改动以及此文档的修订视情况而定。

封装信息

订购设备	状态 (1)	封装类型	封装图 示	引脚	封装 Qty	环保要求 (2)	铅/球整理(6)	MSL 峰值温度 (3)	操作温度(°C)	设备 标识 (4/5)	样片
SM320C6678ACYPW	ACTIVE	FCBGA	CYP	841	44	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	-55 to 115	SM320C6678ACYP @2010 TI W	Samples
TMS320C6678ACYP	ACTIVE	FCBGA	CYP	841	1	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	0 to 85	TMS320C6678CYP @2010 TI	Samples
TMS320C6678ACYP25	ACTIVE	FCBGA	CYP	841	44	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	0 to 85	TMS320C6678CYP @2010 TI 1.25GHZ	Samples
TMS320C6678ACYP4	ACTIVE	FCBGA	CYP	841	1	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	0 to 85	TMS320C6678CYP @2010 TI 1.4GHZ	Samples
TMS320C6678ACYP A	ACTIVE	FCBGA	CYP	841	44	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	-40 to 100	TMS320C6678CYP @2010 TI A	Samples
TMS320C6678ACYP A25	ACTIVE	FCBGA	CYP	841	44	绿色(RoHS & 无 Sb/Br)	SNAGCU	Level-4-245C-72HR	-40 to 100	TMS320C6678CYP @2010 TI A1.25GHZ	Samples
TMS320C6678AGYP A	ACTIVE	FCBGA	GYP	841		TBD	SNPB	Level-4-245C-72 HR	-40 to 100	TMS320C6678GYP @2010 TI A	Samples
TMS320C6678AXCYP	ACTIVE	FCBGA	CYP	841	1	Green (RoHS & no Sb/Br)	SNAGCU	Level-4-245C-72HR	0 to 85	TMS320C6678XCYP @2010 TI	Samples
TMS320C6678AXCYP25	ACTIVE	FCBGA	CYP	841	44	Green (RoHS & no Sb/Br)	SNAGCU	Level-4-245C-72HR	0 to 85	TMS320C6678XCYP @2010 TI 1.25GHZ	Samples
TMS320C6678AXCYP A	ACTIVE	FCBGA	CYP	841	44	Green (RoHS & no Sb/Br)	SNAGCU	Level-4-245C-72HR	-40 to 100	TMS320C6678XCYP @2010 TI A	Samples

(1) 标志状态值定义如下:

ACTIVE:推荐产品设备用于新的设计.

LIFEBUY: TI 已经声明设备不会持续开发, 购买整个产品生命周期是可行的.

NRND: 不推荐用于新设计. 设备产品支持现有用户使用,但 TI 不推荐将此部分应用于新设计.

PREVIEW: 设备声明不再生产. 样片可能不再提供. .

OBSOLETE: TI 停止设备产品生产.

(2) 环境标准 – 预设环境友好分级: 无铅 (RoHS), 无铅(免 RoHS), 或绿色 (RoHS & 无 Sb/Br) – 请参照 <http://www.ti.com/productcontent> 来获取最新可靠信息 和其他设备信息细节.

TBD: 未定义无铅/绿色转换计划.

无铅 (RoHS): TI 的术语 "无铅" 或 "不含铅元素" 意思是半导体产品与当前 RoHS 的 对于所有 6 种物质的要求兼容, 包括铅含量不超过称重均质材料 0.1% 的要求. 当设计处于 高温中的焊料, TI 无铅产品适合使用于特定的无铅工艺.

不含铅元素 (免 RoHS): 此元件有一个免 RoHS 条件: 1) 含铅的倒装芯片焊接处, 在硅片和封装之间, 或 2) 含铅硅片连接使用在硅片和含铅部件之间. 此元件另外考虑无铅 (RoHS 兼容) 如上述定义.

绿色 (RoHS & 无 Sb/Br): TI 定义 "绿色" 意味着不含铅元素 (RoHS 兼容) 并且无溴 (Br) 和锑 (Sb) 构件阻带剂 (Br 或 Sb 含量不超过称重均质材料 0.1%)

(3) MSL, 峰值温度. - 根据 JEDEC 工业标准分级的适度敏感等级和峰值焊接温度.

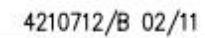
(4) 将会有额外标记, 这将与标识有关, 许多跟踪器编码信息, 或设备的环境条件目录.

(5) 多个设备标记即将位于括号内. 只有一个设备标记包含于括号内, 与由一个 "~" 分离的在一个设备中的标记. 如果一条线缩印表示, 然后将先前产品线的持续两个组合来代表整个设备标记设备.

(6) 铅/球整理 – 订购设备可能含有多种材料整理选项. 整理选项由一个垂直管理线分离. 铅/球整理值可能 分成两条线 – 如果整理值超出最大值柱宽.

重要信息和声明: 此页提供的信息代表了 TI 所提供的知识与设计理念的所有权. TI 基于由第三方提供的其知识和设计理念信息, 并且不代表信息准确性的权利和义务. 致力于更好的汇聚三方信息 TI 已经持续提供精确的信息, 可能并不对来源材料和化学成分执行破坏性测试或化学分析. TI 与 TI 供应商考量相应信息是否合适并且 CAS 数目与其他相应信息可能在本文当中不使用。

没有条目绝对依赖于 TI, 特别在此文档版本中、由年期版本上 TI 售出至客户的 TI 部分超出了总购买价格。

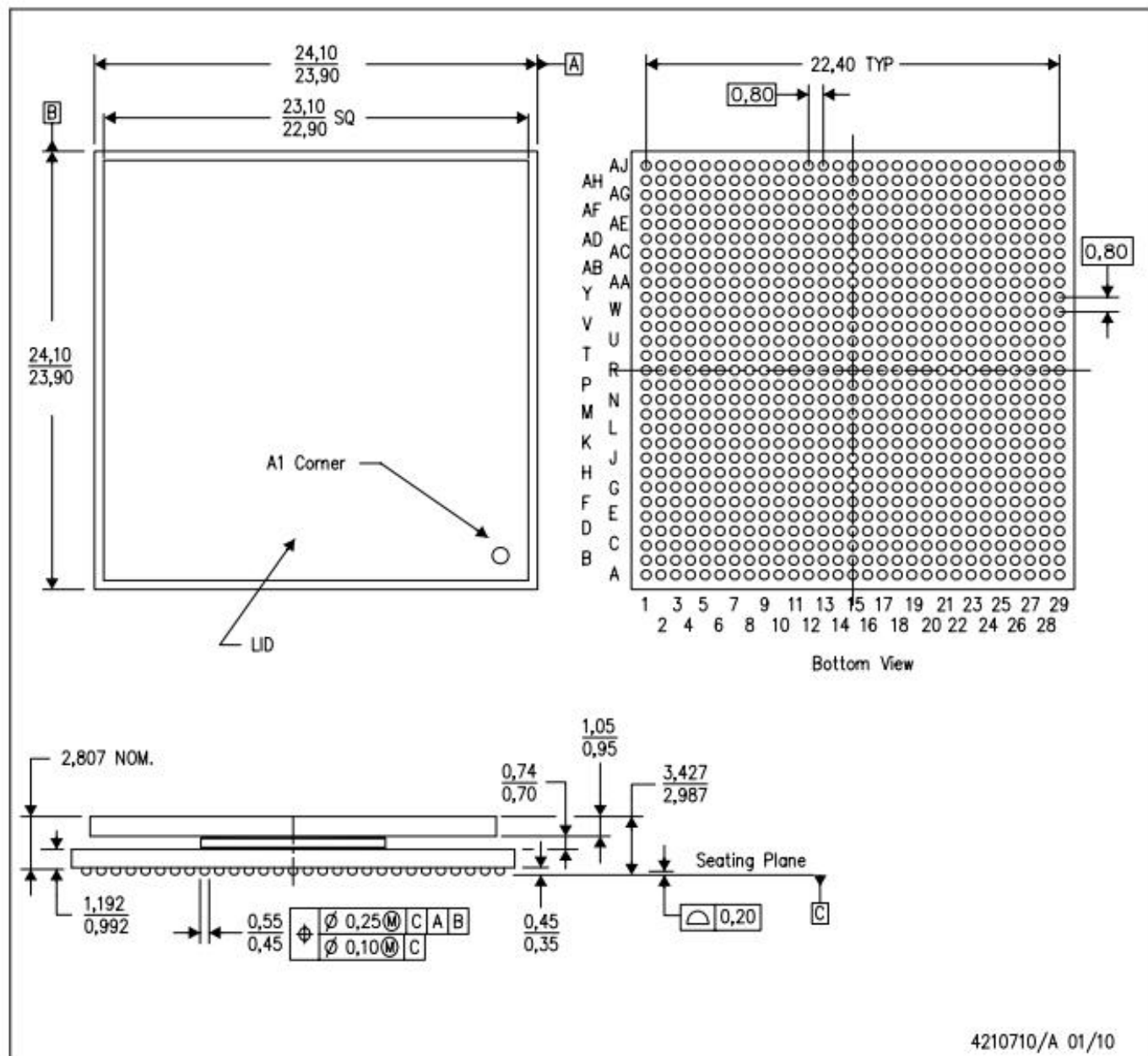


NOTES:

- A. 所有线性尺寸为毫米单位。 尺寸和公差遵循 ASME Y14.5M-1994.
- B. 所有图在通知的情况下更改.
- C. 带盖热增强塑料.
- D. 仅用于倒装芯片应用.
- E. 无铅封装锡球

GYP (S-PBGA-N841)

PLASTIC BALL GRID ARRAY



- NOTES
- 所有线性尺寸为毫米单位。尺寸和公差遵循 ASME Y14.5M-1994.
 - 所有图在通知的情况下更改.
 - 带盖热增强塑料.
 - 仅用于倒装芯片应用.

重要声明

德州仪器 (TI) 及其下属子公司有权根据 JESD46 最新标准, 对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权根据 JESD48 最新标准中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的组件的性能符合产品销售时 TI 半导体产品销售条件与条款的适用规范。仅在 TI 保证的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非适用法律做出了硬性规定, 否则没有必要对每种组件的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 组件或服务的组合设备、机器或流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的产品手册或数据表中 TI 信息的重要部分, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。TI 对此类篡改过的文件不承担任何责任或义务。复制第三方的信息可能需要服从额外的限制条件。

在转售 TI 组件或服务时, 如果对该组件或服务参数的陈述与 TI 标明的参数相比存在差异或虚假成分, 则会失去相关 TI 组件或服务的所有明示或暗示授权, 且这是不正当的、欺诈性商业行为。TI 对任何此类虚假陈述均不承担任何责任或义务。

客户认可并同意, 尽管任何应用相关信息或支持仍可能由 TI 提供, 但他们将独力负责满足与其产品及其应用中使用 TI 产品相关的所有法律、法规和安全相关要求。客户声明并同意, 他们具备制定与实施安全措施所需的全部专业技术和知识, 可预见故障的危险后果、监测故障及其后果、降低有可能造成人身伤害的故障的发生机率并采取适当的补救措施。客户将全额赔偿因在此类安全关键应用中使用任何 TI 组件而对 TI 及其代理造成的任何损失。

在某些场合中, 为了推进安全相关应用有可能对 TI 组件进行特别的促销。TI 的目标是利用此类组件帮助客户设计和创立其特有的可满足适用的功能安全性标准和要求的终端产品解决方案。尽管如此, 此类组件仍然服从这些条款。

TI 组件未获得用于 FDA Class III (或类似的生命攸关医疗设备) 的授权许可, 除非各方授权官员已经达成了专门管控此类使用的特别协议。

只有那些 TI 特别注明属于军用等级或“增强型塑料”的 TI 组件才是设计或专门用于军事/航空应用或环境的。购买者认可并同意, 对并非指定面向军事或航空航天用途的 TI 组件进行军事或航空航天方面的应用, 其风险由客户单独承担, 并且由客户独力负责满足与此类使用相关的所有法律和法规要求。

TI 已明确指定符合 ISO/TS16949 要求的产品, 这些产品主要用于汽车。在任何情况下, 因使用非指定产品而无法达到 ISO/TS16949 要求, TI 不承担任何责任。

产品

音频	www.ti.com/audio
放大器	amplifier.ti.com
数据转换器	dataconverter.ti.com
DLP® 产品	www.dlp.com
DSP	dsp.ti.com
时钟和定时器	www.ti.com/clocks
接口	interface.ti.com
逻辑电路	logic.ti.com
电源管理	power.ti.com
微控制器	microcontroller.ti.com
RFID 射频	www.ti-rfid.com
OMAP 应用处理器	www.ti.com/omap
无线连接	www.ti.com/wirelessconnectivity

应用

交通运输	www.ti.com/automotive
通信	www.ti.com/communications
电脑和外设	www.ti.com/computers
消费电子	www.ti.com/consumer-apps
能源和照明	www.ti.com/energy
工业	www.ti.com/industrial
医疗	www.ti.com/medical
安全	www.ti.com/security
太空、航空与国防	www.ti.com/space-avionics-defense
视频和图像	www.ti.com/video

TI E2E 社区

e2e.ti.com

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas,
Texas 75265 Copyright © 2014, Texas Instruments
Incorporated